

УДК 681.32
Максаков Ю.Н.
Левшин В.И.
Картавец В.Н.

БЫСТРОДЕЙСТВУЮЩАЯ ПАМЯТЬ (ЕС-3415) МУЛЬТИПЛЕКСНОГО КАНАЛА ЭВМ ЕС-1050

Описываются принципы построения и особенности местной памяти мультиплексного канала ЕС-4012 электронной вычислительной машины ЕС-1050. Приводятся характеристики опытных образцов устройств.

В в е д е н и е

При проектировании данной памяти возник ряд вопросов, связанных с тем, чтобы увязать заданные требования по электрическим параметрам с конструктивными и технологическими требованиями.

Поскольку данная память не имеет трудно реализуемых электрических параметров, т.е. емкость ее меньше основной памяти ЕС-1050 [1], а быстродействие не намного больше, то не экономично разрабатывать для этой памяти специальные запоминающие элементы, технологические приспособления, источники питания и т.д. При разработке этой памяти целесообразно максимально использовать конструктивно-технологическую базу, применяемую для изготовления основных ферритовых памяти ЭВМ ЕС-1030, ЕС-1050, а также типовой комплект унифицированных блоков питания (УБП) для ЕС ЭВМ [2].

Все это накладывает специфические особенности на конструирование памяти, которые раскрываются в данной работе.

Технические характеристики памяти:
 - емкость - 1024;
 - разрядность - 72;
 - цикл - менее 1 мкс;
 - время выборки - не более 500 нс;
 - запоминающий элемент - ферритовый сердечник
 М5ВТ-1-1;
 - габариты - типовая рама ЕС ЭВМ вместе с УБП.

Выбор системы построения

Исходя из того, что цикл работы памяти сравнительно мал, при этом еще необходимо иметь и некоторый запас (-10%) на профилактической частоте работы канала, а время выборки не более 500 нс, наиболее подходящей системой организации памяти для реализации этих требований является система 2D. К тому же эта система является вполне оправданной при повышенной разрядности [3], что и имеет место в данном случае. Но в системе 2D стоимость адресных электронных схем управления, которые переключают полные токи, значительно больше, чем в других системах.

В целях упрощения электроники управления целесообразно использовать два сердечника на бит. Это позволяет отказаться от сложных активных генераторов тока, заменив их или пассивными переключателями, или просто резисторами.

Использование двух сердечников на бит, а также раздельных разрядных обмоток для записи и считывания позволяет резко упростить усилители считывания, схемы временной селекции, что весьма немаловажно при большой разрядности памяти и ограниченных габаритах.

Все изложенные аргументы способствовали тому, что для проектируемой памяти была выбрана система 2D,3W с двумя сердечниками на бит.

Адресные цепи

Адресные цепи включают в себя слаботочные логические цепи (регистры, дешифраторы и т.д.) и сильноточные (токовые) дешифраторы.

Логические цепи выполнены на элементах серии 137, которые являются базовыми для всей модели и обеспечивают простую стыковку с электронными схемами канала.

Для обеспечения заданного времени выборки сильноточный дешифратор выполнен на диодно-токовых элементах.

Однако недостатком такого дешифратора [1] является то, что к переключателям напряжения присоединяется большое количество адресных линий магнитного накопителя, имеющих значительные емкости. Эти емкости вместе с паразитными индуктивностями переключателей и паразитными индуктивностями цепей связи этих переключателей с адресными линиями образуют колебательный контур, что приводит к возникновению в линиях резонансных колебаний. Для устранения этого явления адресная сетка разбивается на четыре самостоятельные сетки, каждая из которых обслуживается своими собственными электронными схемами, и, кроме того, связи электронных схем с адресными линиями выполняются фильтром.

На рис.1 приведена упрощенная эквивалентная схема адресных линий при условии, что активное сопротивление проводов адресных линий значительно меньше токоограничивающих сопротивлений, действующих в момент нарастания фронта адресного тока. Уравнение для тока в приведенной схеме имеет вид:

$$I(p) = \frac{E(1 + L_a C_n p^2)}{p^2 R L_a C_n + p L_a + R} \quad (1)$$

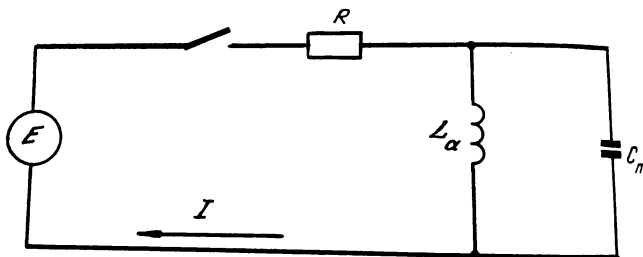


Рис.1. Эквивалентная схема адресных линий:

R - активное сопротивление, ограничивающее ток через адресную провод; C_n - паразитная емкость; L_a - индуктивность адресного провода

Величина C_n определяется уравнением:

$$C_n = C_z (n-1)^2 + C_a n, \quad (2)$$

где C_z - емкость перехода закрытого диода;
 C_a - емкость адресного провода относительно "земли";
 n - сторона дешифратора, равная $\sqrt{N}$ (N - емкость накопителя, обслуживаемого дешифратором).

Для того чтобы переходный процесс, определяемый уравнением (1), не был колебательным, нужно

$$\frac{4R^2 C_n}{L_a} \leq 1. \quad (3)$$

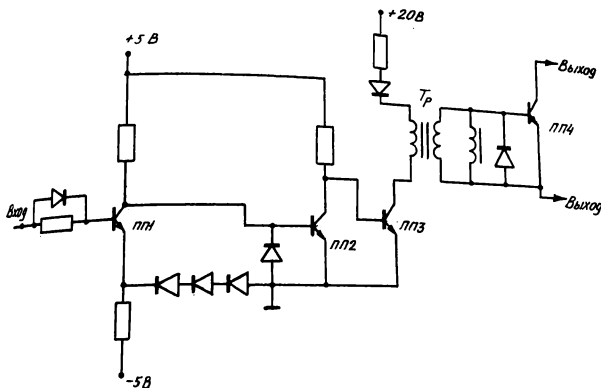


Рис.2. Электронный адресный переключатель:

ПП1, ПП2 - половинки микросхемы 2НТ172; ПП3 - одна четвертая микросхемы 2ТС613; ПП4 - транзистор КТ904 А

Из уравнения (3) определяем величину C_{Σ} по величинам R и $\angle \alpha$ ($R = 15 \text{ Ом}$, $\angle \alpha = 1,7 \text{ мкГ}$) при условии автоколебаний $C_{\Sigma} < 1890 \text{ пФ}$.

По параметрам C_{Σ} и C_{α} ($C_{\Sigma} = 3 \text{ пФ}$; $C_{\alpha} = 14 \text{ пФ}$) из уравнения (2) определяем сторону матрицы адресной сетки $n = 24$.

Ближайшая величина, являющаяся степенью 2 и отвечающая условию (3), равна 16, поэтому принимаем $n = 16$, т.е. один дешифратор может выбрать лишь 256 чисел. В устройстве четыре таких дешифратора.

Электронные адресные переключатели (рис.2) выполнены на транзисторах КТ904А, которые запускаются формирующим трансформатором.

Согласующие и предварительные каскады переключателей выполнены на микросхемах 2НТ172 и 2ТС613, обеспечивающих более стабильную работу, чем дискретные транзисторы, а также необходимую плотность установочных электро радиоэлементов на ТЭЗ.

Накопитель

При конструировании накопителя большое внимание было уделено тому, чтобы максимально сократить технологические затраты на изготовление и проверку его составных частей.

Накопитель выполнен в виде двух кассет, соединенных по разрядным цепям.

Кассета включает в себя основание, две матрицы и диодные дешифраторы, каждый из которых обслуживает одну матрицу.

Матрица состоит из 256 81-разрядных чисел (9 разрядов запасных). В матрице использованы типовые колодки для раскладки проводов, единая технология установок и прошивки сердечников и их проверки, которая применяется и для изготовления матриц основной оперативной памяти ЭВМ ЕС-1050.

На электрическую схему прошивки матрицы большое влияние оказали заданные габариты и типовый набор УБП. Выбор напряжений питания для разрядных ключей записи произошел однозначно.

Поскольку в устройстве применяются типовые логические элементы серии 137 и потребление их составляет более 20 А, то должен быть однозначно выбран УБП-5В 60А. Элементы серии 137 имеют перепады в минусовой области (-1,5, -0,9), и для того чтобы запускать ключевые элементы, которые питаются от плюсового напряжения, нужны согласующие каскады, преобразующие этот

перевод в плюсовую. Указанные каскады, кроме напряжения 5В, должны иметь и плюсовое напряжение 5В. Это же напряжение используется и в предварительных каскадах ключевых схем. Потребление тока в них составляет также порядка 20А. Следовательно, требуется выбрать УБП 60А.

Выбранные блоки питания уже занимают 1/3 рамы. Таким образом, чтобы уместиться в заданные габариты проектируемой памяти, принимается единственное в данном случае решение запитывать наиболее мощную часть памяти - разрядные ключи записи от УБП - 5В 60А и +5В 60А, т.е. от напряжения 10В. Это обеспечивает полную загрузку УБП и, следовательно, увеличивает к.п.д. их использования. Поскольку напряжение, которое имеет разрядные цепи, не велико, чтобы обеспечить разрядный ток, необходимо выбрать минимальный фронт разрядного тока, которая обеспечивает такую прошивку разрядных линий. Такое условие выполняется лишь при бифилярном способе прошивки проводов, который и был принят для проектируемого накопителя (рис.3).

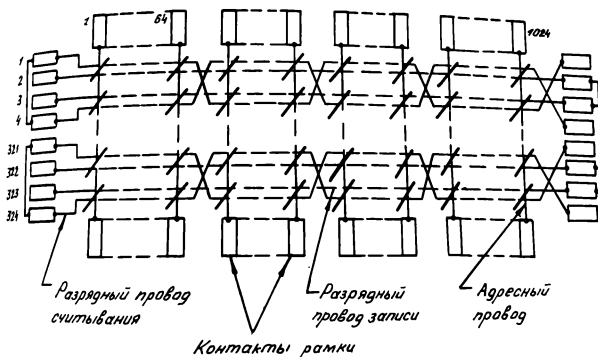


Рис.3. Схема прошивки накопителя

Разрядные цепи

В целях упрощения разрядных цепей записи и цепей выделения считанного сигнала накопитель имеет две разрядные обмотки: записи и считывания. Таким образом, один разряд матрицы (два ряда ферритов) требует четырех контактов рамки (см.рис.3). Это приводит к тому, что следующие два ряда ферритов располагаются через определенные расстояния, вследствие чего уменьшается плотность расположения ферритов в матрице в два раза. Но такое уменьшение плотности расположения играет существенную электрическую роль в накопителях системы 2Д, состоящую в том, что резко снижаются паразитные наводки с разряда на разряд [4] .

Для уменьшения индуктивной наводки провода записи на провод считывания последний меняет свое направление через определенное поле адресов (см.рис.3).

Наиболее оптимальной схемой включения разрядных ключей записи оказалась такая, которая показана на рис.4, несмотря на то, что через каждый ключ протекает двойной ток записи. Использование двух ключей в разряде с одинарной амплитудой тока требует двух мощных источников питания (+10В и -10В), которые, разумеется, не вписываются в заданные габариты устройства. Использование же одного источника для питания разрядных ключей при одинарной амплитуде тока требует четырех ключей на разряд, которые также не могут быть расположены в заданном объеме. Применение же двухключевой схемы в разряде с двойной амплитудой тока через каждый ключ позволяет уместить электронику разрядной части и использовать уже выбранные по необходимости УБП, которые вполне выдерживают возникающую при этом токовую нагрузку.

Усилитель считывания данного устройства построен на микросхеме 2ПН631 (см.рис.4), что обеспечивает его простоту и дешевизну. Данная микросхема имеет на выходе перепады, совпадающие с перепадами логических элементов серии 137, что дает возможность строить каскад временной селекции на типовых логических элементах "И." Поскольку выделение сигнала с выбранного накопителя происходит не по количественному, а по какому признаку, амплитудный селектор в усилителе микросхеме обеспечивается. Линейный режим в данной с выхода на вход. Ослабление синфазной помехи, возникающей в проводе считывания от адресных токов и достигающей наибольшей величины при использовании двойного дешифратора, обеспечивается применением на входе усилителя двухобмоточных дросселей (режекторы).

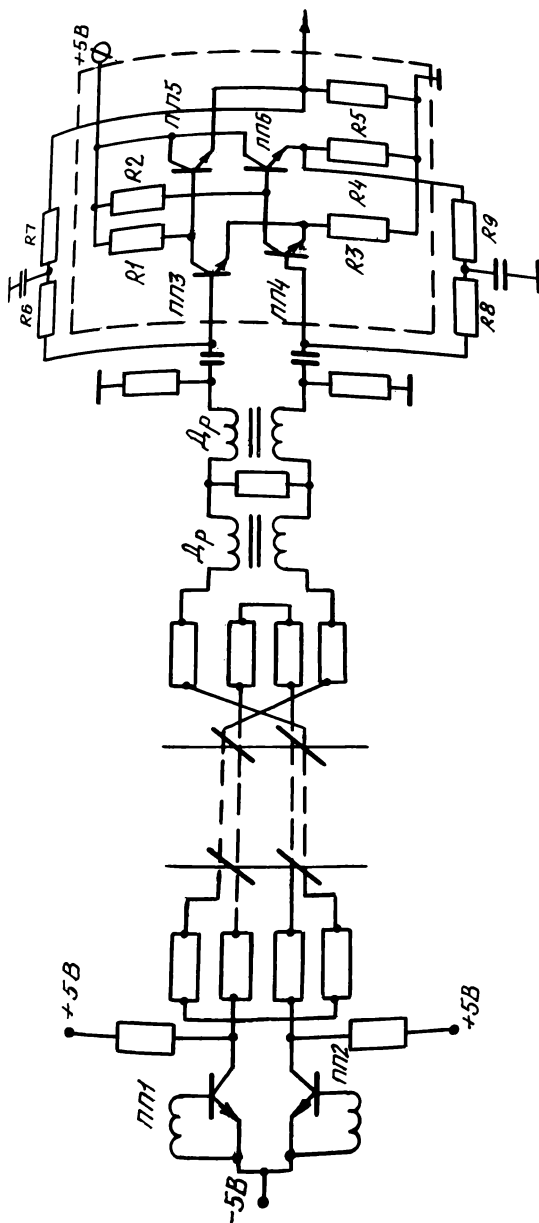


Рис.4. Схема организации эл. и считывания
 адресов (или одного разряда):
 ПП1, ПП2 – ключи эл. (попавшие микросхемы 2ТС-613); ПП3, ПП6,
 Р1 – Р5 – попавшие микросхемы 2ПН631; А_р – двухобмоточная
 дроссель

Особенности запоминающего устройства

Несмотря на свою тривиальную структуру, данное устройство имеет ряд схемных и конструктивных особенностей. В связи с тем, что логические элементы имеют небольшой перепад (0,6В) и соответствующую помехоустойчивость, возникает ряд трудностей в размещении на одной конструктивной плате логических и сильноточных цепей, обслуживающих накопитель при большой плотности расположения электрорадиоэлементов, связанных с установлением влияния этих цепей друг на друга (наводок). Большое значение в решении этой проблемы сыграл примененный многослойный печатный монтаж плат, разделенный слаботочных и сильноточных цепей по различным слоям с использованием экранов между ними. Эмиттер и коллектор сильноточных каскадов выводились печатными проводниками, расположенными в двух соседних слоях и идущими друг под другом. С этой же целью связь электронной части с накопителем осуществлялась бифилярным способом.

К особенностям устройства также можно отнести отсутствие в электронной части дискретных транзисторов (кроме транзисторов КТ904А), которые заменены микросхемами серии 217, 261, 263, что обеспечивает большую стабильность электрических параметров и требуемую плотность расположения электрорадиоэлементов на ТЭЗ, а также большую технологичность изготовления электроники управления.

Следующая особенность состоит в том, что для построения адресного дешифратора применены диодные микросхемы 2Д917, 2Д908, которые расположены на печатных платах, конструктивно скомпонованных вместе с накопителем. Это обеспечивает компактность накопителя и уменьшает его паразитные параметры.

Следует также отметить, что система синхронизации устройства построена на высокочастотных линиях задержки, выполненных на основе витых пар.

И, наконец, к числу особенностей данного ЗУ можно отнести то, что оно имеет побайтное управление записью и чтением и контроль по четности адресов и признаков чтения-записи.

Характеристики разработанного ЗУ

При проектировании заданного ЗУ по изложенной методике были выполнены основные требования, предъявляемые к нему. Реальное устройство (опытный образец) размещается в типовой раме ЕС ЭВМ вместе с блоками питания. После испытания его были получены следующие

где основные электрические характеристики (рис.5):
 - минимальный цикл работы устройства - 800 нс при переключении ферритового сердечника по предельному циклу. Следует отметить, что цикл работы ОЗУ может быть уменьшен в несколько раз при переходе на частные циклы;
 - время выборки устройства составляет 375 нс при выполнении контроля последовательным способом (на который затрачивается 100 нс).
 При использовании параллельного способа (на который выполняется параллельно с полуциклом считывания) время выборки может быть сокращено до 275 нс.

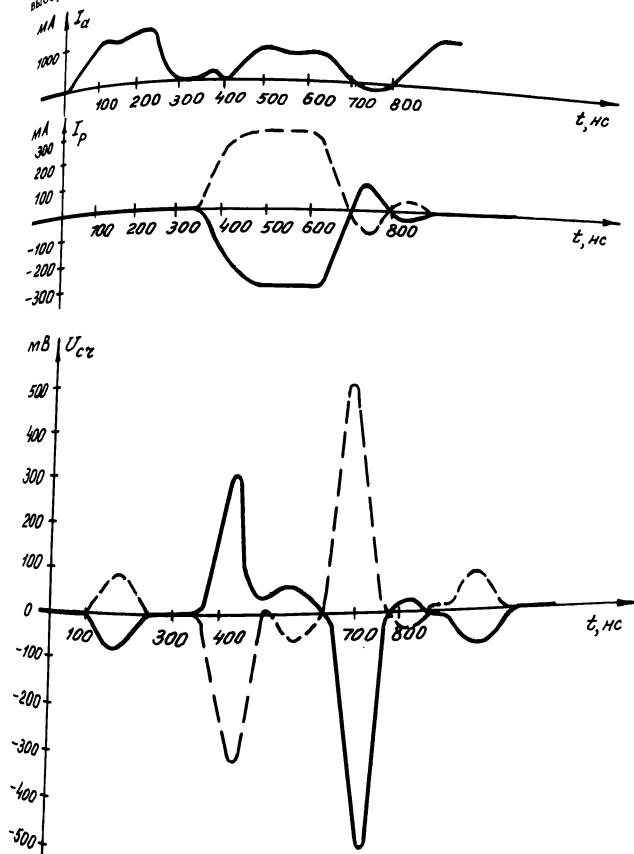


Рис.5. Эпюры адресных и разрядных токов и сигналов на входе усилителя считывания

Л и т е р а т у р а

1. Антонов В.С. и др. Электронная вычислительная машина ЕС-1050. - "Вопросы радиоэлектроники", сер.ЭВТ, 1973, вып.1.

2. Мкртчян Ж.А. и др. Универсальные блоки питания для ЭВМ на интегральных схемах. - "Вопросы радиоэлектроники", сер. ЭВТ, 1971, вып.2.

3. Waas G.I. A Review of Magnetic Devices Electronic Memories 11."Cont.Eng.",1971,v.18,N 12.

4. Запоминающие устройства современных ЭЦВМ. Сб. статей. Ред. А.Крупский, М., "Мир", 1968.

Статья поступила в апреле 1975 года