

**Электронная
вычислительная
машина**

ЕС-1033

ББК 32.972

945

УДК 681.3

Г. П. Сорокин, В. Н. Иванов, А. У. Ярмухаметов,
В. Ф. Гусев, Г. Н. Иванов, В. В. Фадеев, А. Х. Абдрахманов
Г. М. Персов, Л. И. Нейман, Ю. А. Каршев, В. И. Кельдышев ,
В. И. Коротышкин, Д. А. Касимова, Т. А. Петрова

Редактор Е. Е. СКВОРЦОВ

Рецензенты: Е. А. ДРОЗДОВ, А. Г. ШЕВЧЕНКО

Э45 Электронная вычислительная машина ЕС-1033/Под ред.

В. А. Комарницкого, Г. П. Сорокина. — М.: Машиностроение, 982% 383. с... ИЛ.

| В пер.: Гр; 60к. |

— Книга посвящена ЭВМ ЕС-1033, предназначенной для решения широкого круга научно-технических и экономических задач. Приведены общие сведения о модели, рассмотрены ее структурные и технические особенности, элементная база, принципы построения и функционирования узлов и блоков центрального процессора, каналов ввода-вывода н системы ДНАГНОСТИКИ, описаны алгоритмы выполнения операций, структура и возможности программного обеспечения.

Книга предназначена для разработчиков технических средств вычислительной техники, микропрограммного и программного обеспечения и для работников вычислительных центров. Она будет полезной для научных работников, преподавателей, студентов вузов и аспирантов, специализирующихся в Названных областях.

Э (2405000000-062 / 038(01)) * 62-82

ББК 32.972

6Ф7.3

© Издательство «Машиностроение», 1989 г.

ПРЕДИСЛОВИЕ

Основной задачей развития социалистического общества, которая изложена в решениях XXVI съезда КПСС, является подъем материального и культурного уровня жизни народа на основе

динамического и пропорционального развития общественного производства и повышения его эффективности, роста производительности труда, всемерного улучшения качества работы. Решение этой задачи тесно связано с ускорением темпов научно-технического прогресса, характерной особенностью которого является широкое применение математических методов и средств вычислительной техники во всех областях народного хозяйства.

Постоянно возрастающие потребности народного хозяйства обуславливают необходимость создания и применения все более современных электронных вычислительных машин. В частности, это послужило причиной модернизации первых базовых моделей ЭВМ Единой системы: ЕС-1020, ЕС-1030, ЕС-1050. На смену им были разработаны и запущены в серийное производство новые модели: ЕС-1029, ЕС-1033, ЕС-1052. Они превосходят своих предшественниц по всем основным показателям.

На фоне прочих разработок выделяется модель ЕС-1033, которая относится к машинам средней производительности семейства «Ряд 1» ЕС ЭВМ. Анализ проблем, стоящих перед отечественными и зарубежными пользователями ЭВМ этого семейства, позволило определить требования, которым должна удовлетворять ЭВМ средней производительности: увеличение основного показателя — отношения производительности к стоимости, сокращение объема и номенклатуры компонентов основного электронного оборудования в сравнении с существующими моделями рассматриваемого класса и повышение достоверности результатов обработки информации. Планируемые характеристики должны базироваться на освоенной и сравнительно недорогой технологии, а ЭВМ — обладать достаточной патентной чистотой и конкурентоспособностью на внешнем рынке.

Проведенные исследования показали, что традиционные структуры ЭВМ средней производительности не позволяют добиться значительного улучшения их характеристик. Для достижения этой цели требуются разработка и применение новых принципов структурной организации вычислительных средств. Отмеченное обстоятельство обусловило необходимость поиска пути построения модели ЕС-1033.

В основу построения ЭВМ ЕС-1033 была положена магистральная структура, которая ранее не применялась для машин такого класса [А. с. 486711 (СССР)].

Структура вычислительной машины в значительной степени определяется теми техническими средствами, которые используют при ее построении. Поэтому реализация нетрадиционной структуры вызвала необходимость поиска и применения ряда оригинальных технических решений и приемов микропрограммирования. Они защищены 17 авторскими свидетельствами и 65 зарубежными патентами.

Наряду с широко известными интегральными микросхемами, составившими основу элементной базы ЕС-1033, были использованы микросхемы повышенной степени интеграции, разработка которых велась в рамках проекта ЕС-1033 параллельно с проектированием машины. Следует отметить, что в процессе проектирования определились дополнительные требования к элементам ЭВМ, реализация которых способствовала расширению возможностей их применения.

Совершенство средств вычислительной машины определяется также и степенью развития программного обеспечения. В вычислительной технике программные средства давно уже используются не только для решения задач пользователем, но и для обеспечения самого процесса функционирования ЭВМ. Этот класс программ представляет собой непосредственное развитие технических средств ЭВМ и является ее составной частью. Поэтому одновременно с созданием технических средств ЕС-1033 велись работы по развитию операционной системы (ОС ЕС), ее модельезависимых и моделиеориентированных компонентов, пакетов программ, расширяющих возможности ОС ЕС, а также программ технического обслуживания, ориентированных на модель ЕС-1033.

Машина ЕС-1033 имеет развитую систему контроля процессов обработки и пересылки информации и микропрограммную систему диагностики. В сочетании с программными средствами восстановления вычислительного процесса это обеспечивает высокую достоверность результатов обработки информации.

По совокупности оригинальных технических решений ЭВМ ЕС-1033 является самостоятельной моделью ЕС ЭВМ, не имеющей аналогов среди отечественных машин своего класса. Эта модель завершает программу разработки машин третьего поколения семейства «Ряд 1» ЕС ЭВМ. В то же время структурная организация модели и принятые в ней технические решения во многом уже имеют признаки машин четвертого поколения. По производительности и своим возможностям ЕС-1033 приближается к старшим моделям, а по объему оборудования и энергопотреблению — к младшим моделям семейства ЕС «Ряд 1».

Названные выше особенности ЕС-1033 и определили в значительной степени содержание этой книги, посвященной общим структурным принципам, построению и функционированию ЭВМ ЕС.1033. В книге рассмотрены структурные и технические особенности машины, элементная и конструктивная база, основные

структурные и функциональные схемы блоков и узлов центрального процессора и каналов ввода-вывода, машинные алгоритмы и микропрограммы операций, возможности программного обеспечения.

Основное внимание уделено изложению вопросов организации структуры и работы оборудования центрального процессора, каналов ввода-вывода и системы диагностики, микропрограммирования и особенностей математического обеспечения, которые характерны именно для этой модели. Авторы стремились ввести читателя в круг тех идей и технических решений, которые явились основополагающими при создании машины. Поэтому работа оборудования центрального процессора и каналов ввода-вывода рассмотрена на самых разных уровнях — от структурных до функциональных и в ряде случаев до принципиальных схем узлов и блоков. При описании алгоритмов операций авторы придерживались того же принципа — в необходимых случаях алгоритмы рассматриваются на уровне микрокоманд. Чтобы показать аппаратную реализацию алгоритма выполнения операций, в тексте даны перекрестные ссылки. Так, при описании аппаратной части указано, в каких микропрограммах, приведенных в книге, можно найти пример работы того или иного оборудования (аппарата маскирования, анализов, байтной записи, переадресации операционных регистров и др.). В свою очередь, при описании микропрограмм отмечается, какая при этом используется аппаратура. Тем самым авторы стремились показать, для каких целей принято то или иное техническое решение, воплощенное в конструкции узлов и блоков, почему выбран тот или иной алгоритм, его отличие от традиционных решений, как и с помощью какого оборудования он реализуется.

В книге также освещены особенности программного обеспечения ЭВМ ЕС-1033, что очень важно для правильной эксплуатации машины, так как от того, насколько умело будет использовано программное обеспечение, зависит эффективность работы машины в целом. Основное внимание сосредоточено на описании моделезависимых компонентов операционной системы и, в частности, программных средств восстановления вычислительного процесса после обнаружения ошибок в работе центрального процессора и каналов ввода-вывода, а также тестового обеспечения и пакетов программ, расширяющих возможности ОС ЕС.

Книга рассчитана на подготовленного читателя, имеющего определенные знания в вычислительной технике и знакомого с работой и применением интегральных микросхем, с основами построения и применения цифровых вычислительных машин и систем, а также с Единой системой электронных вычислительных машин и принципами ее работы. Она адресована инженерно-техническим работникам — разработчикам технических средств вычислительной техники, микропрограммного и программного обеспечения, а также работникам вычислительных центров. Она

будет полезной для научных работников, преподавателей, студентов старших курсов и аспирантов вузов, специализирующихся в названных областях.

Книга написана группой авторов, разработчиков модели ЕС-1033 ее программного обеспечения.

Предисловие и гл. 1 написали В. И. Иванов, В. Ф. Гусев, А. У. Ярмухаметов, Г. ПЦ, Сорокин; гл. 2 и 3 — Г. ПП. Сорокин, Г. Н. Иванов, Г. ^\ Персов, А. У. Ярмухаметов, В. И. Коротышкин; гл. 4—9 — Г. И. Сорокин, Г. И. Иванов, Г. М. Персов, А. У. Ярмухаметов; гл. 1 — Г. И. Сорокии; гл. 11—13 — В. В, Фадеев. Л. И. Нейман, Ю. А. Каршев, Г. И. Сорокин; гл. 14—16 — А. Х. Абдрахманов, В. И. Кельдышев, Д. А. Касимова, Т. А. Петрова.

ГЛАВА 1. ОБЩИЕ СВЕДЕНИЯ ОБ ЭВМ ЕС-1038 И ЕЕ СТРУКТУРНЫЕ ОСОБЕННОСТИ

1.1. СОСТАВ И ХАРАКТЕРИСТИКИ

ЭВМ ЕС-1033 (рис. 1) представляет собой дальнейшее развитие семейства «Ряд 1» программно-совместимых электронных вычислительных машин Единой системы (ЕС ЭВМ). Она использует единую систему программного обеспечения и номенклатуру технических средств ЕС ЭВМ.

Это универсальная ЭВМ, предназначенная для решения широкого круга инженерных, научно-технических, экономических, информационных задач в вычислительных центрах, системах сбора и обработки данных, информационно-поисковых системах, системах телеобработки, автоматизированных системах управления и т. п.

ЭВМ ЕС-1033 характеризуется модульностью построения, микропрограммным управлением, магистральной организацией связей узлов процессора и каналов ввода-вывода, а также наличием следующих устройств и средств:

общего канала (ОК), объединяющего мультиплексный канал (МК) и три селекторных канала (СК) ввода-вывода;

средств прямого управления, включающих средства мультисистемной работы;

автономных средств диагностики центрального процессора и каналов ввода-вывода, взаимодействующих с программными средствами восстановления операционной системы на уровне обработки ошибок центрального процессора, оперативной памяти и каналов ввода-вывода;

средств комплексирования, позволяющих строить на базе ЭВМ ЕС-1033 многомашинные вычислительные системы и подключать к ней мини-ЭВМ класса «СМ»;

стандартных средств расширения моделей Единой системы (ретрансляторами, двухканальными переключателями) и возможностями работы в системах телеобработки через мультиплексоры и телепроцессоры;

специализированного процессора статистической обработки.

ЭВМ ЕС-1033 является стационарной вычислительной машиной. Она предназначена для установки в специально оборудованном помещении. Комплекты ЭВМ ЕС-1033 могут различаться емкостью оперативной памяти и составом внешних устройств.

В основной комплект ЭВМ ЕС-1033 входят (рис. 2)

процессор ЕС-2433	1
устройство запоминающее оперативное ЕС-3203 (ЕС-3207, ЕС-3208, ЕС-3263)	1
накопитель на магнитной ленте ЕС-5012-01	4

устройство управления накопителями на магнитной ленте ЕС-5517	1
накопитель па магнитных дисках ЕС-5061 (ЕС-5056М)	3
устройство управления накопителями на магнитных дисках ЕС-5561 (ЕС-5551М)	1
устройство ввода с перфокарт ЕС-6012	1
устройство вывода с перфоленты ЕС-6022	1
устройство вывода на перфокарты ЕС-7010	1
устройство вывода на перфоленту ЕС-7022	1
устройство печатающее ЕС-7032	1
машинка пишущая с блоком управления ЕС-7077	1
устройство подготовки данных на перфокартах ЕС-9011	2
устройство подготовки данных на перфоленте ЕС-9024	1
стойка питания ЕС-1033/С000	1
щит распределительный ЕС-1030/С005	1

ЭВМ ЕС-1033 имеет следующие технические характеристики:

1. Производительность при решении научно-технических задач — 200 тыс. операций в 1 с., при решении планово-экономических задач — 150 тыс. операций в 1 с.

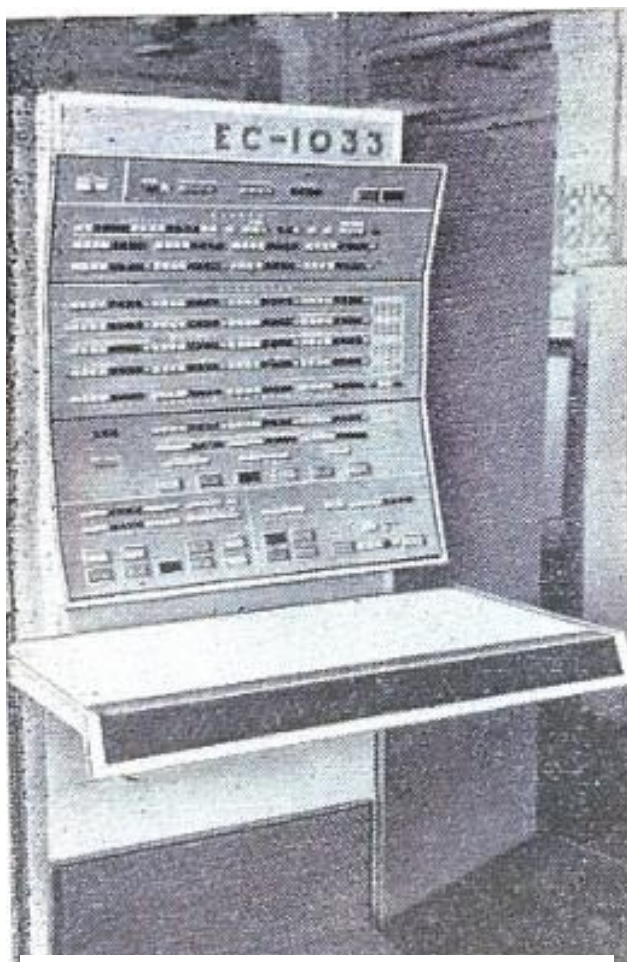


Рис. 1. Общий вид ЭВМ ЕС-1033 со стороны пульта управления

Эти показатели производительности получены путем исполнения программ, среднестатистический набор команд в которых соответственно удовлетворяет требованиям статистических смесей GIBSON и GPO — WU — II [8].

2. Емкость оперативной памяти (ОП) при комплектации модели одним устройством. ЕС-3203 составляет 256К байт¹ и 512К байт при подключении двух устройств. Если используются одно или два устройства ЕС-3207 (ЕС-3208), то емкость ОП составляет — соответственно 512К байт или 1024К байт. При комплектации устройством ЕС-3263 емкость ОП равна 1024К байт, а ЕС-3963.01 — 2048К, байт.
3. ЭВМ имеет универсальный набор команд ЕС ЭВМ. Она может оперировать числовыми данными, представленными диапазоне от 10^{-78} до 10^{75} , а также логическими данными.

¹ Здесь и далее при определении емкости устройств памяти К = 1024.

4. Модель имеет один мультиплексный и три селекторных канала. К мультиплексному каналу может быть подключено до 256 устройств ввода-вывода, а к каждому селекторному каналу — до 128 устройств. Каналы МК и СК сопрягаются с центральным процессором и оперативной памятью через общий канал. Нагрузочная способность интерфейсного выхода каждого канала — 10 устройств.

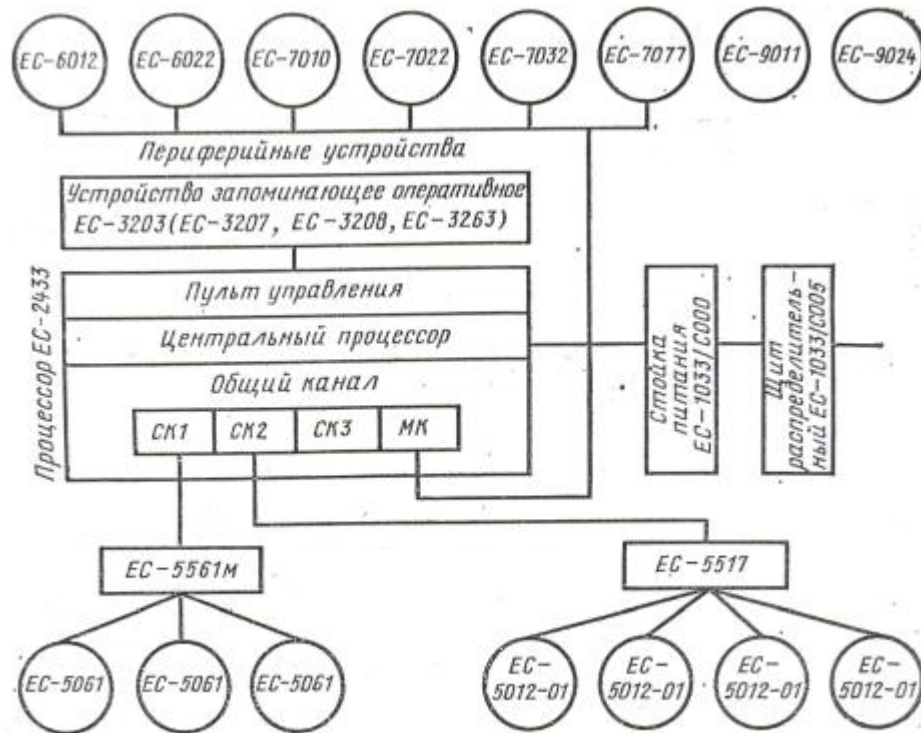


Рис. 2. Состав основного комплекта ЭВМ EC-1033

Скорость передачи данных: через мультиплексный канал в мультиплексном режиме — 50К байт в 1 с и в монопольном режиме — 300К байт в 1 с; через селекторный канал — 800К байт в 1 с.

Для максимального использования логических возможностей каналов по количеству подключаемых внешних устройств в составе ЭВМ EC-1033 предусмотрены логические ретрансляторы.

К каналам ввода-вывода могут быть подключены все типы внешних устройств EC ЭВМ.

5. В модели предусмотрены средства прямого управления с расширенными возможностями мультисистемной работы.
6. Машина имеет развитую систему контроля и диагностики, которая обеспечивает повторение команд центрального процессора при обнаружении сбоев, локализацию неисправностей центрального процессора и каналов, связь с программными средствами восстановления системы после сбоев в каналах ввода-вывода,

в центральном процессоре, в памяти ключей защиты и оперативной памяти.

7. Потребляемая мощность основного комплекта ЭВМ — 40 кВА.

8. Занимаемая площадь — 120 м².

Комплектность ЭВМ ЕС-1033 может быть расширена подключением дополнительных устройств к селекторным и мультиплексным каналам.

Использование логических ретрансляторов позволяет комплектовать машину набором внешних устройств, наиболее полно отвечающим ее конкретному назначению. Непосредственно через интерфейс ввода-вывода к ЭВМ ЕС-1033 подключаются устройства ввода-вывода, внешние магнитные запоминающие устройства, а также средства управления каналами связи. К последним относятся мультиплексоры передачи данных (МИД) и процессоры телеобработки данных (ПТД). К каналам также могут подключаться специальные устройства, такие, как процессор случайных чисел (ПСЧ) и процессор статистической обработки (ПСО).

ЭВМ ЕС-1033, в отличие от большинства моделей ЕС ЭВМ «Ряда 1», имеет дополнительные возможности по объединению в системы с использованием устройства комплексирования ВК1033.С000, позволяющего строить на его базе двух-, трех- и четырехмашинные системы. Возможная структура двухмашинной вычислительной системы представлена на рис. 3.

Устройство комплексирования ВК1033.С000 содержит шесть адаптеров канал-канал (АКК) и блок управления вычислительным комплексом (БУ ВК). Взаимное управление ЭВМ двухмашинного комплекса осуществляется с помощью мультисистемных средств центрального процессора каждой ЭВМ, связанных друг с другом через специальный интерфейс прямого управления. Управляющие сигналы, определяющие состояние и режим работы каждой ЭВМ ЕС-1033, передаются средствами прямого управления центрального процессора через интерфейс прямого управления и ВК1033.С000. Обмен информацией между ЭВМ производится через АКК.

Вычислительные системы на базе ЭВМ ЕС-1033 могут быть использованы для организации телеобработки данных. В настоящее время для Единой системы разработан и производится комплекс средств телеобработки, включающий как аппаратные средства — мультиплексоры передачи данных, абонентские пункты (АП), аппаратуру передачи данных (АПД), так и программные [15, 29].

ЭВМ и абонентские пункты подключаются к каналам связи с помощью аппаратуры передачи данных, состав и технические данные которой приведены в прил. 1.

Сопряжение отдельных звеньев системы телеобработки осуществляется через специальные унифицированные интерфейсы, получившие название стыков. В качестве конечных устройств в

системах телеобработки могут быть использованы абонентские пункты, ориентированные на дистанционную работу в диалоговом режиме, на пакетную передачу и обработку данных, на сбор информации или на применение в управлении производством (прил. 2).

Передача данных осуществляется под управлением мультиплексоров передачи данных или процессоров телеобработки. Они

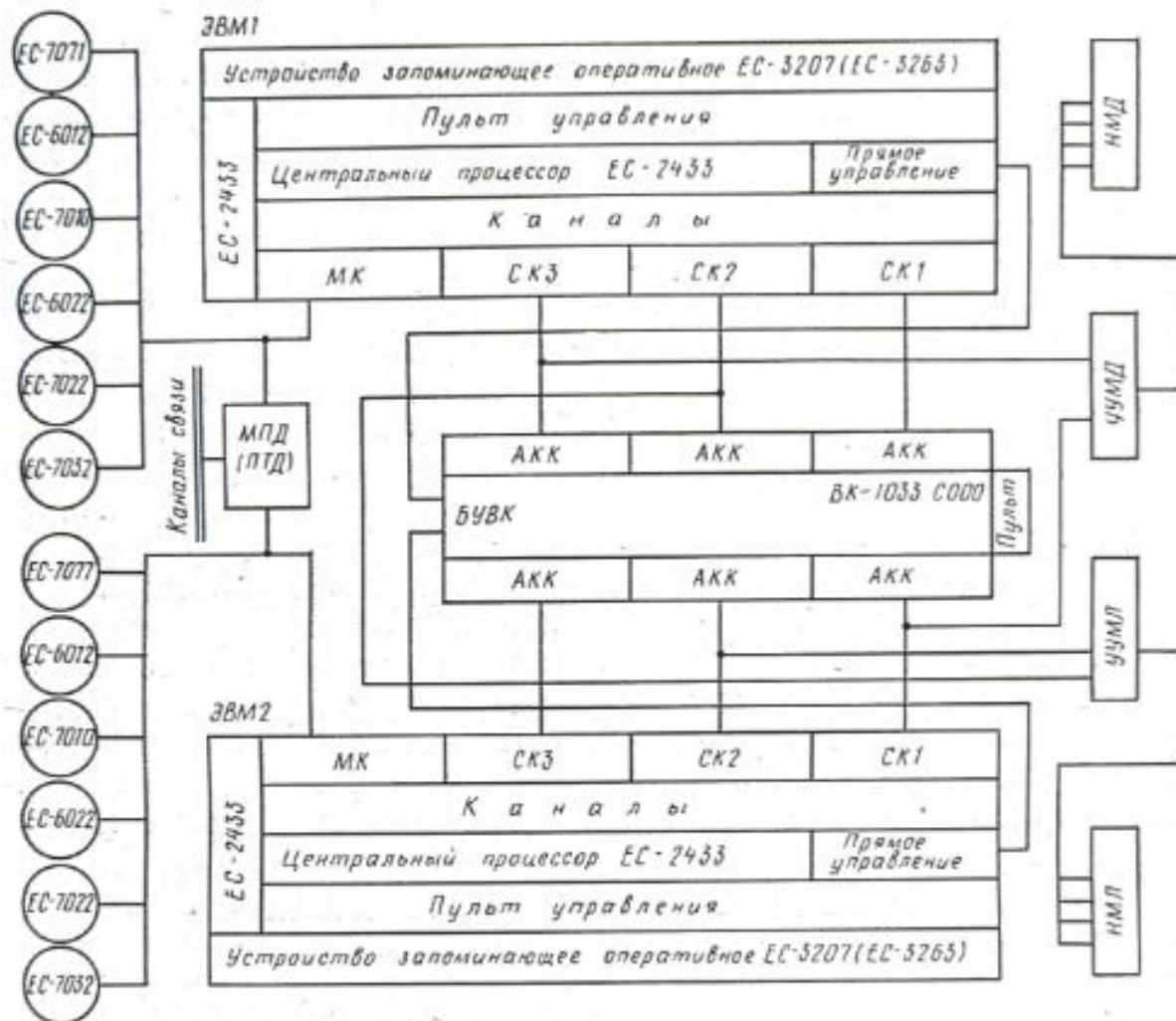


Рис. 3. Структура двухмашинной системы на базе ЭВМ ЕС-1033

обеспечивают сопряжение ЭВМ с АПД и управление каналами связи и АП. В ЕС ЭВМ имеются МПД с жесткой и программной конфигурацией (прил. 3), которые целесообразно использовать в простых системах телеобработки с небольшим количеством каналов. Создание сложных систем телеобработки связано с возможностями перераспределения функций управления между центральной ЭВМ и периферийными процессорами телеобработки данных.

К ЭВМ ЕС-1033 и строящимся на их основе многомашинным системам могут подключаться все средства телеобработки, перечисленные в прил. 1—3.

В качестве примера на рис. 4 показана структурная схема сети телеобработки с использованием ЭВМ ЕС-1033 и программируемого процессора телеобработки данных ЕС-8371.01 [36].

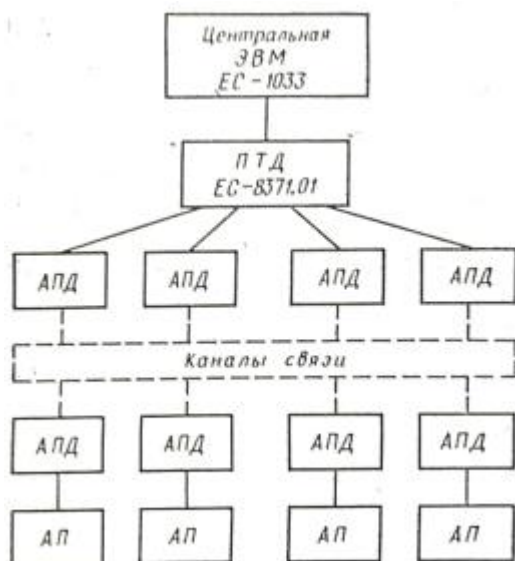


Рис. 4. Структурная схема сети телеобработки

Процессор телеобработки

Центральная данных ЕС-8371.01 обеспечивает управление обмен информацией между центральной ЭВМ и АП. Свои функции он выполняет благодаря управляющей программе, находящейся в его оперативной памяти. Программируемость ПТД позволяет значительно уменьшить нагрузку на центральную ЭВМ при управлении сетью телеобработки, что невозможно при использовании обычных МПД, а также образовывать сети различной конфигурации.

Быстродействие ПТД — более 500 000 операций в 1 с, что обеспечивает возможность совместной работы с 352 терминальными устройствами. Скорость передачи данных может

быть от 50 до нескольких тысяч бит в 1 с, в зависимости от типа применяемой аппаратуры передачи данных: для модема ЕС-8002 — 300, модема ЕС-8006 — (600—1200) и для модема ЕС-8013 — (1200—2400) бит в 1 с. Указанные модемы приспособлены к работе с телефонными каналами связи.

1.2. МАГИСТРАЛЬНАЯ ОРГАНИЗАЦИЯ ЦЕНТРАЛЬНОГО ПРОЦЕССОРА И КАНАЛОВ ВВОДА-ВЫВОДА

Современная универсальная ЭВМ является сложным устройством, предназначенным для выполнения обширного набора операций, определяемых системой команд. При этом одинаково эффективно должны реализоваться алгоритмы таких существенно различных операций, как операции над операндами фиксированных и переменных форматов, операции побайтной обработки информации, операции команд переходов и команд преобразования чисел из одной системы счисления в другую ит. д. Каналы ввода вывода должны обеспечивать как управление большим парком разнообразных внешних устройств, так и высокую пропускную способность при обмене информацией между внешними устройствами и оперативной памятью ЭВМ.

Эффективное выполнение разнообразных алгоритмов и высокое быстродействие машины может быть достигнуто использованием в универсальной ЭВМ специализированных процессоров,

предназначенных, например, для обработки чисел с плавающей запятой, десятичных чисел побайтной обработки и т. д. Однако при использовании интегральных схем малой и средней степени интеграции такой способ построения машин ведет к большим аппаратным затратам. Кроме того, из-за неизбежных простоев отдельных устройств оборудование такой машины используется недостаточно эффективно. С этой точки зрения более приемлемой является организация машины, основанная на использовании так называемых общих ресурсов, когда при выполнении любого алгоритма участвует большая часть оборудования, объединенная в существующую конфигурацию. При выполнении разных алгоритмов количество работающего оборудования и конфигурация соответствующим образом могут изменяться.

Цифровая вычислительная машина или ее устройства, например, центральный процессор (ЦП) или каналы ввода-вывода, построенные по типу общих ресурсов, в самом общем виде могут быть представлены в виде набора логических или функциональных модулей, соединенных информационными связями. Этими модулями, например, могут быть сумматоры, сдвигатели, регистры и т. п., предназначенные для обработки информации и хранения исходных данных, промежуточных или окончательных результатов. Управление работой каждого модуля осуществляется микропрограммным способом. Очевидно, что при прочих равных условиях наибольшей производительностью будет обладать такая система, все модули которой связаны друг с другом независимыми управляемыми связями. Тогда по любой микрокоманде можно осуществить пересылку информации из некоторого модуля в любой другой кратчайшим путем и, следовательно, за кратчайшее время. Кроме того, можно организовать ряд независимых передач внутри независимых групп модулей. Это позволяет реализовать быстродействующие и экономичные алгоритмы, ориентированные на максимальное распараллеливание микроопераций.

С увеличением количества модулей число связей быстро возрастает. Если учесть, что связь между двумя модулями фактически состоит из двух независимых связей — для чтения информации из модуля и для записи в него, то при N модулях потребуется

$$n = 2 \sum_{i=1}^{N-1} (N - i)$$

связей. Кроме того, для передачи содержимого отдельных разрядов или групп разрядов (так называемых дробных передач) требуется, как правило, применение дополнительных специальных связей либо усложнение аппаратуры. То же самое можно сказать и для случаев передач с «перекосом» и «перекрестных» передач, когда группа передаваемых бит меняет свое положение в передаваемом слове информации или две половины передаваемого слова меняют свои места.

Уменьшения количества связей между модулями можно достичь различными способами.

Одни из них, широко используемый в большинстве современных микросхем, состоит в том, что некоторые модули не имеют непосредственной связи друг с другом. Если необходимо произвести обмен информацией между этими модулями, то ее пересылают через один или несколько других модулей, имеющих прямые связи как с первыми двумя, так и между собой. Такие холостые передачи, естественно, снижают производительность системы. Это снижение тем больше, чем больше модулей не имеют прямых связей при неизменном общем числе самих модулей.

Другой путь основывается на применении в логических модулях таких электронных схем, которые бы обеспечивали возможность производить как запись, так и чтение информации через один и тот же вход, который становится в этом случае и выходом модуля. Эта точка получает название вход-выход логического модуля. При такой организации обмена информацией количество связей сокращается в два раза.

В общем случае в машинах с микропрограммным управлением при выполнении каждой отдельной микрокоманды все многочисленные связи модулей друг с другом не используются одновременно. Используется лишь ограниченное их число. Для выполнения каждой микрокоманды образуется своя, каждый раз новая, конфигурация из ограниченного числа логических модулей, определяемая лишь теми связями, которые иницируются микрокомандой. На протяжении той или иной микропрограммы может потребоваться реализация всех связей между модулями. Таким образом, оптимальной, очевидно, является такая система, которая в принципе способна обеспечить прямую связь всех модулей друг с другом, но в каждый конкретный момент времени образует лишь только необходимое ограниченное число связей. Система, отвечающая этим требованиям, может быть реализована с помощью магистральной организации связей.

Рассмотрим группу логических и функциональных модулей, связанных несколькими (рис. 5) магистралями. Каждый из модулей своими входами-выходами подключен более чем к одной магистрали. Под воздействием сигналов управления при считывании информации из какого-либо модуля информация распространяется на всю магистраль. Этот процесс можно назвать чтением информации на магистраль или чтением с магистрали. Если одновременно с сигналом чтения (ЧТ) информации на магистраль, допустим из первого модуля, подать на один или несколько других модулей сигналы записи (ЗП), то произойдет запись информации с магистрали в эти модули. Допустим, что в самом простейшем случае микрокоманда позволяет произвести чтение из любого одного модуля и запись в любой один модуль. Следующая микрокоманда организует связь между другой парой модулей на время одного такта работы и т. д. В целом на протяжении некоторого

жутка времени такая система позволяет реализовать связь каждого модуля с каждым. В рассматриваемой системе можно в одном такте организовать связь для передачи информации, например, из первого модуля во второй через магистраль M1, из второго модуля в третий — через M2, из i -го в j -й — через M3. При этом для трехмагистральной организации из N модулей потребуется

$$n = 3N$$

связей модулей с магистралями. Сравним эти системы организации. Для группы из четырех модулей потребуется соответственно 12 и 12 связей, из восьми — 72 и 24, из 16 — 272 и 48, из 32 — 1048 и 96.

В системе с магистральной организацией возможна запись информации в тот же модуль, из которого производилось чтение. Например, в процессе обработки данных один из модуля 1 и подается на один из входов комбинационного блока 2 через магистраль M1, другой операнд извлекается из блока 2 и подается на второй вход блока k через магистраль M2, а результат обработки через магистраль M3 записывается в модуль 1 на место первого операнда. Чтобы обеспечить такую возможность, процессы чтения на магистраль и записи с магистрали необходимо разделить во времени. Для этого рабочий такт разбивается на два полутакта. В первом полутакте производится чтение, во втором — запись. Чтобы сохранить состояние магистрали в течение промежутка времени между чтением и записью, каждая магистраль имеет элементы памяти (ЭП). В конце рабочего такта ЭП магистрали (или просто магистраль) сбрасывается в исходное состояние специальным сигналом сброса. Таким образом, магистраль оказывается готовой принять в следующем такте по сигналам чтения новую информацию.

При чтении информации одновременно из двух модулей на одну и ту же магистраль со считанными кодами выполняется функция «логическое И», т. е. логическая обработка информации.

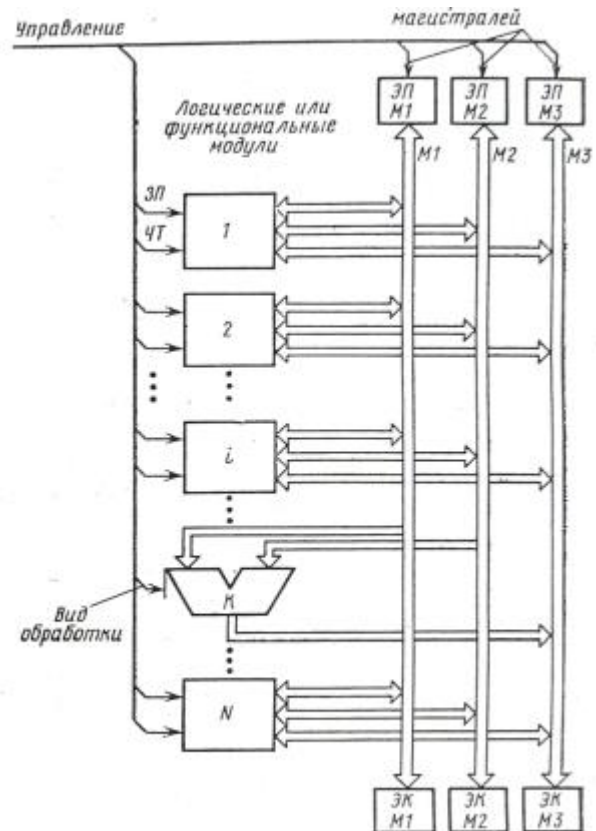


Рис. 5. Пример магистральной организации

Свойство магистрали производить логическую обработку передаваемой по ней информации используется для дробных передач. В этом случае из одного модуля считывается информация, а из другого --- соответствующая выбранному формату передачи маска, содержащая единицы в тех битах, которые подлежат передаче, и нули — в остальных. Таким образом, и дробные, и полные передачи осуществляются одинаковым образом с применением тех же самых связей. При этом не требуется отдельного управления частью информационного тракта. Формат передачи программируется соответствующей маской. В общем случае маска может быть не только заданной в микропрограмме, а и быть результатом вычислений, целиком зависящим от обрабатываемых исходных данных (п. 2.4).

Таким образом, в каждом такте работы можно организовать несколько трактов передачи информации. Поскольку управление осуществляется микропрограммно, то в каждом такте создается структура связей, оптимально отвечающая выполняемому алгоритмическому действию. В следующем такте работы, при выполнении другого алгоритмического действия, создается другая структура, оптимальная уже для этого действия. Внешне это выглядит так, как будто в каждом очередном такте образуется новая конфигурация блоков. Эта конфигурация изменяется с тактовой частотой машины.

Как следует из сказанного выше, магистральная организация логических модулей в принципе требует такой их реализации, чтобы чтение и -запись информации производилась через один и тот же вход-выход. А трехмагистральная организация требует, чтобы было три независимо управляемых входа-выхода, причем по каждому входу-выходу должно быть независимое управление как по записи, так и по чтению.

В ЕС-1033 принята магистральная организация центрального процессора и каналов ввода-вывода. Для ее реализации была создана специальная ячейка памяти — многофункциональный логический элемент (МФЭ), получившая свое конструктивное воплощение в микросхеме K155ХЛ1 [А. с. 486376 (СССР), а. с. 624295 (СССР)]. Эта микросхема не имеет зарубежных аналогов. Она представляет собой D-триггер с тремя информационными входами-выходами. Для записи информации в D-триггер имеются три входа для управляющих сигналов записи, каждый вход записи для «своего» входа-выхода. Аналогично для чтения информации из D-триггера имеются три входа для управляющих сигналов чтения. Микросхема K155ХЛ1 (п. 1.5) содержит два О-триггера с общими управляющими входами записи-чтения и отдельными информационными входами-выходами. Два триггера позволяют реализовать два разряда регистра.

Магистрали следует рассматривать как устройства, имеющие определенную структуру и логику работы, а не как шины, обеспечивающие гальваническую связь между схемами. В этом

заключается принципиальное отличие между «общими шинами» мини-ЭВМ и магистралями СС-1033. Если в первом случае шины представляют собой конструктивно систему проводов, процедура передачи информации по которым обусловлена сложной местной логикой и синхронизацией, то магистрали ЕС-1033 имеют относительно простое централизованное микропрограммное управление и довольно сложное конструктивное исполнение.

Кроме связей через магистрали для некоторых узлов и регистров процессора, а также каналов ввода-вывода необходимыми оказались и прямые связи. Их использование расширяет возможности распараллеливания микроопераций. Такие узлы могут иметь или не иметь связи с информационными магистралями.

Принцип магистральной организации ЕС-1033 не исчерпывается только наличием информационных магистралей, объединяющих функциональные и логические модули, а имеет многоуровневый, иерархический характер. В модулях имеются внутренние магистрали, объединяющие узлы и схемы модуля между собой. Обмен информацией между центральным процессором и каналами ввода-вывода также происходит через магистрали.

1.3. МИКРОПРОГРАММНОЕ УПРАВЛЕНИЕ

В ЭВМ ЕС-1033 применено микропрограммное управление (МУ), имеющее ряд преимуществ перед аппаратным — основным из них является простота и удобство проектирования. Принято считать, что МУ обеспечивает более низкое быстродействие по сравнению с аппаратным управлением вследствие расчленения выполняемого алгоритма на последовательные этапы. Это положение органически связано с построением модулей вычислительной машины и справедливо для традиционной их организации. Объединение логических модулей процессора и каналов ЕС-1033 через информационные магистрали предполагает применение МУ как неперменного компонента системы. В свою очередь, в магистральных системах МУ получило дальнейшее развитие и наиболее полно проявило свои потенциальные возможности. В частности, совместное применение так называемого кодированного управления ходом выполнения микропрограмм в сочетании с магистральной организацией позволило максимально распараллелить процесс обработки информации, значительно повысив тем самым производительность машины. Кроме того, широкие возможности такой системы позволили разработать и применить приемы микропрограммирования, специфичные именно для подобного рода систем. В отдельных частях модели ЕС-1033 — в центральном процессоре, в каналах ввода-вывода и в блоке диагностики центрального процессора — применено автономное микропрограммное управление. Если разделение управления процессора и каналов продиктовано стремлением избежать взаимных влияний и обеспечить их независимую работу, повысив тем самым

общее быстроедействие машины, то автономность управления диагностикой процессора продиктовано соображениями обеспечения высокой эксплуатационной надежности.

В зависимости от степени распараллеливания процесса обработки информации и сложности выполняемых алгоритмов выбран различный формат микрокоманд. В процессоре микрокоманда имеет 128 информационных и четыре контрольных разряда, в каналах ввода-вывода — 64 информационных и Два контрольных в блоке диагностики процессора — 32 информационных разряда и один контрольный. Условно считается, что эти блоки состоят соответственно из четырех, двух и одного 32-разрядных слов; каждое слово имеет дополнительный контрольный разряд. Такое деление создает определенное удобство при индикации и описании содержимого микрокоманд, при контроле, а также на этапе проектирования. Кроме того, оно соответствует конструктивному исполнению управляющей памяти микропрограмм — постоянному запоминающему устройству (ПЗУ). Основной конструктивной единицей ПЗУ процессора, каналов ввода-вывода и блока диагностики ЦП является блок односторонней памяти БОП 2048-33(п. 1.7). ПЗУ процессора содержит четыре таких блока: БОП0, БОП1, БОП2 и БОП3, ПЗУ каналов ввода-вывода — Два блока БОП4 и БОП5, блок диагностики — один блок БОП6. Каждая из этих блоков содержит 2048 33-разрядных слов и отличается лишь информационным содержанием («прошивками»).

Микропрограммное управление в ЕС-1033 сочетается с элементами аппаратного управления. Это диктуется либо необходимостью повышения скорости передачи информации при относительно простом алгоритме управления (например, в селекторных каналах), либо стремлением ускорить выполнение операция одновременным уменьшением объема микропрограмм. Последнее наиболее ярко проявляется в работе процессора. Ряд сложных анализов информации в нем реализован аппаратно. Выполнение такого анализа инициируется лишь одним микроприказом, например, анализ выборки (п. 4.3), анализ неуспешной передачи управления (п. 4.3), анализ циклов умножения и деления (пп. 7.3, 7.4) и целый ряд других. Используется также и такой прием, когда часть управляющей информации формируется непосредственно в процессе реализации алгоритма. Например, в микропрограмме в качестве компонента управляющей информации указывается содержимое регистра, которое, в свою очередь, зависит от обрабатываемой информации, ее расположения в ОП, длины операнда и т. п. (п. 9.4).

Высокая степень распараллеливания процесса выполнения операций подразумевает большое количество вариантов продолжения микропрограммы в зависимости от значения исходных операндов, их расположения в ОП и др., а также от промежуточных результатов обработки. Это потребовало создания развитой и гибкой системы подготовки адреса следующей

команды. В ЕС-1033 использованы разнообразные приемы анализа ситуации и выбора пути продолжения микропрограммы. Многие из этих оригинальных приемов оказались достаточно эффективными [А. с. 591075 (СССР), а. с. 613401 (СССР), а. с. 615538 (СССР), а. с. 648984 (СССР)].

Еще одной характерной особенностью МУ в ЕС-1033 является использование в составе микрокоманды 32-разрядной константы — КОНСТ. Она может быть задана в любой микрокоманде. В процессе вычислений (обработки) константа подается на информационные магистрали и может служить операндом, маской, задавать фиксированные адреса ОП, служить для установки значений счетчиков, определять адреса команд. При выполнении в процессоре и каналах ввода-вывода диагностических процедур константа используется для целей тестирования трактов передачи информации, управления и проверки правильности функционирования обрабатывающих блоков.

Аппаратура МУ составляет около 1/5 всего оборудования ЭВМ как по количеству ТЭЗ, так и по их номенклатуре.

1.4. СРЕДСТВА КОНТРОЛЯ И ДИАГНОСТИКИ

ЕС-1033 имеет развитые средства оперативного аппаратного контроля, которые функционируют непрерывно в процессе работы машины. Контролю подвергаются все процессы передачи информации между функциональными блоками в ЦИ и каналах ввода-вывода, обработка информации в функциональных блоках, а также обмен информацией между ЦП, ОП, каналами ввода-вывода и внешними устройствами. Средства контроля позволяют обнаруживать ошибки в том же такте работы, в котором они возникают. Это определяет высокую достоверность результатов, так как предотвращает лавинообразное распространение ошибки в процессе дальнейшей работы и утрату исходных данных. Схемы контроля являются составными частями функциональных блоков ЦП и каналов ввода-вывода. Сигналы ошибок, вырабатываемые этими схемами, фиксируются в специальных триггерах и могут в дальнейшем использоваться для инициирования работы средств диагностики. Работа схем аппаратного контроля не влияет на производительность машины.

В ЕС-1033 используются контроль по 11092, контроль дублированием и контроль предсказанием значения контрольных бит по исходной информации и виду ее обработки.

По mod2 контролируются хранение информации, пересылка информации между функциональными блоками в ЦИ и в каналах ввода-вывода, обмен информацией между ЦП и ОП, а также между ОП и каналами. Контроль производится как по четности, так и по нечетности.

Выбор четного и нечетного дополнения диктуется необходимостью отличить нулевую информацию от отсутствия информации. В трактах, связывающих ЦИ и ОП, каналы с ОП и внешними

устройствами, а также память микропрограмм с другими функциональными блоками, отсутствие информации характеризуются нулевым значением всех разрядов, включая контрольные, а наличие нулевой информации — нулевым значением всех разрядов и единичным значением контрольного разряда. Для обеспечения возможности обнаружения случаев исчезновения информации в таких цепях используется дополнение до нечетности.

Во всех трактах связи функциональных блоков ЦИ и каналов ввода-вывода со своими информационными магистралями, а также в трактах связи ЦП с каналами ввода-вывода отсутствие информации характеризуется единичным значением всех разрядов, включая контрольные. Это обусловлено тем, что сброшенная, т. е. находящаяся в исходном состоянии, магистраль содержит единицы во всех своих разрядах. Тогда наличие нулевой информации будет характеризоваться единичным значением всех информационных разрядов и нулевым значением контрольного разряда. Для контроля таких цепей используется дополнение до четности. Контрольным разрядом снабжается либо целое. 32-разрядное слово, либо байт, либо тетрада информации. Контрольные биты хранятся в триггерах контрольных разрядов и пересылаются вместе с контролируемой информацией.

Дублирование используется при контроле работы арифметико-логического устройства (АЛУ) в ЦП и каналах ввода-вывода. Поскольку АЛУ может выполнять 16 арифметических и 16 логических операций, часть которых является достаточно сложной, другие способы контроля: (например, предсказание контрольных бит) оказываются довольно громоздкими, требующими значительных затрат оборудования. При выполнении арифметических и логических операций операнды подаются одновременно на основное и дублирующее АЛУ, а результаты поразрядно сравниваются. В случае несовпадения значений хотя бы в одном разряде вырабатывается сигнал ошибки.

Контроль предсказанием значения контрольных бит применяется в таких функциональных блоках и узлах, где обработка информации влечет изменение ее четности, это, например, счётчики, сдвигатели, узел регистра результата деления, узел параметра нормализации и др.

Магистральная организация ЦП и каналов ввода-вывода ЕС-1033 обусловила и специфику построения всей системы аппаратного контроля. При традиционной организации связей для того, чтобы проконтролировать правильность передачи информации между функциональными блоками (например, 16 регистрами общего назначения), необходимо иметь 16 схем контроля, по одной для каждого регистра. Если узел или блок предназначен только для хранения информации, достаточно контролировать лишь правильность чтения из него. При магистральной организации связей между узлами и блоками, когда передача информации производится через единые информационные магистрали, оказалось

возможным сосредоточить контрольное оборудование именно на них (элементы контроля ЭК, см. рис. 5). Независимо от количества функциональных модулей, подсоединенных к магистралям, число схем контроля равно числу магистралей. При считывании информации из какого-либо функционального блока правильность чтения на магистраль контролируется схемами контроля данной магистрали. При такой организации количество схем значительно меньше, чем при контроле каждого модуля. Однако точность обнаружения ошибки и надежность контролируемого устройства в целом практически не снижаются. Более того, надежность повышается в результате уменьшения доли контрольного оборудования.

Контрольное оборудование магистралей не позволяет проверять правильность записи информации в функциональные блоки. При временном хранении информации в блоке это не имеет значения. Она будет проверена при чтении на магистраль непосредственно перед ее использованием. Сложнее обстоит дело, когда записываемая в блок информация используется в нем самом после хранения или сразу после записи. В такие устройства (АЛУ, адресные регистры и т. п.) включены специальные внутренние схемы контроля. Следует заметить, что собственные схемы контроля должны иметь также и блоки, не связанные с информационными магистралями.

В ЦП и каналах ввода-вывода ЭВМ ЕС-1033 применяются обе разновидности контроля, т. е. как с помощью схем контроля на магистралях, так и с помощью собственных схем контроля в функциональных блоках. Итак, узлы и блоки, предназначенные только для хранения информации, контролируются при чтении информации на магистраль. Остальные функциональные блоки контролируются как при чтении, так и при записи информации. Некоторые блоки, которые не связаны с магистралями, имеют собственные схемы контроля по записи.

Диагностические средства включаются в работу по сигналам от средств контроля. Это имеет место при обнаружении ошибок и при условии, что прерывание от средств контроля разрешено операционной системой (РССП [13] = 1).

Диагностические средства ЦП выделены в автономный блок, который имеет собственное микропрограммное управление (см. п. 1.3).

Диагностические средства каналов ввода-вывода входят в состав самих каналов и имеют общее с ним микропрограммное управление, т. е. диагностическим микропрограммам каналов выделена определенная область в ПЗУ каналов.

1.5. ЭЛЕМЕНТНАЯ БАЗА

Для построения ЭВМ ЕС-1033 использованы интегральные схемы (ИС) серий К131 и К155. Их применение в сочетании с новыми структурными принципами, развивающими идеи

магистральной организации и микропрограммного управления, обеспечило создание машины достаточно высокой производительности при сравнительно невысоких энергопотреблении и стоимости. Поскольку имеющийся состав ИС серий К155 и К131 не мог полностью обеспечить реализацию принятых в модели ЕС-1033 технических решений, отечественной промышленностью специально для ЭВМ ЕС-1033 был разработан и освоен ряд ИС повышенной степени интеграции, в том числе и ранее упоминавшаяся ИС К155ХЛ1. По электрическим параметрам эти ИС соответствуют ИС серии К155. Конструктивно они выполнены в прямоугольных корпусах 2-го типа с числом выводов 14, 16 или 24 и с шагом выводов 9,5 мм согласно ГОСТ 17467—79 «Микросхемы интегральные. Основные размеры».

Из широко известных ИС [2] в ЭВМ ЕС-1033 применяется девять типов серии К1331: К131ЛАТ (два логических элемента 4И-НЕ), К131ЛА2 (логический элемент 8И-НЕ), К131ЛА3 (четыре логических элемента 2И-НЕ), К131ЛА4 (три логических элемента 3И-НЕ), К131ЛА6 (два логических элемента 4И-НЕ с большим коэффициентом разветвления по выходу), К131ЛД1] (два 4-входовых логических расширителя по ИЛИ), К131/ЛР1 (два логических элемента 2И-2ИЛИ-НЕ, один расширяемый по ИЛИ), К131ЛР33 (логический элемент 9-9-9-3И-4ИЛИ-НЕ с возможностью расширения по ИЛИ) и два типа ИС серии К155: К155ЛА3 (четыре 9-входовые схемы И-НЕ с открытым коллекторным выходом) и К155ЛА7 (две 4-входовые. схемы И-НЕ с открытым коллекторным выходом и повышенной нагрузочной способностью).

Из вновь освоенных отечественной промышленностью в рамках проекта ЕС-1033 в машине применены следующие ИС повышенной степени интеграции (рис. 6).

К155И ДЗ — дешифратор-демультиплексор на четыре информационных входа и 16 выходов. При наличии на обоих входах управления W0 и W1 сигналов низкого уровня на одном из выходов присутствует сигнал низкого уровня. Номер этого выхода определяется 4-разрядной кодовой комбинацией на входах 1, 2, 4, 8. При комбинации сигналов 01, 10 или 11 на входах W0 и W1 на всех выходах дешифратора будет высокий уровень. В машине эта ИС применяется как дешифратор 4-разрядных кодов (например, дешифратор полей микрокоманд).

К155ИПЗ — арифметико-логическое устройство. Оно обеспечивает выполнение 16 арифметических и 16 логических операций (табл. 1) над 4-разрядными операндами. Операнды подаются на входы А0 — А3 и В0 — В3. Код выполняемой операции поступает на входы \$0 — \$3 выбора функций, вид операции (арифметическая или логическая) задается сигналом на входе М (вход задания режима работы). Входной перенос поступает на вход СО.

Выходы F0 — F3 — выходы сигналов результата, Р — выход сигнала, соответствующего функции распространения переноса, G — выход сигнала, соответствующего функции формирования

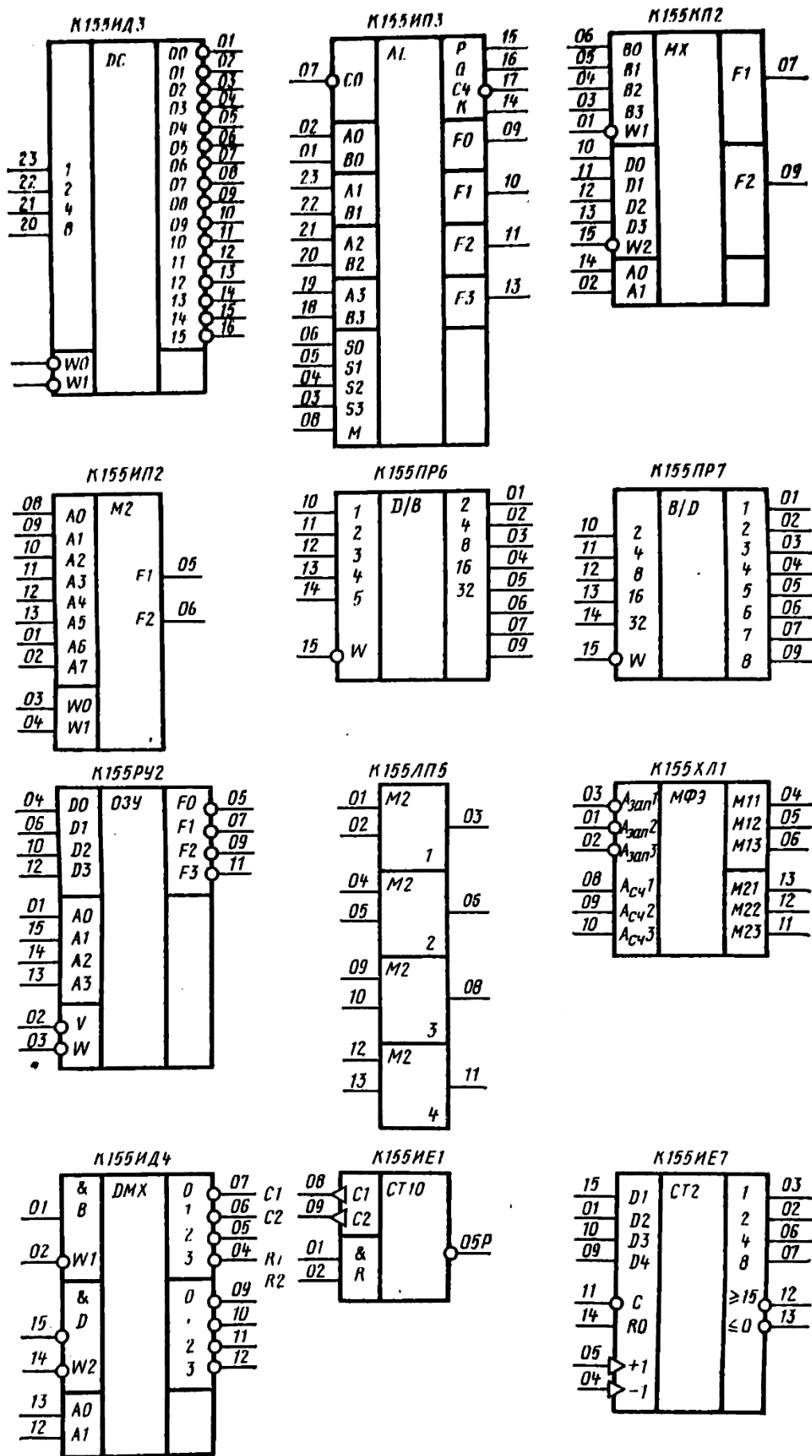


Рис. 6. ИС повышенной степени интеграции

Таблица функций, выполняемых АЛУ 1

Таблица 1

Код Функции	Положительная логика		Отрицательная логика	
	М-1 (логические функции)	М-0 (арифметические функции)	М-1 (логические функции)	М-0 (арифметические функции)
0000	$\bar{a}_i$	$A + p_0$	$\bar{a}_i$	$A + p_0$
0001	$\overline{a_i \vee b_i}$	$(A \vee B) + p_0$	$\overline{a_i b_i}$	$AB + p_0$
0010	$\bar{a}_i b_i$	$(A \vee \bar{B}) + p_0$	$\bar{a}_i \vee b_i$	$A\bar{B} + p_0$
0011	Логический нуль	Логическая единица + p_0	Логический нуль	Логическая единица + p_0
0100	$\overline{a_i b_i}$	$A + A\bar{B} + p_0$	$\overline{a_i \vee b_i}$	$A + (A \vee \bar{B}) + 1 + p_0$
0101	$\bar{b}_i$	$(A \vee B) + A\bar{B} + p_0$	$\bar{b}_i$	$AB + (A \vee \bar{B}) + 1 + p_0$
0110	$a_i \oplus b_i$	$A - B - 1 + p_0$	$\overline{a_i \oplus b_i}$	$A - B + p_0$
0111	$a_i \bar{b}_i$	$A\bar{B} - 1 + p_0$	$a_i \vee \bar{b}_i$	$A \vee \bar{B} + 1 + p_0$
1000	$\bar{a}_i \vee b_i$	$A + AB + p_0$	$\bar{a}_i b_i$	$A + (A \vee B) + 1 + p_0$
1001	$\overline{a_i \oplus b_i}$	$A + B + p_0$	$a_i \oplus b_i$	$A + B + 1 - p_0$
1010	b_i	$(A \vee \bar{B}) + AB + p_0$	b_i	$A\bar{B} + (A \vee B) + 1 + p_0$
1011	$a_i b_i$	$AB - 1 + p_0$	$a_i \vee b_i$	$A \vee B + 1 + p_0$
1100	Логическая единица	$A + A^* + p_0$	Логическая единица	$A + A^* + 1 + p_0$
1101	$a_i \vee \bar{b}_i$	$(A \vee B) + A + p_0$	$a_i \bar{b}_i$	$AB + A + 1 + p_0$
1110	$a_i \vee b_i$	$(A \vee \bar{B}) + A + p_0$	$a_i b_i$	$A\bar{B} + A + 1 + p_0$
1111	a_i	$A - 1 + p_0$	a_i	$A + 1 + p_0$
Примечание. $A = a_0 a_1 a_2 a_3$ $B = b_0 b_1 b_2 b_3^*$ — сдвиг на один разряд влево. При положительной логике: $p_0 = 0$, если $\bar{C}0 = 1$ и $p_0 = 1$, если $\bar{C}0 = 1$. При отрицательной логике: $p_0 = -1$, если $C0 = 0$, и $p_0 = 0$, если $C0 = 1$.				

переноса, С4 — выход сигнала переноса, К — выход сигнала результата сравнения ($A = B$). Эта ИС применяется при построении регистров-счетчиков в арифметико-логическом блоке (БАЛ) процессора, осуществляющего счет по $--2$ и на $--4$ (последние четыре разряда регистра адреса процессора и адресной части регистра слова состояния программы), в схемах модификации адреса в каналах ввода-вывода.

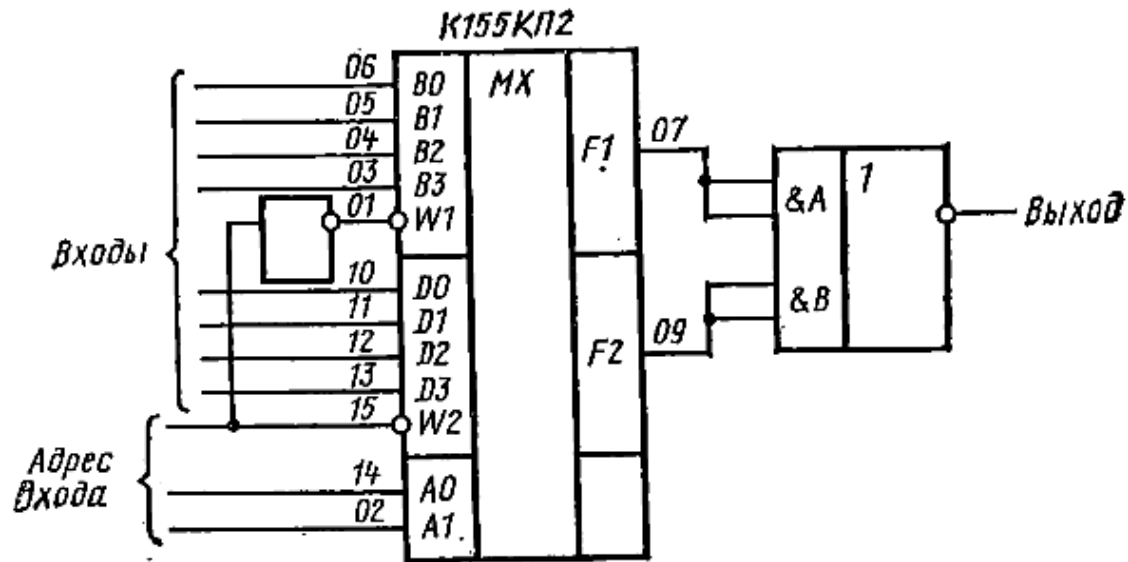


Рис. 7. Селектор-мультиплексор 8-1

К155КП2 — сдвоенный цифровой селектор-мультиплексор 4-1, работающий в соответствии с табл. 2.

Таблица 2

Адресные входы		Информационные входы				Управляющие входы	Выходы
A0	A1	B0 (D0)	B1 (D1)	B2 (D2)	B3 (D3)	W1 (W2)	F1 (F2)
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1
Примечание: X — безразличное состояние.							

В машине эта ИС применяется как сдвоенный коммутатор сигналов четырех направлений на одно, а также (рис. 7) как коммутатор восьми направлений на одно.

К155ИП2 — 8-разрядная схема контроля четности и нечетности, работающая в соответствии с табл. 3.

Таблица работы ИС К155РУ2

Таблица работы ИС К155ИП2

Таблица 3

Входы			Выходы	
08, 09, 10, 11, 12, 13, 01, 02	03	04	05	06
Сумма единиц четная	1 0	0 1	1 0	0 1
Сумма единиц нечетная	1 0	0 1	0 1	1 0
Сумма единиц любая	1 0	1 0	0 1	0 1

Разре шени	Разре шени	Опер ация	Состояние F0- F3
0	0	Запись	Инверсный код числа, поданного на входы D0-D3
0	1	Чтение	Инверсный код выбранного числа
1	0	Запрет	Инверсный код числа, поданного на входы D0-D3
1	1	-	Высокий потенциал

Таблица 4

В машине эта ИС применяется в схемах формирования значения контрольного разряда для байта информации.

К155ПР6 — преобразователь — двоично-десятичного — кода в двоичный. Интегральная схема имеет выходы с открытым коллектором. Она допускает каскадирование и применяется в блоке конвертирования.

К155ПР7 -- преобразователь двоичного кода в двоично-десятичный. Эта ИС также имеет выходы с открытым коллектором и допускает каскадирование. Она применяется в блоке конвертирования.

К155РУ2 — ОЗУ на 64 бита с произвольной выборкой (16 X 4). D0 — D3 — информационные входы, F0 — F3 — информационные выходы. Код адреса записи (или чтения) поступает на адресные входы A0 — A3, V — вход разрешения чтения, W — вход разрешения записи. ИС работает в соответствии с табл. 4.

В машине ИС этого типа применяются для построения регистровой памяти: регистров общего назначения и памяти ключей защиты — в ЦП, памяти мультиплексного канала — в каналах ввода-вывода.

К155ЛП5 — четыре 2-входовых логических элемента «исключающее ИЛИ». Эта ИС применяется для формирования значения контрольного разряда тетрады информации, а также для поразрядного сравнения.

К155ИД4 — вдвоенный дешифратор-мультиплексор 2-4, работающий в соответствии с табл. 5.

Эта ИС применяется как вдвоенный дешифратор (рис. 8), работающий от общих адресных входов A0 и A1 с отдельным

стробированием или как два коммутатора сигналов со входа (входы В и О) на четыре направления. Номер выхода, на который коммутируется входной сигнал, определяется кодом на адресных входах. Каждый коммутатор строится отдельно. ИС работает как дешифратор 3-8 или коммутатор 1-8.

К155ИЕ1 — декадный счетчик (см. рис. 6) с фазоимпульсным представлением информации. Используется как делитель частоты с коэффициентом деления 10. Если на вход С1 (С2) подавать последовательность импульсов частотой f , то на выходе вырабатывается последовательность импульсов с частотой $f/10$. Входы R1 и R2 — входы сброса. Применяется в задающем генераторе блока синхронизации машины.

Таблица 5

Адресные входы	Информационные входы	Управляющие входы	Выходы
A0 A1	B D	W1 W2	0 1 2 3
X X	X X	1 1	1 1 1 1
0 0	1 0	0 0	0 1 1 1
0 1	1 0	0 0	1 0 1 1
1 0	1 0	0 0	1 1 0 1
1 1	1 0	0 0	1 1 1 0
X X	0 1	X X	1 1 1 1
Примечание: X — безразличное состояние.			

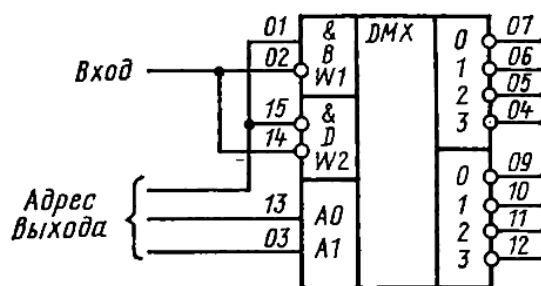


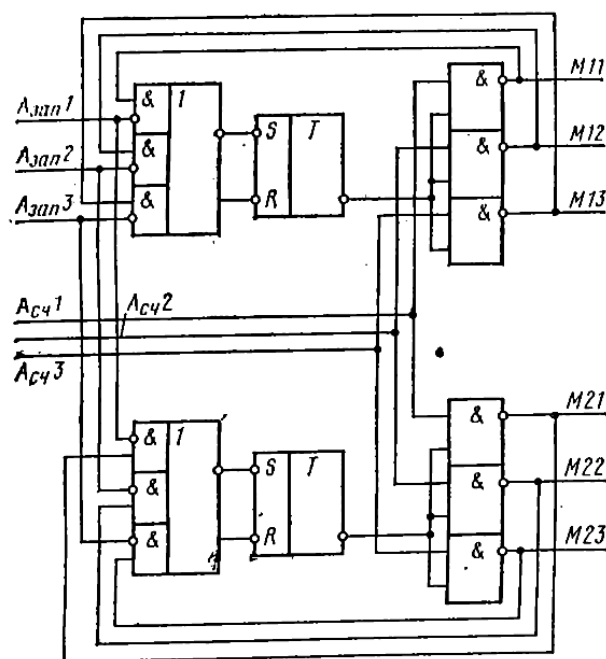
Рис. 8 Дешифратор 3-8,
демультиплексор 1-8

К155ИЕ7 — 4-разрядный двоичный реверсивный счетчик; R0 — вход сигнала сброса; С — вход записи константы, подаваемой на входы 01 — 04. Входы +1 и —1. служат для соответствующей модификации содержимого счетчика. Выходы 1—4 — выходы содержимого' счетчика, ≥ 15 — выход переноса, ≤ 0 — выход заема. Два последних выхода могут служить для расширения разрядности счетчика. ИС К155ИЕ7 применяется для построения адресных регистров, регистров общего назначения и регистров операционных, а также в блоках диагностики ЦИ и каналов ввода-вывода.

К155ХЛ1 — многофункциональный элемент, содержащий два триггера (рис. 9), объединенных общими цепями управления записью и считыванием информации. Сигналы на входах $A_{\text{зап1}}$, $A_{\text{зап2}}$, $A_{\text{зап3}}$ и $A_{\text{сч1}}$, $A_{\text{сч2}}$, $A_{\text{сч3}}$ определяют соответственно адрес входа-выхода (M11, M12, M13 и M21, M22, M23), с которого производится запись информации в триггер или на который происходит считывание информации из триггера. Например, при подаче сигнала низкого уровня на вход $A_{\text{зап1}}$ происходит запись информации с входа-выхода M11 и M21 в оба триггера. При подаче сигнала

высокого уровня по вход Ас.2 происходит считывание информации из обоих триггеров по входы-выходы М12 и М22.

В ЕС-1033 эта ИС применяется как ячейка магистральной структуры для построения узлов и блоков, соединенных друг с другом через информационные или внутренние магистрали. Одна ИС К155ХЛ1 реализует два разряда регистра. Возможно производить запись в оба разряда с двух или трех направлений одновременно с осуществлением логической функции ИЛИ. Например, при подаче на входы А_{зап}1 и А_{зап}2 сигналов записи



при наличии на входах-выходах М11 и М12 единичной и нулевой информации соответственно в первый разряд будет записана единичная информация. Возможно также считывание информации на два или три направления одновременно.

Входы-выходы ИС К155ХЛ1 в режиме считывания имеют открыто-коллекторные вентили, поэтому для целей реализации магистральной структуры соответствующие входы-выходы могут объединяться проводным монтажом. При таком объединении в режиме — одновременного считывания более чем из одного регистра реализуется логическая функция И.

Рис. 9 Функциональная схема ИС К155ХЛ1

Для реализации магистральной структуры входы-выходы ИС К155ХЛ1 могут быть объединены также с выходами других ИС этой серии, имеющих выходы с открытым коллектором.

При разработке большинства ИС повышенной степени интеграции в составе серии К155 был учтен накопленный отечественной и зарубежной промышленностью опыт создания и применения аналогичных по функциональному содержанию схем для других систем элементов. Например, ряд перечисленных ИС имеют аналоги в составе комплекта схем серии SN74 фирмы «Texas Instruments», США [2]. Возможности разработанного комплекта существенно расширили включение в его состав оригинальных схем. Среди них особое место занимает ИС К155ХЛ1, которая оказалась эффективной при реализации магистральных структур технических средств. Использование этих ИС в модели ЕС-1033, кроме

уменьшения объема аппаратуры позволило повысить быстродействие машины за счет сокращения длин связей и, следовательно, уменьшения задержек как в цепях распространения сигналов, так и на самих ИС.

Кроме схем с открытым коллекторным выходом сокращению аппаратных затрат способствовало применение соединений выходов ИС на основе использования так называемого состояния ИС.

Выходы ИС серии К131, которые не имеют открытых коллекторов, при обычном включении ИС проводным монтажом объединены быть не могут. Рассмотрим базовую схему ТТЛ (рис. 10) и объединение выходов таких ИС (рис. 11). Если все ИС находятся в состоянии логической единицы, то такое объединение, вообще говоря, возможно: все $R_{VT5\text{ ВН}} \gg 1$, режим работы выходных транзисторов не изменяется и на объединенном выходе состояние логической единицы сохраняется. Если же одна из ИС (допустим, первая) переключится в состояние логического нуля, то $R_{VT5\text{ ВН}} \gg 1$, $R_{VT5\text{ ВН}} \ll 1$. Резистор R_6 имеет величину порядка 40 Ом, внутреннее сопротивление открытого транзистора $R_{ВН} \approx 10$ Ом. Даже в

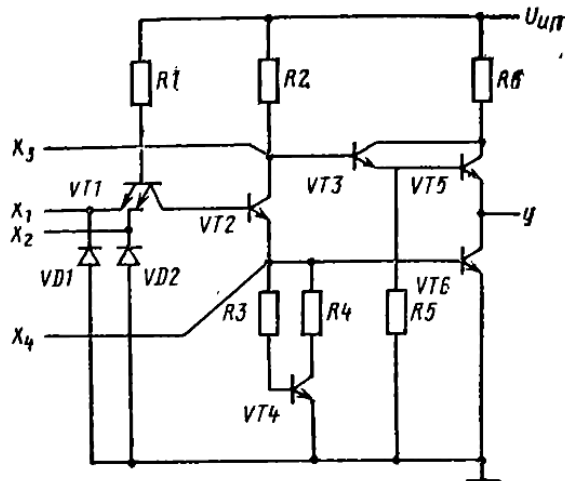
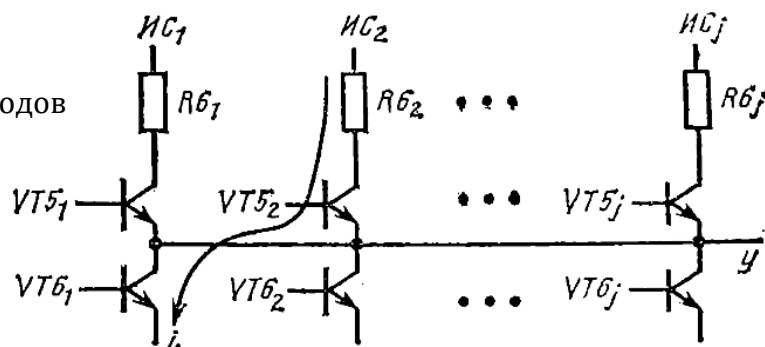


Рис. 10. Базовая схема

Рис. 11. Объединение выходов



случае объединения двух ИС (допустим 1 и 2) в цепи R_{62} , — $R_{VT5\text{ ВН}}$ — возникнет недопустимый ток, примерно равный 0,08 А.

В рассматриваемых микросхемах предельный ток открытого транзистора должен быть не более 0,02 А. Следовательно, в данном случае объединение выходов схем невозможно.

Чтобы иметь возможность объединить выходы ИС для организации чтения на магистраль, в ЭВМ ЕС-1033 используется «третье состояние» ИС. Если на входы X_3 и X_4 ИС (см. рис. 10) через диоды подать уровень логического нуля ($\sim 0,4$ В), то на базах обоих выходных транзисторов VT_5 и VT_6 будет низкий потенциал

и оба транзистора закроются. На выходе ИС не будет ни логического нуля, ни логической единицы, поскольку выход будет изолирован от обоих полюсов источника высоким ($\sim 10^6$ Ом) сопротивлением закрытых транзисторов. Интегральная схема будет находиться в третьем состоянии, которое входами других микросхем воспринимается как логическая единица.

Выходы ИС, находящихся в третьем состоянии, могут быть объединены проводным монтажом — магистралью. Для считывания состояния какой-либо ИС на магистраль эта ИС сигналом чтения выводится из третьего состояния и вся магистраль переходит в состояние логического нуля или единицы в зависимости от сигналов на входе ИС.

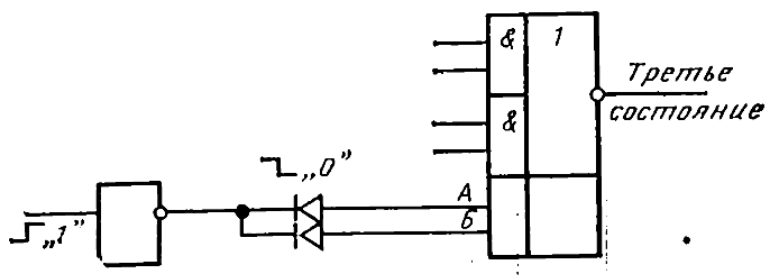


Рис. 12. Включение третьего состояния ИС

Практически третье состояние может быть реализовано только для ИС, допускающих расширение по ИЛИ (рис. 12), и применяется в основном на внутренних магистралях функциональных узлов и блоков процессора и каналов ввода-вывода, а также на магистрали анализов.

1.6. СИСТЕМА СИНХРОНИЗАЦИИ

В ЕС-1033 используется синхронный принцип работы, при котором информация и управляющие сигналы имеют строго определенное размещение во времени. Для организации синхронной работы формируется ряд синхросигналов, следующих с единой тактовой частотой генератора, равной 2,5 МГц.

Генератор формирует пять основных синхросерий: C1, C2, C1', C2' и СБРМ — сброс магистралей (рис. 13). Синхросерии C1 и C2, а также C1' и C2' сдвинуты относительно друг друга наполовину такта. В машине принято, что любое чтение информации на информационные магистрали производится по синхросерии C1, а все записи с магистралей — в конце такта по синхросерии C2. Промежуток между C1 и C2 отведен для работы комбинационных обрабатывающих схем. Обмен между теми регистрами, которые имеют прямые немагистральные связи, а также выполнение других микроприказов может происходить либо по синхросерии C1, либо C2. Синхросерии C1' и C2' используются для обеспечения контроля информации при записи и чтении.

Для работы комбинационных схем, а также для разделения во времени процессов чтения информации на магистраль и записи с нее магистраль имеет элементы памяти. Информация, считанная

на магистраль по серии С1, хранится на магистрали до конца импульса серии С2. В конце такта, после окончания импульса серии С2, магистраль сбрасывается в исходное состояние по импульсу синхросерии СБРМ. Обычно сброс магистрали происходит каждый такт, однако имеется возможность заблокировать сброс магистралей на необходимое число тактов.

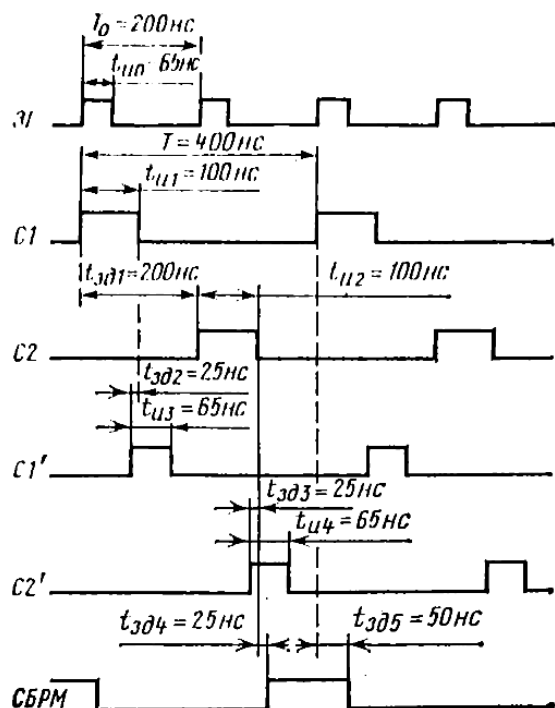


Рис. 14. Временная диаграмма следования основных синхросерий

Генератор синхросерий (рис. 14) состоит из задающего генератора ЗГ, коммутатора КМ, элементов задержки и формирователей Ф синхросерий. Задающий генератор вырабатывает последовательность

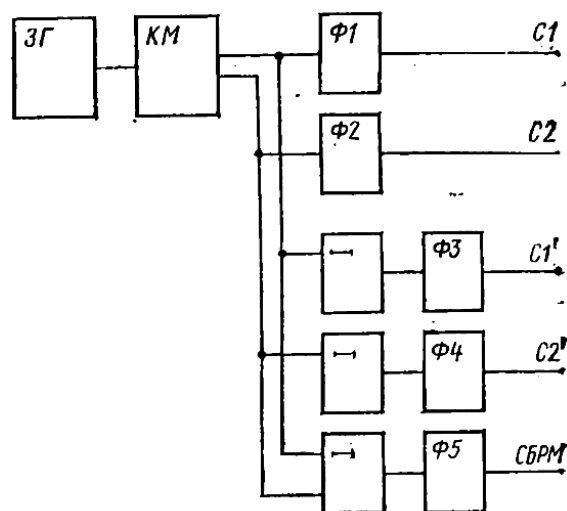


Рис. 13. Функциональная схема генератора

импульсов ЗГ (см. рис. 13) с периодом 200 нс и длительностью примерно 65 нс. Каждый из импульсов поочередно коммутируется на два направления, образуя две последовательности импульсов, каждая из которых следует с периодом 400 нс. Обе последовательности сдвинуты относительно друг друга на полпериода и используются для формирования основных синхросерий с помощью формирователей и элементов задержки.

Блок синхронизации (рис. 15), содержащий генератор Г синхросерий и усилитель мощности УМЩ, расположен в раме С (п. 1.8) стойки ЕС-2433. С выхода УМЩ основные синхросерии по кабелям равной электрической длины поступают к центральным усилителям рам А и В, откуда они разводятся по периферийным усилителям и далее к потребителям. Для потребителей рамы С УМЩ вырабатывает задержанные синхросерии С13, С23, С1'3, С2'3 и СБРМ3 с задержкой, равной задержке в названных выше кабелях. Нагрузочная способность задержанного выхода УМЩ достаточна для всех потребителей и периферийных усилителей рамы С.

В каналы ввода-вывода, расположенные в рамах, А и С, поступают только синхросерии С1 и С2 (С13 и С23). В процессор, размещенный в раме В, и блок диагностики, расположенный в раме С, поступают все пять основных синхросерий. В раме

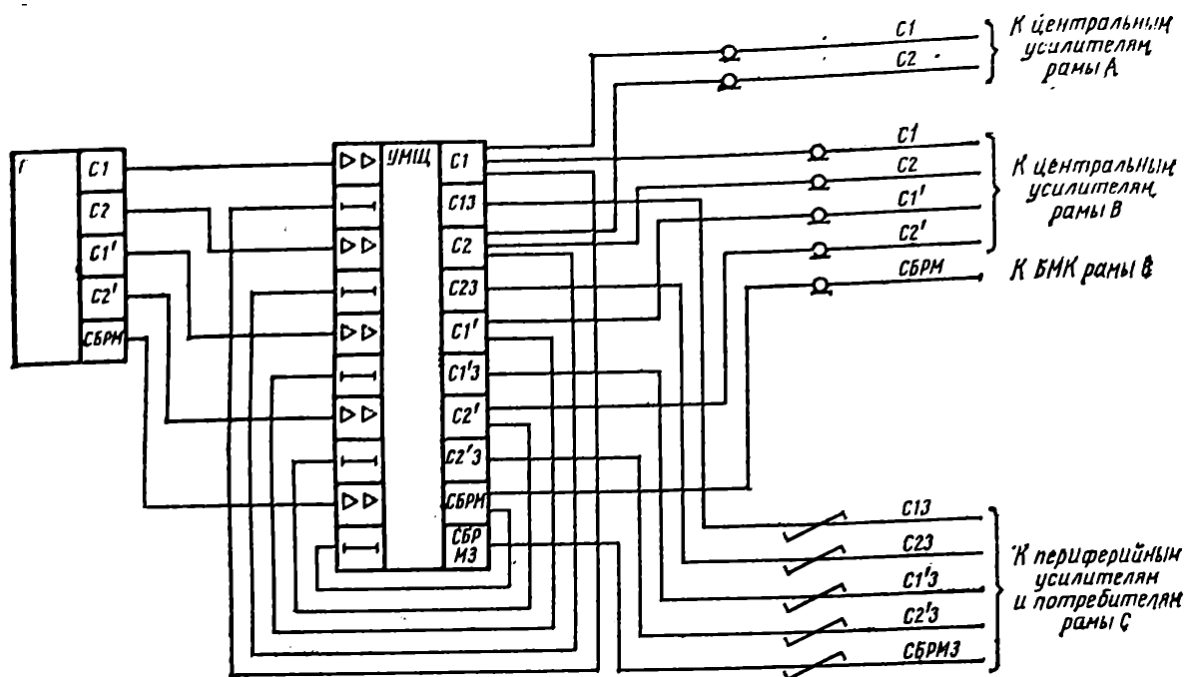


Рис. 15. Функциональная схема блока синхронизации

В синхросерия СБРМ поступает непосредственно в блок магистрального коммутатора БМК.

В дальнейшем изложении материала для упрощения на временных диаграммах будем полагать, что время задержек $t_{зд2}$, $t_{зд3}$, $t_{зд4}$, $t_{зд5}$ равно нулю (см. рис. 13).

1.7. ПОСТОЯННАЯ ПАМЯТЬ МИКРОПРОГРАММ

В ЭВМ ЕС-1033 для хранения микропрограмм ШП, каналов ввода-вывода и блока диагностики ЦП используются самостоятельные постоянные запоминающие устройства (ПЗУ). Каждое из этих ПЗУ состоит из унифицированных блоков односторонней памяти — БОП 2048-33. ПЗУ ЦП состоит из четырех блоков — БОП0, БОП1, БОП3 и БОП3; ПЗУ каналов ввода-вывода состоит из двух блоков — БОП4 и БОП5; ПЗУ блока диагностики ЦП — из одного блока БОП6 (рис. 16). Это соответствует формату микрокоманды, который для ЦП составляет 128 информационных разрядов, в каналах ввода-вывода — 64 и в блоке диагностики ЦП — 32 разряда.

БОП 2048-33 представляет собой постоянное запоминающее устройство трансформаторного типа с произвольной выборкой. Емкость памяти 2048 слов 33-разрядного формата (один разряд контрольный), период обращения не менее 370 нс, время выборки не более 150 нс. Напряжение питания устройства +27 и +5 В, потребляемый ток равен соответственно 0,5 и 2 А.

Для хранения информации используются П-образные ферритовые сердечники типа М1500 с непрямоугольной петлей гистерезиса. Запоминающая часть ПЗУ построена по принципу «сердечник — разряд», т. е. в одном сердечнике хранится один разряд всех слов, количество сердечников равно количеству разрядов, а информация записывается адресными проводами. Если адресный провод проходит через сердечник, то в данном разряде запоминаемого по этому адресу числа содержится единица, если огибает, то — ноль.

Конструктивно БОП 2048-33 имеет четыре линейки Л0 — Л3 разрядных сердечников 1 (рис. 17). Все 2048 адресных проводов разделены на 64 жгутов по 32 провода в каждом. В одну линейку,

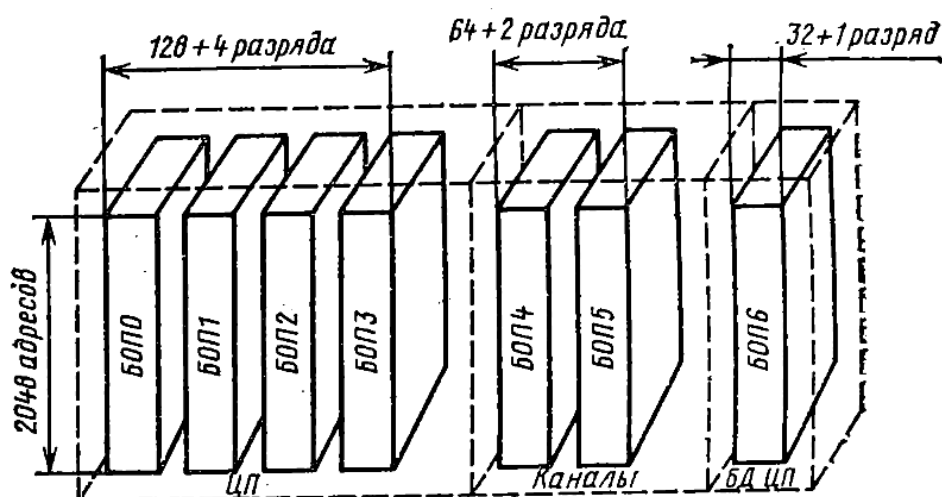


Рис. 16. Память микропрограмм

содержащую 33 разрядных сердечника, укладывается 16 жгутов. Обмотки считывания 3 всех сердечников одноименных разрядов подключены к усилителям У0 — У32. Каждый из адресных проводов включен между источником напряжения -27 В и общей шиной через верхний ключ (ВК), развязывающий диод УЛ и нижний ключ (НК). Каждый из верхних ключей ВК0 — ВК32 подключен к 32 адресным проводам одноименных разрядов всех жгутов. Каждый из нижних ключей НК0 — НК63 подключен ко всем проводам одного из 64 жгутов. Диоды VD0 — VD2047 включены в каждый адресный провод. Таким образом, нижние ключи определяют жгут, а верхние — адресный провод в жгуте. Пара верхних и нижних ключей определяет один из 2048 адресных проводов.

Код адреса поступает по адресным шинам в дешифраторы нижних (ДШ НК) и дешифраторы верхних (ДШ ВК) ключей. Дешифраторы стробируются сигналом чтения блока односторонней памяти ЧТ БОП (рис. 18), и сигналы с соответствующих выходов дешифраторов открывают пару ВК и НК. При этом по выбранному адресному проводу протекает импульс тока, наводящий ЭДС в обмотках считывания тех разрядов, где содержится единица. Считанная информация заносится в регистр информации (РИ) по сигналу СТР РИ. Информация в РИ хранится в течение машинного такта до следующего сигнала СТР РИ².

² Сорокин Г. П. и др.

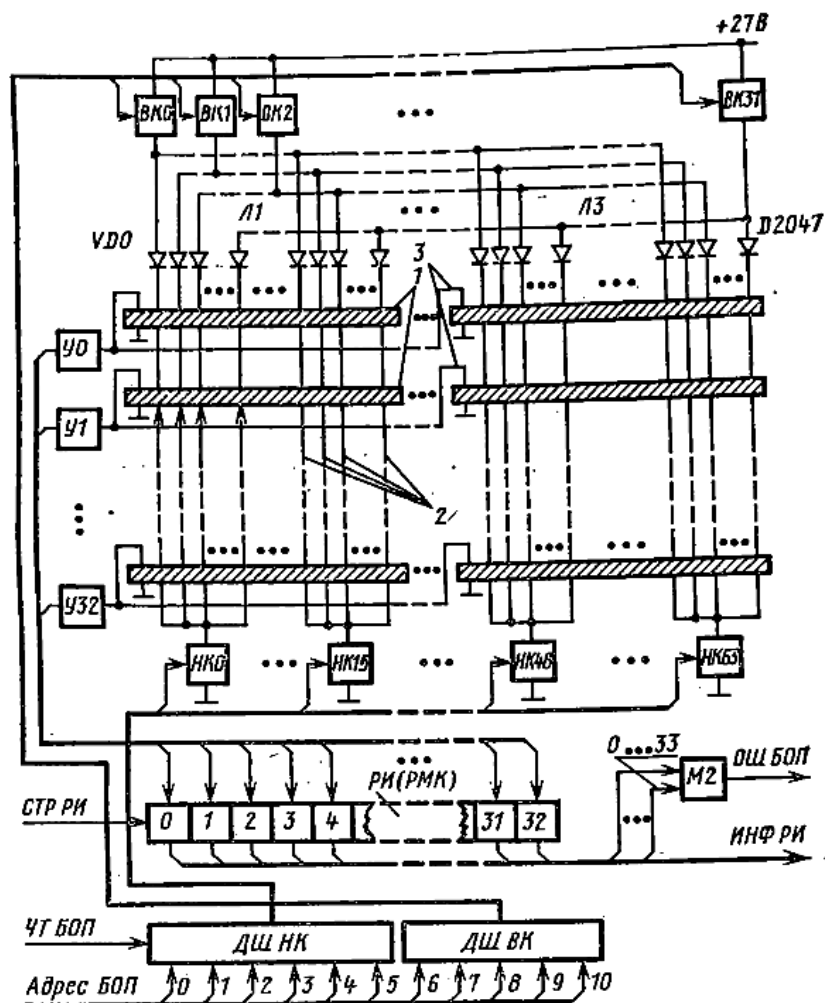


Рис. 17. Структурная схема БОП 2048-33:

1 — сердечники; 2 — обмотки считывания; 3 — адресные провода одного жгута

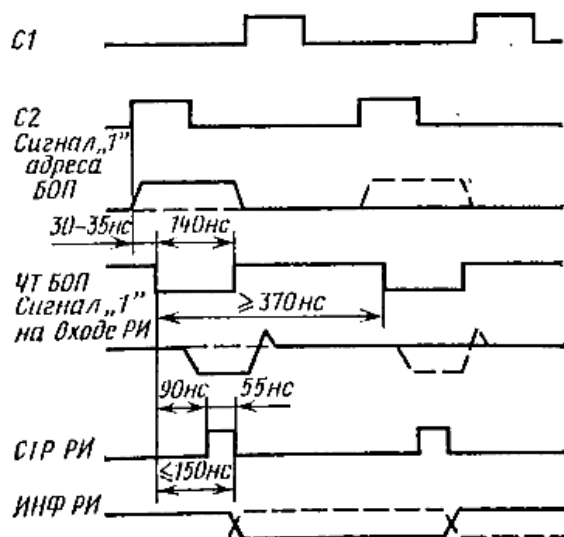


Рис. 18. Временная диаграмма работы БОП

Контроль правильности считанной информации осуществляется по mod2 дополнением до нечетности. Если сумма единиц информации будет четной, вырабатывается сигнал шибки ОШ БОП.

Во время выполнения текущей микрокоманды формируется адрес следующей (адресе БОЙ). Его формирование, с учетом работы схем анализа, должно закончиться до конца текущего такта к началу синхроимпульса С1 следующего такта (рис. 18). Сигнал СТР РИ подается в конце сигнала ЧТ примерно за 25—30 нс до начала С1. Информация в РИ меняется перед началом С1. Таким образом, к импульсу С1 следующего такта коды микроприказов, выполняемых по С1, уже поступают на соответствующие схемы.

БОП 2048-33 является конструктивно законченным устройством. РИ блоков БОПО, БОГИ, БОП2 и БОП3 являются регистрами микрокоманд (РМКО, РМК1, РМК2 и РМК3) процессора РИ БОП4 и БОШ5 — регистрами микрокоманд (РМК4 и РМК5) каналов ввода-вывода, а РИ БОП6 является регистром микрокоманд (РМК6) блока диагностики процессора.

1.8. КОНСТРУКЦИЯ МАШИНЫ И СИСТЕМА ЭЛЕКТРОПИТАНИЯ

ЭВМ ЕС-1033 выполнена на основе унифицированной конструктивной базы ЕС ЭВМ (рис. 19). В машине можно выделить пять уровней конструктивных модулей:

1 — интегральные схемы ИС, выполняющие универсальные логические функции И-НЕ, ИЛИ-НЕ и их сочетания, или интегральные схемы повышенной степени интеграции, реализующие какой-либо электронный узел — счетчик, дешифратор и т. д. или его часть;

2 — типовые элементы замены (ТЭЗ), содержащие ИС и реализующие отдельные функциональные узлы или их части;

3 — панели, состоящие из 40 ТЭЗ каждая. В панели реализованы один или несколько функциональных узлов устройства. Например, панель 1/Е — 1Н рамы В ЭВМ ЕС-1033 включает часть блока магистрального коммутатора, часть арифметико-логического устройства, счетчики и т. д.;

4 — рамы, имеющие несколько панелей. Каждая рама реализует одно или несколько функциональных устройств. Например, рама Д содержит общий, мультиплексный и два селекторных канала, рама В — центральный процессор ЕС-1033, рама С — блок диагностики и один селекторный канал;

5 — стойки (шкафы), содержащие какие-либо отдельные устройства, например, стойка питания ЕС-1033/С000, стойка процессора и каналов ЕС-2433.

Типовой элемент замены — модуль второго уровня. Он представляет собой двустороннюю печатную плату с размерами 140 x 150 x 1,5 мм, на которой обычно устанавливают 24 ИС. Плата ТЭЗ имеет печатный разъем с 52 контактами. Цепи питания

ИС напряжением Б В разводятся навесными металлическими шипами, установлениями па плате. На шинах питания для Уменьшения помех монтируются высокочастотные конденсаторы. Электрические соединения между контактами разъема и ИС внутри ТЭЗ осуществляются с помощью печатных проводников. На плате ТЭЗ устанавливаются также резисторы, диоды, транзисторы И другие дискретные элементы.

Конструктивный адрес ТЭЗ содержит номер рамы, полупанели и свой порядковый номер в последней. Например, В-1А04 — рама В (ЦП), полупанель 2А, порядковый номер ТЭЗ 04.

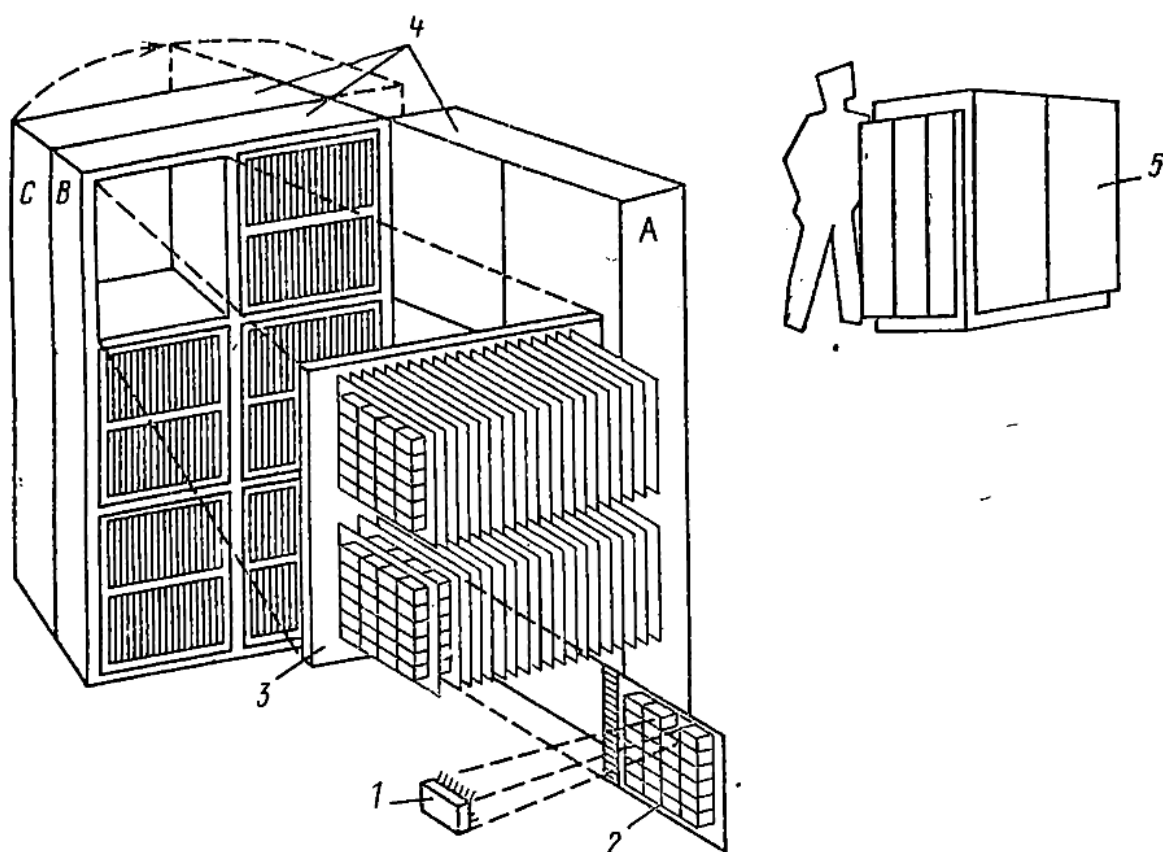


Рис. 19. Типовая конструкция стойки ЭВМ

Конструктивный модуль третьего уровня — панель состоит обычно из двух полупанелей, по 20 ТЭЗ в каждой. Применяются также комбинированные панели, содержащие наряду с ТЭЗ другие конструктивно законченные узлы. Например, панель 5С — ЭД рамы С содержит ТЭЗ блока диагностики, а также блок односторонней памяти БОП6. Панели внутри рамы имеют следующие обозначения: 1А — 1В, 1С — 1Д, 1Е — 1Н, 5А — 5В, 5С — 5Д, 5Е — 5Н и т. п.

Модуль четвертого уровня — типовая рама — представляет собой цельносварную конструкцию из спецпрофиля и предназначена для установки модулей третьего уровня (панелей). Максимальное количество панелей в раме — шесть. Для соединения одной рамы с другими используются разъемы типа «набор» и кабели.

Питание панелей осуществляется по шинам, установленным на боковых поверхностях рам. Рядом в шинами смонтированы

фильтры питания. В нижней части каждой рамы установлены Два вентилятора. Прогон воздуха осуществляется снизу вверх.

Модуль пятого уровня — стойка. Ее конструктивной основой является металлический каркас сварного типа, на которой с торцов навешиваются щиты, а с передней и задней сторон — открывающиеся двери. На верху каркаса имеется вентиляционная решетка для выхода охлаждающего воздуха. В типовой стойке установлены три рамы — две подвижные А и С и одна неподвижная рама В в середине. На торцевой стороне стойки процессора расположен пульт управления, выполненный в виде навешиваемой приставки. Пульт имеет поворотную панель с расположенными на ней органами управления и индикации.

Система электропитания машины подает к устройствам ЭВМ напряжение постоянного и переменного тока, обеспечивает местное и дистанционное включение и отключение электропитания центрального процессора, каналов ввода-вывода, оперативной памяти и внешних устройств, формирует сигналы защиты информации в оперативной памяти при аварии питания и сигналы аварии в других цепях электропитания, обеспечивает дистанционное управление режимом профилактического контроля по питанию центрального процессора и каналов ввода-вывода, а также контролирует напряжение в каждой фазе первичной цепи.

Напряжение первичной цепи 380/220 В -- 10—15 % с частотой 50 = 1 Гц подается на одно или несколько распределительных устройств — щиты питания. От последних энергия подается к блоку управления системой электропитания, блокам управления питанием, блокам включения внешних устройств, которые обеспечивают подачу с определенной последовательностью переменного напряжения к унифицированным вторичным источникам питания и обеспечивают соответствующую блокировку и защиту узлов, вторичных источников питания и устройств ЭВМ, а также сигнализируют об их рабочем состоянии. Управление системой электропитания устройств и ЭВМ в целом дистанционное, с помощью специального блока. Устройства электропитания конструктивно выполнены по модульному принципу, с размерами, кратными типовой полу панели. Каждый блок управления питанием с несколькими вторичными источниками обеспечивает электропитание одного или нескольких функциональных блоков или устройств ЭВМ.

1.9. ОПЕРАТИВНАЯ ПАМЯТЬ

В качестве оперативной памяти в состав ЭВМ ЕС-1033 могут входить устройства ЕС-3203, ЕС-3207, ЕС-3208, ЕС-3263, ЕС-3263.01.

Устройство ЕС-3203 имеет емкость 64К слов (256К байт), длину слова — 36 разрядов (32 информационных и 4 контрольных),

цикл обращения — не более 1.Б мкс, время выборки информации — не более 0,8 мкс. Оно состоит из оперативных запоминающих устройств ОШ, ОП и устройства их питания. Запоминающие устройства ОПГ и ОПЗ размещены в стойке ЕС-3203/С001, устройство питания — в стойке ЕС.3208/С002. Каждое из запоминающих устройств, идентичных по составу, техническим данным и принципу действия, является автономным и СОСТОИТ из магнитного запоминающего блока (БЗМ) и электронных схем управления.

БЗМ содержит адресные и разрядные диодно-магнитные дешифраторы, а также магнитные матрицы на кольцевых ферритовых сердечниках. Он выполнен по структуре 2,52 с трехпроводной прошивкой. Для выбора элементов памяти используется совпадение импульсов тока в адресных и разрядных шинах. Информационная емкость одного БЗМ составляет 32К слов (128К байт). Магнитные блоки БЗМ1 и БЗМ2 устройства ЕС-3208 выполнены в виде конструктивно законченных устройств и электрически связаны с электронными схемами управления ОП через разъемные соединения.

Для устройства ЕС-3203 в модели ЕС-1033 предусмотрены следующие режимы работы запоминающих устройств ОП1 и ОП2:

- запись информации в магнитный блок полными словами или байтами (режим «Запись»);

- считывание информации из магнитного блока полными словами и выдача ее в процессор (режим «Чтение»);

- прерывание режима записи и переход в режим считывания по сигналу от процессора (режим «Блокировка записи»);

- считывание информации с последующей записью единиц В 34: данный байт (режим «Проверить и установить»);

- диагностические режимы работы «Запись РА в РИ», «Запись по фиксированному адресу», «Наложение информации», «Установка контрольного кода»;

- сохранение информации в устройстве при аварийном отключении питания.

В режиме «Чтение» в устройство ЕС-3203 из процессора поступает код адреса для выборки информации из БЗМ, сигналы разрешения приема адреса в оперативную память (ПРМА) и выдачи из нее информации (ВЫД ИНФ).

В режиме «Запись» в память поступают код адреса, записываемая информация, сигналы ПРМА и ЗП, а также признаки байт. Запись информации в ОП происходит только на место тех байт, признаки которых поступают из процессора. Для остальных байт осуществляются чтение и регенерация информации.

В режиме «Запись РА в РИ» из процессора поступают сигналы передачи содержимого регистра адреса в регистр информации — РА в РИ и выдачи информации — ВЫД ИНФ. При этом код РА, сохранившийся от предыдущего цикла, передается в РИ. По сигналу ВЫД ИНФ код из РИ передается в процессор.

В режиме «Наложение информации» происходит наложение двух кодов: кода, оставшегося в РИ от предыдущего цикла работы, и кода, поступающего в РИ одновременно с сигналом НЛЖ ИНФ из процессора. Полученный таким образом код записывается в БЗМ.

В режиме «Установка контрольного кода» информация из процессора принимается в РИ. Эта информация в общем случае может быть некорректной, т. е. значения контрольных разрядов байт информации могут не соответствовать принятому дополнению. По сигналу УСТ КК из процессора восстанавливается корректность информации, и она записывается в БЗМ.

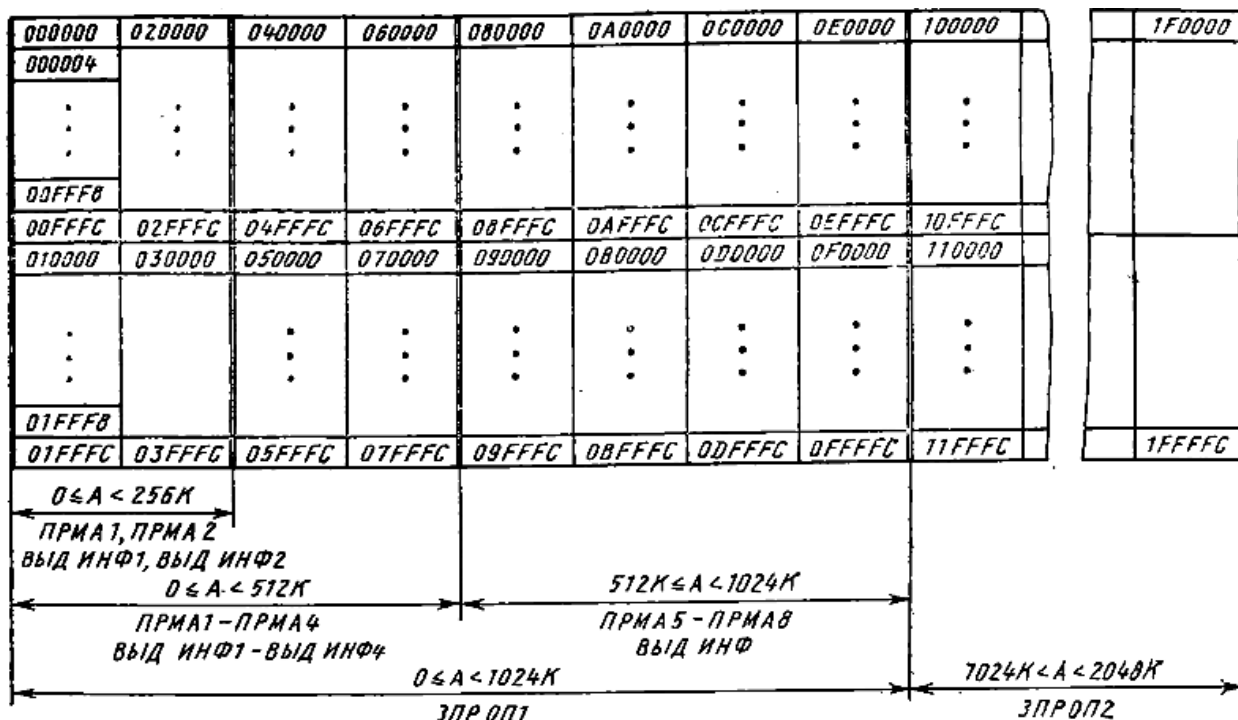


Рис. 20. Структура оперативной памяти и сигналы ее активизации

В ОП1 (ОП2) предусмотрена возможность записи и чтения информации по четырем фиксированным адресам 80, 84, 88, 8C (код шестнадцатеричный). Запись и чтение по любому фиксированному адресу производятся по входному сигналу 1ФЯ — 4ФЯ независимо от кода РА. При обращении по этим адресам через РА указанные ячейки используются как обыкновенные. В ЭВМ ЕС-1033 используются только ячейки 1ФЯ и 2ФЯ.

При емкости ОП1 (ОП2) 128К байт максимальный адрес обращения равен 01ЕЕРЕС (рис. 20). Два последних разряда кода адреса нулевые, поскольку обращения в БЗМ происходят по словам. Поэтому два младших и семь старших разрядов кода адреса отбрасываются и из процессора в устройство ЕС-3203 поступают оставшиеся пятнадцать разрядов, с седьмого по двадцать второй, по значению которых происходит считывание (запись) информации из БЗМ. Код адреса поступает одновременно в ОП1 и ОП2. По значению старшего, 6-го разряда процессор формирует сигналы

ПРМА1, ПРМА2 и ВЫД ИНФ1, ВЫД ИНФэ2. Соответствующая пара сигналов используется для активизации ОП1 или ОП2.

ЭВМ ЁС-1033 может работать в двух устройствах ЕС-3203 общим объемом 512К байт, которые рассматриваются как оперативная память машины, Такая память содержит четыре устройства ОП1 — ОП4. При этом код адреса поступает одновременно на все устройства, а активизация одного из них при считывании (записи) информации происходит соответствующей парой сигналов из двух групп ПРМА1 — ПРМАА4 и ВЫД ИНФ1 — ВЫД ИНФ1. Эти сигналы формируются в ЦИ по значениям старших разрядов (разряды 5, 6) кода адреса оперативной памяти.

Устройство ЕС-3207 имеет емкость 128К слов (512К байт), длину слова 36 бит, минимальный цикл обращения 1,2 мкс, время выборки информации — не более 0,7 мкс. Устройство ЕС.3207 имеет модульную конструкцию, состоит из восьми модулей памяти ЕС-3941, электронных схем управления и системы электропитания. Управление для всех восьми модулей памяти является общим.

Конструктивно устройство ЕС-3207 вместе с системой электропитания выполнено в одной типовой стойке.

Модуль памяти ЕС-3941 представляет собой съемный блок и является автономным запоминающим устройством емкостью 64К ячеек. Каждая ячейка модуля памяти имеет 9-разрядный формат. При считывании слова из памяти обращение по. одному адресу осуществляется одновременно к четырем модулям. Таким образом, 4 модуля памяти составляют запоминающий массив емкостью 64К слов, и обращение к нему осуществляется по адресам 000000 — 03FFFC. Остальные 4 модуля составляют аналогичный запоминающий массив, обращение к которому происходит по адресам 040000 — 07EEEE. Модуль памяти выполнен на кольцевых ферритовых сердечниках по структуре 2,5D с трехпроводной прошивкой.

Устройство ЕС-3207 в составе ЭВМ ЕС-1033 используется в таких же режимах работы, что и устройство ЕС-3203. Для записи (считывания) информации из процессора поступает 15-разрядный код адреса. Этот код соответствует максимальному адресу обращения 01EEEE, тогда как в ЕС-3207 максимальный адрес обращения составляет 07EEEEPC. Поэтому в ОП формируются значения двух старших разрядов кода адреса (разряды 5, 6) из сигналов ПРМА2 — ПРМА4 и сигнал ВЫД ИНФ из сигналов ВЫД ИНФ1 — ВЫД ИНФ4, поступающих из процессора (см. рис. 20).

ЭВМ ЕС-1033 может работать с двумя устройствами ЕС-3207 (ОП2 и ОП3), которые рассматриваются как ОП машины объемом 1024К байт. Код адреса поступает на оба из них; сигналы из процессора ПРМА1 — ПРМА4 и ВЫД ИНФ2 — ВЫД ИНФ4 поступают в ОП1 для формирования в ней двух старших, 4 и 5, разрядов кода адреса и сигналов ПРМА и ВЫД ИНФ, а сигналы ПРМА5 — ПРМА8 и ВЫД ИНФ поступают из процессора в ОП2 для формирования этих же старших разрядов кода адреса и

сигнала ПРМА для ОП2. В процессоре сигналы ПРМА1 — ПРМА8 и ВЫД ИНФ! — ВЫД ИНФ1, ВЫД ИНФ4 формируются по значениям разрядов 4, 5, 6 кода адреса ОП.

Устройство ЕС-3208 по своим техническим данным аналогично устройству ЕС-3207. Конструктивно ЕС-3908 также расположено в одной типовой стойке, имеет модульную структуру, состоит из четырех модулей памяти ЕС-3945, электронных схем управления и системы электропитания. Управление для всех четырех модулей памяти является общим.

Модуль памяти ЕС-3945 конструктивно представляет собой съемный блок и является автономным запоминающим устройством емкостью 64К 18-разрядных ячеек с выборкой информации по структуре 3О с трехпроводной прошивкой.

Подключение одного или двух устройств ЕС-3208 к ЭВМ ЕС-1033 также аналогично.

Все три устройства в качестве запоминающих элементов содержат кольцевые ферритовые сердечники. Считывание происходит с разрушением и регенерацией информации.

Устройство ЕС-3963 имеет емкость 256К слов (1024К байт), минимальный цикл обращения — 1,5 мкс, время выборки информации — не более 0,8 мкс. Оно имеет модульную конструкцию, состоит из восьмидесяти модулей памяти, электронных схем управления и системы электропитания. Конструктивно устройство ЕС-3963 выполнено в одной типовой стойке вместе с системой электропитания.

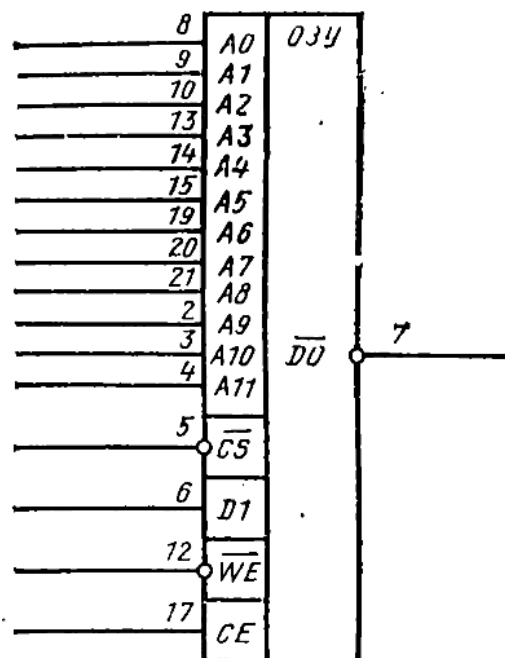


Рис. 21. Микросхема К565РУ1А

Модуль памяти ЕС-32683.Е001 выполнен на съемной печатной плате и служит для приема, хранения и выдачи информации. В качестве запоминающих элементов используются интегральные микросхемы К565РУ1А. Считывание осуществляется без разрушения информации.

Микросхема К565РУ2А (рис. 21) представляет собой запоминающее устройство динамического типа емкостью 4096 однобитных ячеек.

В режиме «Чтение» на адресные входы АО — А11 поступает 12-разрядный код адреса, на вход CS подается сигнал низкой полярности ВЫБОР КРИСТАЛЛА, на вход CE — сигнал разрешения высокой полярности. С выхода D0 снимается значение считанного бита информации в обратном коде.

В режиме «Запись» на входы микросхемы поступает такой же набор сигналов: дополнительно на вход WE подается сигнал

низкой полярности «Запись», а на вход 21 — бит записываемой информации в прямом коде. Минимальное время цикла записи (считывания) составляет 400 нс.

Микросхема обеспечивает сохранность записанной информации в течение 2 мс. Более длительное хранение требует периодической регенерации информации. Регенерация осуществляется за один цикл обращения в любом режиме (записи или считывания). Особенностью микросхемы является наличие «третьего состояния, выхода, которое обеспечивается отсутствием одного из сигналов на входах CS либо CE. Это позволяет объединять выходы нескольких микросхем при наращивании объема памяти. Номиналы питающих напряжений составляют +5, -5 и +12 В.

Модуль памяти EC-3263.E00] является запоминающим блоком емкостью 16К 8-разрядных ячеек и содержит 32 микросхемы K565PY1A.

Применение ИС K565PY1A в качестве запоминающих элементов обусловило ряд особенностей построения устройства EC-3265. О первом из них — необходимости регенерации информации — говорилось выше. В силу этой же особенности при отключении питания информация в ОП не сохраняется. Другой особенностью является применение метода контроля считывания информации

из модуля памяти с исправлением одинарной и обнаружением двойной ошибки с использованием корректирующего кода Хэмминга.

Поскольку в ЭВМ EC-1033 используется метод контроля каждого байта информации по то42, процесс контроля при чтении из ОЗУ осуществляется в 2 этапа: информация, считанная из накопительного блока, контролируется с помощью кода Хэмминга, затем блок управления формирует по mod2 контрольный бит для каждого байта считанного слова, и информация передается в процессор. В режиме записи каждый байт информации, поступающей из процессора, подвергается в ОЗУ контролю также по mod2, затем, если не обнаружено ошибок, контрольные биты игнорируются, блок управления формирует биты корректирующего кода, и информация вместе с этими битами запоминается в накопительном блоке. При обнаружении ошибки в информации, поступающей из процессора, записи в накопительный блок не происходит, а в процессор выдается сигнал ОШ ИНФ.

В устройстве EC-3263 периодически осуществляется регенерация как при считывании, так и при записи. При отсутствии запроса процессора регенерация осуществляется по сигналу внутреннего запроса ОЗУ на регенерацию ЗПР РЕГ, который вырабатывается в блоке управления. При наличии запроса процессора, имеющего более высокий приоритет, чем запрос регенерации, формирование сигнала ЗПР РЕГ блокируется. В этом случае цикл регенерации осуществляется после обслуживания запроса процессора. Длительность цикла регенерации — 400 нс. Цикл обращения к памяти в ЭВМ EC-1033 составляет 1,6 мкс при работе

с любым ОЗУ, что обусловлено длительностью такта процессора, равной 400 нс. Цикл регенерации устройства ЕС-3263 осуществляется внутри цикла обращения процессора к памяти, поэтому регенерация не вызывает замедления работы ЭВМ.

Таким образом, устройство ЕС-3268 используется в составе ЭВМ ЕС-1033 в тех же режимах работы, что и вышеописанные ферритовые запоминающие устройства. Максимальный адрес обращения равен 0FFFFC. Из процессора в ОП поступают все 18 разрядов этого адреса. Сигналом, активизирующим работу ОП, является сигнал запроса к ней ЗПР ОП, а сигналы ПРМА1 — ПРМА8 используются для контроля значения разрядов 4, 5, 6 кода адреса (см. рис. 20).

Устройство ЕС-3263.01 имеет емкость 512К слов (2048К байт) и содержит два устройства ЕС-3263 (ОП1 и ОП2) в одной типовой стойке вместе с системой электропитания. Максимальный адрес обращения равен 1EPEEEC. Все 18 разрядов кода адреса подаются на ОП1 и ОП2 одновременно, а по значению старшего разряда адреса процессор формирует два сигнала запроса к ОП — ЗПР ОП1 или ЗПР ОП2, которые активизируют соответствующую оперативную память (см. рис. 20).

1.10. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Программное обеспечение ЭВМ ЕС-1033 базируется на операционной системе ОС ЕС. Кроме операционной системы оно включает набор пакетов прикладных программ общего назначения, которые поддерживают проблемные ориентации ЭВМ ЕС-1033 и пакеты прикладных программ, расширяющих возможности ОС ЕС и обеспечивающих использование ЭВМ в различных режимах работы. В состав программного обеспечения входят также комплект программ технического обслуживания (КИТО) и комплект неавтономных тестов устройств (КНТУ).

Возможности операционной системы ОС ЕС подробно изложены в литературе, например, в работах [35, 47] и др. Здесь следует лишь отметить, что ОС ЕС, входящая в состав программного обеспечения ЭВМ ЕС-1033, включает средства, позволяющие восстанавливать вычислительный процесс после ошибок центрального процессора и каналов ввода-вывода в тех случаях, когда аппаратные средства процессора и каналов не в состоянии сами это сделать. Использование этих средств в составе ОС ЕС значительно повышает живучесть вычислительной системы.

В состав пакетов прикладных программ общего назначения входят пакеты научных подпрограмм на языках ПЛЛ и ФОРТРАН-IV, пакеты программ для решения матричных задач и задач математического программирования, пакеты программ для моделирования аналоговых систем и непрерывных процессов, пакеты программ для моделирования дискретных систем.

Пакеты научных программ обеспечивают решение задач линейной алгебры, численного дифференцирования и интегрирования, решение линейных и дифференциальных уравнений, вычисление собственных векторов, собственных значений и специальных функций, позволяют выполнять элементарные операции с матрицами, решать задачи аппроксимации, интерполяции, Математической статистики и численного анализа.

Пакет программ для решения матричных задач позволяет обрабатывать матрицы большой размерности, автоматически распределяя основную и внешнюю память.

Пакет программ для решения задач математического программирования предназначен для решения оптимизационных задач методами линейного и сепарабельного программирования. Эти программы могут быть эффективно использованы при решении задач управления в народном хозяйстве.

Пакет программ для моделирования аналоговых систем и не прерывных процессов ориентирован на численное моделирование систем и процессов, описываемых обыкновенными дифференциальными уравнениями. Программы пакета могут успешно применяться в таких областях, как теория автоматического управления, электроника, механика и электротехника. Пакет программ имеет входной язык, не требующий больших навыков _в программировании, позволяет легко описывать модель непосредственно по структурной схеме или системе дифференциальных уравнений, предоставляет возможность построения проблемно ориентированных расширений. пакета для различных областей науки и техники.

Пакет программ для моделирования дискретных систем позволяет проводить исследования информационных (в процессе проектирования и эксплуатации) и вычислительных систем, осуществлять выбор конфигурации средств вычислительной техники, исследовать системы массового обслуживания. Программы пакета обеспечивают автоматический сбор и выдачу разнообразных статистических данных о функционировании системы, например коэффициентов использования оборудования, параметров очередей ит. д.

К пакетам прикладных программ, расширяющим возможности ОС ЕС, относятся супервизор реального времени, система разделения времени и подсистемы планирования КРОС и РОС (программы расширения операционной системы, К — индекс разработчика). Эти программы, а также упоминавшиеся выше средства восстановления вычислительного процесса являются оригинальными разработками [4, 41, 49, 53].

Супервизор реального времени обеспечивает эффективное использование ЭВМ в системах управления объектами в реальном масштабе времени. Он позволяет обслуживать нестандартные устройства ввода-вывода и линии прямого доступа; обеспечивает малое время ответа при обработке поступающих от них данных,

возможность жесткой согласованности моментов выполнения обрабатывающих программ вычислительной системы в реально протекающим временем и возможность использования методов и техники программирования, соответствующих условиям применения систем управления процессами или объектами при жестких ограничениях на время ответа.

Система разделения времени представляет собой совокупность программных средств, которые позволяют обслуживать одновременно нескольких пользователей, связанных с ЭВМ с помощью абонентских пунктов или устройств ввода-вывода. Пользователи могут создавать, транслировать, редактировать, отлаживать и выполнять программы в диалоговом режиме, а также передавать задания для выполнения их в режиме пакетной обработки. Система разделения времени обеспечивает ряду пользователей одновременный доступ практически по всем средствам, предоставляемым ОС ЕС, и выдачу результатов за минимальное время. Одновременно с обслуживанием пользователей в режиме разделения времени на ЭВМ может выполняться пакетная обработка заданий.

Подсистемы планирования КРОС и РОС предназначены для повышения производительности соответственно одно- и много машинной вычислительных систем.

КПТО и КНТУ представляют собой тестовое обеспечение ЭВМ и служат для проверки оборудования при проведении пусконаладочных, профилактических и регламентных работ.

ГЛАВА 2. ОПЕРАЦИОННАЯ ЧАСТЬ ЦЕНТРАЛЬНОГО ПРОЦЕССОРА

2.1. СТРУКТУРА ПРОЦЕССОРА

Центральный процессор ЕС-2433 выполняет арифметические операции с фиксированной и плавающей запятой, операции десятичной арифметики, логические операции, операции переходов и управления, операции обращения к каналам ввода-вывода, организует обращение к оперативной памяти, обрабатывает прерывания.

Принцип управления в ЦП — микропрограммный. Микрокоманды имеют 132 информационных разряда. Они хранятся в ПЗУ, состоящем из четырех блоков БОП 2048-33 (п. 1.7). Цикл работы процессора равен 0,4 мкс, что обеспечивает среднее выполнение короткой операции за время, не превышающее 1 мкс. Оборудование ЦП размещено в одной типовой раме ЕС ЭВМ (рама В стойки процессора ЕС-2433).

Как уже отмечалось, в системах с магистральной структурой можно организовать связь между несколькими любыми функциональными блоками по одной из магистралей, причем один блок будет являться источником информации на магистраль, а все остальные — приемниками.

В процессоре ЕС-1033 для передачи информации используется несколько однотипных магистралей, а функциональные блоки связаны более чем с одной из них. Таким образом, в каждом такте можно организовать несколько трактов передачи информации. Поскольку микропрограммное управление процессора является общим для всех его функциональных блоков, то оказывается возможным организовать связь между ними оптимальным для данного такта образом. В большинстве тактов обработки информации участвует три числа, два из которых — исходные операнды, а третье — результат. Кроме того, в каждом такте нужно передавать информацию о состоянии блоков процессора от схем анализа к схемам управления, которая необходима для выбора пути продолжения исполняемой микропрограммы. Таким образом, для организации связей между блоками процессора необходимо и достаточно иметь три информационных магистрали и одну магистраль для сбора информации о состоянии функциональных блоков — магистраль анализов.

Процесс обработки информации в ЦИ заключается в выполнении ряда пересылок между блоками и арифметической (логической) обработке в комбинационных схемах отдельных блоков. Для обеспечения работы комбинационных схем магистрали имеют встроенные элементы памяти, вследствие чего считанная на них информация запоминается и сохраняется до тех пор, пока не поступит сигнала на сброс магистралей. Указанная особенность позволяет записать результат операции в тот же регистр, откуда производилось чтение операнда в начале такта работы, причем чтение и запись могут быть выполнены как с одной, так и с разных магистралей. Как правило, магистрали сбрасываются каждый такт, но предусмотрена возможность хранения информации на магистралях заданное время в пределах нескольких тактов.

В процессоре принято, что любые считывания на магистрали производятся по первой синхросерии СТ, а все записи выполняются в конце такта по второй синхросерии СЭ. Промежуток между С1 и С2 отведен для работы комбинационных обрабатывающих схем.

В общем случае результатом операции может быть не только результат арифметической или логической обработки операндов, но и установка признака результата и выработка сигнала прерывания. Ряд команд выполняется именно с целью установки признака результата или с целью вызвать прерывание. В процессоре ЭВМ ЕС-1033, в отличие от других машин, выработка признака результата и сигналов прерываний производится аппаратурно в процессе обработки операндов. Это позволило достичь высокой

скорости выполнения команд и, в особенности, команд обработки данных фиксированных форматов.

Центральным блоком процессора является блок магистрального коммутатора (БМК) (рис. 22). Он предназначен для приема информации от всех других блоков процессора, хранения ее в течение заданного времени и передачи информации в блоки процессора вместе с ее логической обработкой и контролем. Три 32-разрядные информационные магистрали, служащие основными трактами передачи данных в процессоре, равноценны и именуются первой М1, второй М2 и третьей М3 магистралями.

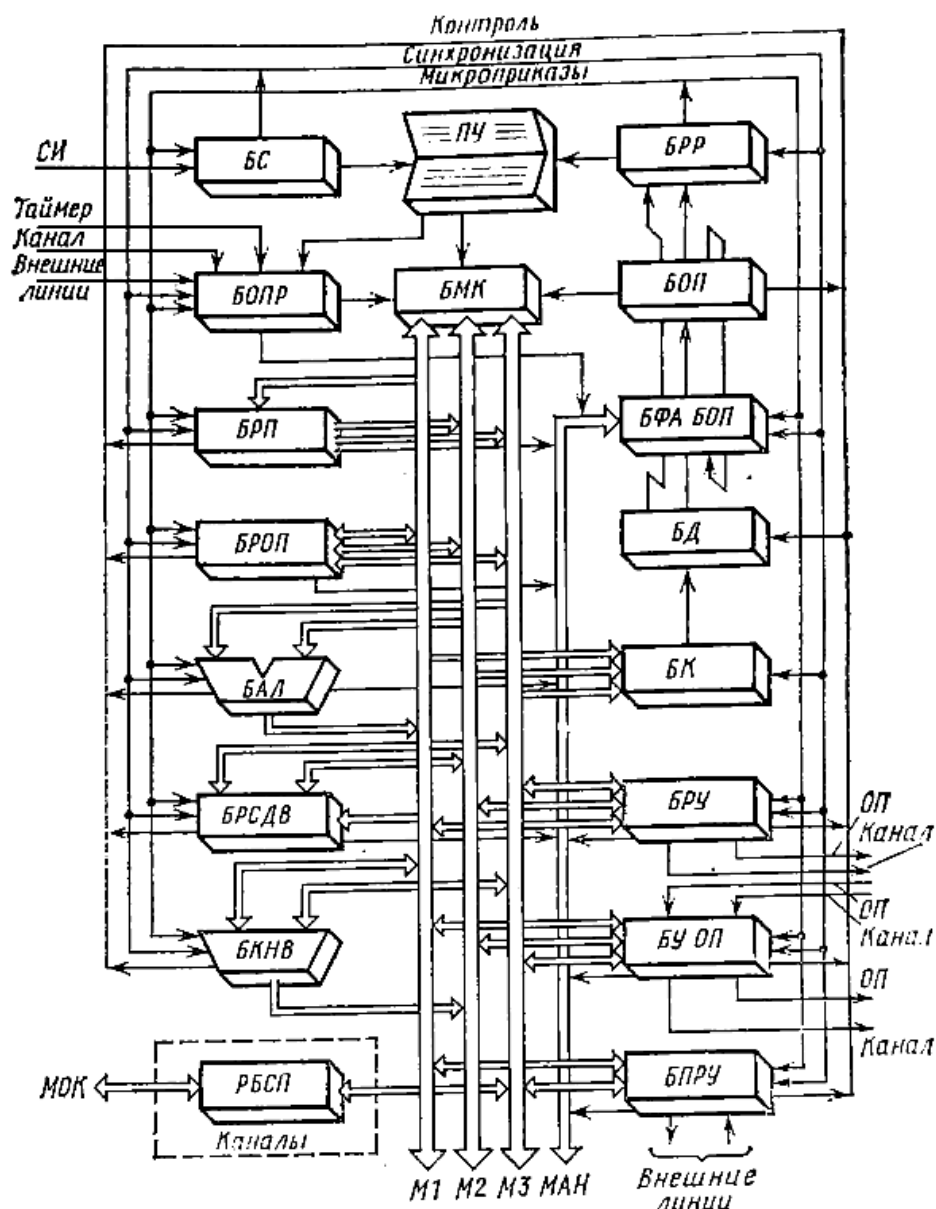


Рис. 22. Структурная схема процессора

Для хранения промежуточных результатов вычислений предназначен блок операционных регистров (БРОП) [А. с. 877613 (СССР)]. Шестнадцать 32-разрядных регистров, входящих в этот блок, связаны с тремя магистралями. В одном такте работы процессора считывание данных из различных регистров и запись в них

осуществляется независимо и одновременно относительно всех магистралей.

Блок программных регистров (БРП) [А. с. 613402 (СССР)] состоит из шестнадцати 32-разрядных регистров общего назначения и четырех 64-разрядных регистров для операндов с плавающей запятой. Особенностью этого блока является то, что данные из его двух различных регистров могут быть считаны на разные (M2 и M3) магистрали одновременно, и в этом же такте может быть осуществлена запись информации в один из регистров с магистрали M].

Арифметико-логический блок (БАЛ) [38] является основным блоком обработки поступающей информации. Он выполняет 45 различных операций обработки двоичных операндов, а также двоично-десятичное сложение и вычитание. Схема обрабатываемой части комбинационная и не имеет каких-либо входных и выходных регистров. При задании управляющей функции результат операции над числами, поступающими в БАЛ с M2 и M3, выдается на M1 через 0,1—0,12 мкс.

Отличительной особенностью процессора является наличие специального мощного блока для сдвига информации (БРСДВ) [А. с. 585755 (СССР), а. с. 591078 (СССР)]. Он обеспечивает сдвиг вправо и влево до 128 разрядов одновременно. Блок может работать в режимах как логического, так и арифметического сдвигов, т. е. с распространением знака и контролем переполнения, и служит для накопления результатов умножения, деления, выполняет операции нормализации и выравнивания операндов и т. п.

Операции преобразования чисел из двоичной системы счисления в двоично-десятичную, и наоборот, выполняются аппаратно блоком 'конвертирования (БКНВ) Г.А. с. 591073 (СССР). Преобразование выполняется за несколько циклов под микропрограммным управлением.

Блок управляющих регистров (БРУ) состоит из регистров, содержащих информацию о состоянии системы. Это 64-разрядный регистр слова состояния программы (РССИ) и регистр адреса процессора (РАП), через который в оперативную память системы поступают адреса команд и данных. Буферный регистр адреса хранит адрес выполняемой команды для ее автоматического повторения при сбоях.

Блок управления оперативной памятью (БУ ОП) обслуживает не только центральный процессор, но и каналы ввода-вывода. Он организует обращение к оперативной памяти, осуществляя ее активизацию и управление работой, задает режим записи или считывания, выдает в ОП адреса обращения, принимает и выдает информацию от ЦИ и каналов. Запросы процессора и каналов ввода-вывода удовлетворяются по приоритету, причем высшим обладают каналы. Память ключей защиты, входящая в состав блока, обеспечивает постраничную защиту оперативной памяти при записи и считывании. Это необходимо для организации мультипрограммной работы машины.

Блок прямого управления (БИРУ) реализует связь процессора с другой ЭВМ или специальными внешними устройствами через интерфейс прямого управления. Обмен информацией выполняется по командам ПРЯМОЕ ЧТЕНИЕ и ПРЯМАЯ ЗАГШЕСЬЬ.

Блок режимов работы (БРР) предназначен для перевода машины в различные режимы работы -- автоматический, шаговый или тактовый и для выработки микроприказов. Режимы задаются вручную с пульта управления. Микроприказы вырабатываются группой дешифраторов, управляющая информация (КОДЫ полей микрокоманд) на которые поступает из блоков односторонней памяти.

Вся управляющая микропрограммная информация записана в блоке памяти микропрограмм, который состоит из четырех унифицированных блоков — БОПО—БОПЗ (п. 1.7). Управляющая информация (микрокоманда) считывается одновременно из всех четырех блоков по одному адресу. Часть информации поступает на информационные магистрали в виде константы или маски. Адресная часть служит для формирования адреса следующей микрокоманды. Операционная часть, состоящая из полей определенной разрядности, декодируется в БРР и управляет работой ЦИ в данном такте.

Управление выборкой микрокоманд из БОП осуществляет блок формирования адреса БФА БОП ПА. с. 613401 (СССР)]. Адресная часть текущей микрокоманды содержит базовый адрес, который на линейном участке микропрограммы является адресом следующей микрокоманды. Если необходимо изменить ход микропрограммы, то базовый адрес изменяется (модифицируется). Модификация осуществляется в зависимости от результатов анализа состояния тех или иных схем, от особенностей данных и результата обработки [А. с. 591075 (СССР), а. с. 615538 (СССР), а. с. 648984 (СССР)]. Информация о результатах выполнения анализов собирается на специальной четырехразрядной магистрали анализов (МАН).

Реакцию на внутренние и внешние прерывания обеспечивает блок обработки прерываний (БОПР). Он фиксирует сигналы причин прерываний и организует обработку последних в порядке приоритетности. Блок подключен к пульту управления системой (для возможности задания прерывания оператором), к таймеру, к каналам ввода-вывода и внешним синхрониям от другой машины.

Блок диагностики (БД) процессора обеспечивает анализ и исправление сбоев, а также быструю автоматическую локализацию возникшей неисправности [481]. Особенностью этого блока является наличие собственной управляющей памяти, в которой хранятся микропрограммы диагностических процедур [А. с. 61365] (СССР)].

Информация об обнаруженных в блоках машины ошибках поступает в БД от схем контроля, имеющих во всех блоках

центрального процессора. § словно эти схемы объединены в блок контроля (БК) [491].

Пульт управления системой (ПУ), традиционно относящийся к процессору, предназначен для визуального контроля работы ЦП и каналов, включения электропитания, инициирования начальной загрузки, вмешательства оператора в Ход вычислительного процесса, для технического обслуживания и поиска неисправности. С пульта можно записать в ОП и прочитать из нее информацию, занести данные в программные регистры, вызвать внешнее прерывание и Т. п.

Центральный процессор обменивается информацией с каналами ввода-вывода через буферный регистр связи (РБСП. Запоминающие элементы этого регистра одними своими входами-выходами подключены к третьей магистрали ЦИ, а другими — к магистралям общего капаля (МОК).

Блок синхронизации (БС) процессора обеспечивает прием в раму В синхроимпульсов СИ пяти основных синхросерий от блока синхронизации машины (п. 1.6), их усиление и размножение. Кроме того, он формирует ряд вспомогательных синхросерий. Главными из них являются блокируемые серии С1БЛ, С23П, С1'БЛ и С2'БЛ, которые формируются соответственно из синхросерий С1, С2, С1' и С2'. Необходимость в блокируемых сериях вызвана следующими причинами.

При работе процессора с ОП необходимо задержать выполнение микропрограммы на промежуток времени от того момента, когда процессору требуется информация из ОП, запрос на которую был уже дан, до момента, когда эта информация фактически будет получена. Поскольку цикл работы ОП в четыре раза больше цикла работы процессора, то после выдачи в ОП запроса на информацию процессор должен ожидать ее минимум три такта. Обычно в микропрограмме запрос выдается заранее за три или более тактов для того, чтобы к нужному моменту времени информация из ОП была уже получена. Но даже и в этом случае промежуток времени от выдачи запроса до получения информации может оказаться довольно значительным, если в момент (или до) выдачи запроса процессором ОП была занята обслуживанием запросов каналов (запросы каналов имеют более высокий приоритет). Задержка микропрограммы осуществляется зацикливанием ее на определенной микрокоманде. Чтобы запретить многократное выполнение некоторых действий, предусмотренных этой микрокомандой, производится блокирование поступления синхросерий (рис. 23) в те узлы и блоки, которые выполняют эти действия (заметим, что выполнение каждого микроприказа, как правило, строится определенной синхросерией).

Для взаимодействия ОП с микропрограммным управлением процессора служит триггер очередности (ТОЧИ), обычное состояние которого единичное. Триггер сбрасывается сигналом запроса процессора (ЗПП), а вновь устанавливается тогда, когда

разрешен прием считанной из ОП информации в регистр информации процессора (РИП) микроприказом РИП : = ОП. Другими словами, состояние ТОЧИ = 0 соответствует промежутку времени от выдачи запроса в ОП до получения информации из ОП. Анализ состояния ТОЧП происходит микропрограммно по сигналу ТОЧП $\neq 0$. Как нулевое состояние ТОЧП, так и наличие сигнала ТОЧП $\neq 0$ низкого уровня приводит к блокированию синхросерий СТ и С2. На рис. 23 показан случай, когда сигналы ЗПРП и ТОЧП $\neq 0$ были сформированы в одной микрокоманде, а между выдачей запроса в ОП и началом его обслуживания (формирования сигнала ПРМА) прошло некоторое время.

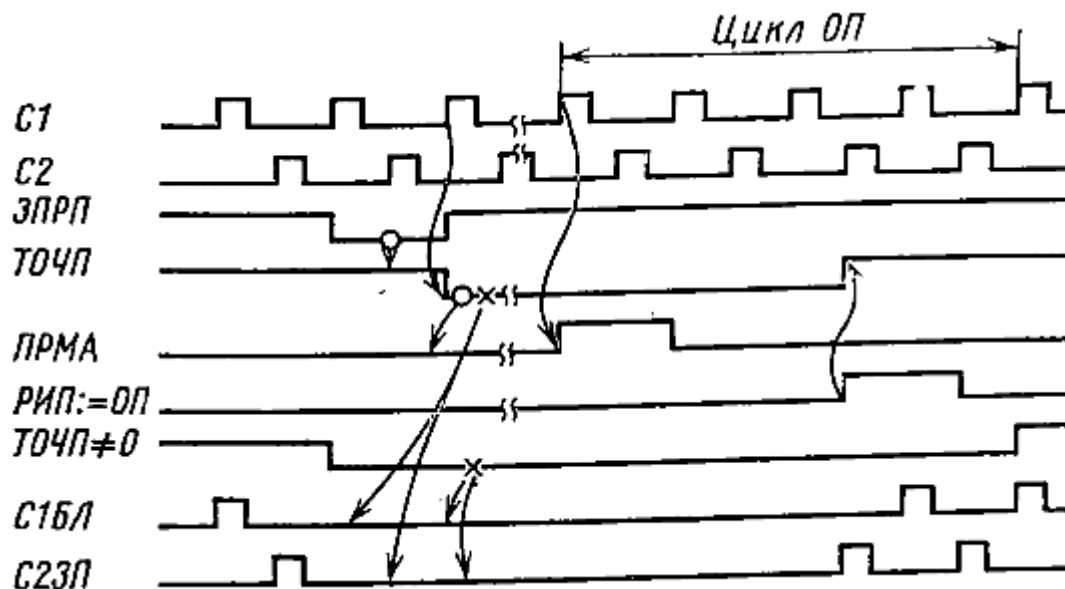


Рис. 23. Формирование блокируемых синхросерий СБЛ и С23П

Микроприказ ТОЧП $\neq 0$ всегда выдается в той микрокоманде, где фактически должна быть использована получаемая из ОП информация, а запрос в ОП за нее может быть сделан либо в том же такте, как на рис. 23, либо заранее за любое число тактов. Возможен случай, когда информация из ОП оказывается полученной до того, как будет выдан микроприказ ТОЧП = 0. Тогда остановки микропрограммы и других действий, с ней связанных, не происходит.

Если ТОЧП = 0, то микрокоманда, содержащая анализ ТОЧП $\neq 0$, закликивается сама на себя до тех пор, пока не выполнится условие ТОЧП = 0. Закликиваясь, микрокоманда выполняется многократно. Если в этой микрокоманде имеются микроприказы изменения содержимого адресных регистров (РАЦ, адресная часть РССП, адресные регистры РОН, выполненные в виде счетчиков), то может произойти их многократное изменение. Кроме того, если в этой же микрокоманде имеются микроприказы записи считанной из ОП информации в регистры, то может произойти запись недостоверной информации, что, в свою очередь, может вызвать, например, ложное прерывание. Чтобы предотвратить эти явления, выполнение указанных действий строится блокируемыми синхросериями. Таким образом, содержимое

счётчиков меняется только один раз, запись в регистры происходит только тогда, когда из ОП поступит запрошенная информация, а результат обработки будет истинным.

По синхросерии С1БЛ происходит изменение содержимого всех адресных регистров. Содержимое РАП и адресной части РССП изменяется в процессе выборки команды (а РАП — и при выполнении команды) на +2 или +4 (т. е. , на 2 или 4 байта), а значение содержимого счетчиков РОН, которые являются адресными регистрами РОН — на +1 или -1 (т. е. номер РОН может быть уменьшен или увеличен на единицу). По синхросерии СГБЛ осуществляется контроль этих процессов.

По синхросерии С23П происходит запись в регистры результатов обработки полученной из ОП информации, по синхросерии С2'БЛ — контроль этой записи. Блокировка серий С1' и С2' происходит аналогично.

Некоторые блоки ЦП (например, блок конвертирования) имеют в комбинационной части схем значительное число последовательно включенных логических элементов. Для их работы необходимо время, превышающее длительность одного машинного такта. С этой целью синхросерия СБРМ может блокироваться в текущем такте микроприказом БЛ СБРМ. При выполнении диагностических процедур запись с магистрали также может быть выполнена через несколько тактов после чтения информации на магистраль. Для сохранения информации на магистрали блок диагностики ЦИ с помощью своего микроприказа блокировки сброса магистрали БСМ может блокировать серию СБРМ.

Кроме названных в ЦИ для отдельных узлов и схем вырабатываются и другие дополнительные синхросерии.

Центральный процессор обрабатывает информацию в соответствии с командами программы. Операции обработки подразделяются на арифметические и логические. В зависимости от типа структуры данных арифметические операции могут быть операциями над числами с фиксированной запятой, над числами с плавающей запятой и над десятичными числами. Есть операции, объединяющие некоторые виды обработки, — это выполнение преобразований чисел из двоичной в двоично-десятичную систему счисления, и наоборот.

В логических операциях многоразрядные операнды воспринимаются как наборы двоичных символов. Над ними производятся поразрядные действия в соответствии с правилами алгебры логики. К логическим относятся и операции преобразования форматов данных — упаковка, распаковка, редактирование текстов, транслирование таблиц и т. п. Следует отметить, что обработка адресов данных и команд выполняется с использованием тех же принципов и того же оборудования, что и при работе с потоком преобразуемых данных.

Сочетание эффективных средств обработки данных с магистральным принципом их организации позволило достичь высокого

быстродействия ЭВМ. Например, для операций формата КК оно составляет примерно 10^6 операций в секунду.

К основным обрабатывающим блокам относятся арифметико-логический блок, блок регистров сдвига, блок преобразования чисел из одной системы счисления в другую. К средствам обработки относятся также схемы подготовки управляющей информации для БРСДВ — узел вычисления параметра нормализации, узел вычисления параметра сдвига при выравнивании операндов переменной длины, а также специальные связи регистра информации РИП с первой магистралью для байтной обработки ЛРИП и обработки полуслов ПРИП (п. 3.4).

2.2. БЛОК МАГИСТРАЛЬНОГО КОММУТАТОРА

БМК является центральным блоком процессора и предназначен для приема информации от других функциональных блоков, ее контроля и хранения в течение заданного времени, логического преобразования передаваемой информации и передачи ее в другие блоки процессора и каналы ввода-вывода.

В состав БМК входят (рис. 24): три магистрали М1, М2 и М3 по 32 информационных разряда в каждой; три коммутатора магистральных КМ М1, КМ М2 и КМ М3; два регистра масок РМС1 и РМС2 по 32 информационных разряда каждый; схемы контроля К; схема байтного обнуления.

В блоке магистрального коммутатора узлы КМ М1, КМ М2 и КМ М3 являются коммутаторами первой, второй и третьей магистралей соответственно. У каждого узла показаны три секции, обозначенные соответствующим индексом, и «быстрый» выход, помеченный буквой Б (для М1, например, соответственно М1-1, М1-2, М1-3 и М1Б). Каждая магистраль имеет собственную схему контроля.

Для обеспечения работы комбинационных схем арифметического блока, конверторов, схем анализа, а также возможности записи обработанных данных обратно в регистр-источник магистрали снабжены элементами памяти. Они осуществляют хранение считанной и отмаскированной информации в течение требуемого времени (в большинстве случаев на один такт ЦП). Для обеспечения работы схем контроля информации, считанной на магистрали, необходимо ее зафиксировать до начала маскирования, так как оно может изменить ее четность. Сохранение исходной информации осуществляется на отдельных элементах памяти.

Маска в виде 32-разрядной константы (КОНСТ) поступает из БОПЗ непосредственно через регистр микрокоманд РМКЗ в коммутатор масок, а также в два специальных регистра масок РМС1 и РМС2. В последние маска записывается по микроприказам РМС1 : = КОНСТ и РМС2 : = КОНСТ. Таким образом, в коммутаторе имеется возможность подавать маски на магистрали в любых комбинациях как из регистров маски, так и непосредственно из

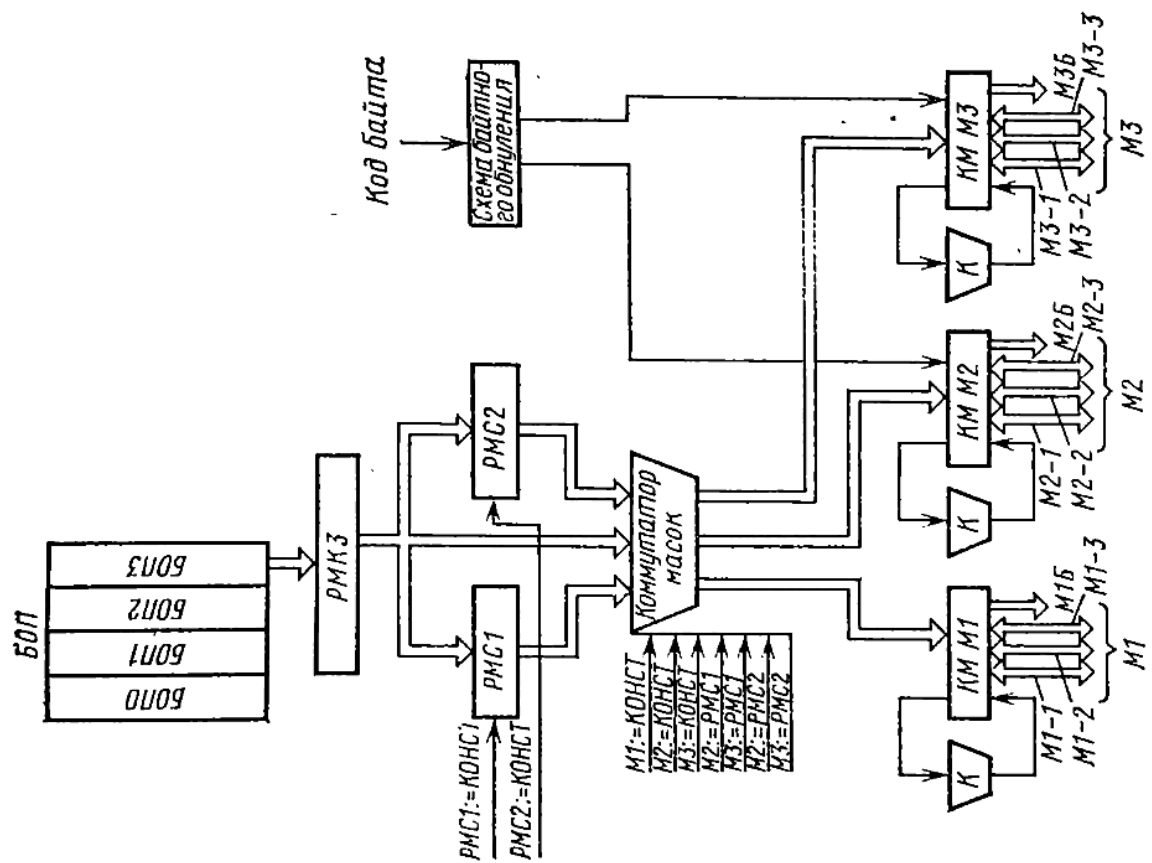


Рис. 24. Структурная схема блока магистрального коммутатора

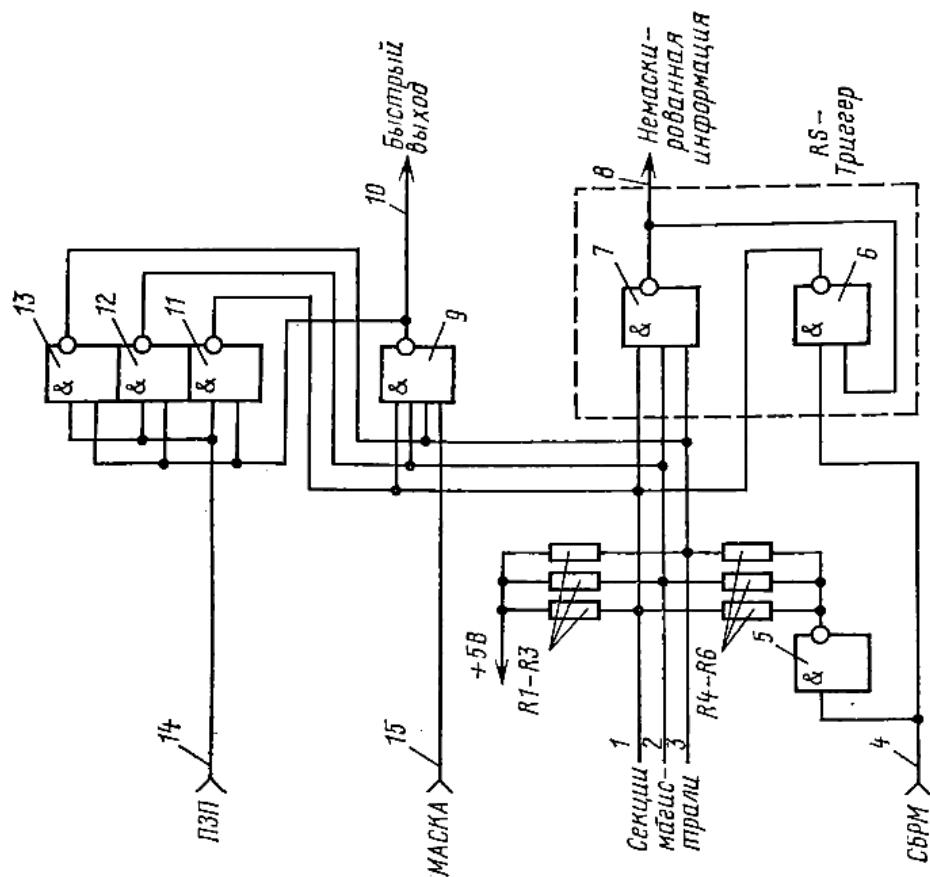


Рис. 25. Разряд магистрали

РМКЗ. Чтобы подать на магистрали три различные маски одновременно, две из них должны быть записаны предварительно в РМС1 и РМС2, а первую магистраль маска подается только из РМКЗ. После выполнения маскирования обработанная информация снабжается истинными контрольными разрядами, которые формируются специальными схемами свертки по 1042. Одной из самых сложных задач является обеспечение устойчивости обмена информацией между блоками на частоте порядка 5 МГц. Магистрали обладают большой распределенной ёмкостью монтажа. Это требует принятия специальных мер борьбы с влиянием паразитных емкостей. С этой целью осуществлено секционирование гальванических связей. Секции затем логически объединяются. Кроме того, для ускорения подготовки очередного цикла работы специальными средствами форсируется заряд паразитных емкостей магистралей.

Каждый разряд магистрали разбит на три секции, гальванически не связанные между собой (рис. 25). Такой прием позволяет значительно сократить время заряда паразитных емкостей магистрали и, следовательно, повысить скорость передачи информации. К каждой секции магистрали подключается не более 16 входов и 10 выходов логических схем блоков.

Функционально три секции магистрали представляют собой единую информационную магистраль. Физически же это автономные, электрически развязанные цепи. Именно к этим секциям и подключаются входы-выходы блоков процессора, причем каждая секция объединяет блоки, конструктивно расположенные близко друг от друга. Резисторы К1—ЮЗ являются общей нагрузкой элементов с открытым коллектором, подключенных к соответствующим секциям магистралей.

Исходным (сброшенным) состоянием магистрали является единичное состояние (потенциал около 3,5 В). Всякое считывание единицы на магистраль не изменяет этого состояния, чтение нуля приводит к изменению состояния магистрали (ее потенциал понижается до величины порядка 0,4 В). Таким образом, информация на магистрали представляется в обратном коде.

Считанная сигналом чтения ЧТ (рис. 26) по синхросерии С1 на любую из трех секций магистрали, информация поступает на один из входов четырехвходовой схемы И-НЕ 9 (см. рис. 25). На

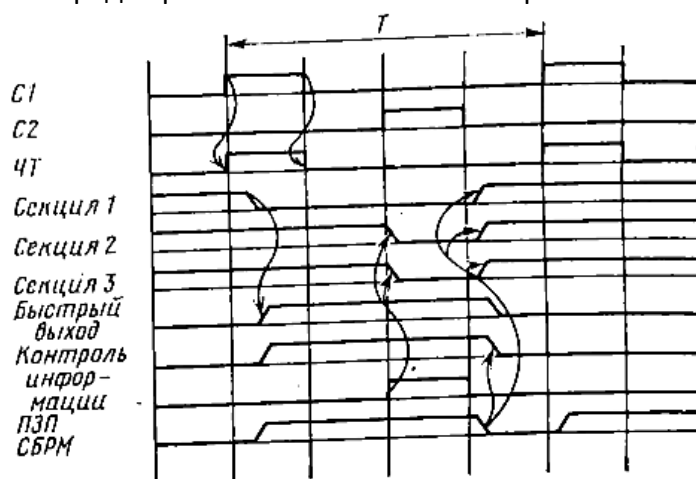


Рис. 26. Временная диаграмма работы магистрали при считывании нулевой информации на первую секцию

вход 15 этой же схемы поступает значение разряда маски. При единичной маске на выходе 10 элемента И-НЕ 9 сохраняется значение считанной на магистраль информации. Выход 10 называется «быстрым выходом магистрали». Он подключен ко входам БАЛ, схемам сдвигателя и т. и. для немедленной обработки информации, поступающей на магистраль от любого из блоков.

Подача нулевой маски на элемент И-НЕ 9 эквивалентна считыванию в данном разряде нулевой информации. Одновременно немаскированная информация запоминается в ВЗ-триггере, образованном элементами И-НЕ 6 и 7, и поступает с его выхода 8 в схемы контроля. Считанная в одну из секций (например, первую) информация фиксируется с помощью триггера. В результате значение потенциала сохраняется на «быстром выходе» 10 и после снятия сигнала чтения (см. рис. 26). Для записи информации в другие блоки, которые могут быть подключены к любой секции магистрали, необходимо распространить информацию на все три секции к моменту действия сигнала записи, подаваемого в соответствующий блок по серии С2. Это осуществляется подачей сигнала перезаписи ПЗП, через вход 14 на элементы И-НЕ 11, 12 и 13. Они передают маскированную информацию на секции 1, 2 и 3. Каждый из этих элементов в паре с элементом 9 образует на время действия сигнала ПЗП триггер, в который записывается информация с любой секции магистрали.

Перед следующим тактом работы процессора магистрали должны быть сброшены, т. е. на них должен быть восстановлен единичный потенциал. По окончании процесса записи информации в блоки сигнал ПЗП-снимается и подается сигнал СБРМ на вход 4. При этом Ю\$-триггер на элементах 6 и 7 сбрасывается и на секции магистрали подается единичный потенциал.

Для ускорения процесса восстановления единичного состояния магистралей (см. рис. 25) применяется форсирующая схема. Она состоит из резисторов R4—R6 и мощного инвертора 5. Так как на выходе инвертора, находящегося в состоянии логического нуля, напряжения примерно 0,2 В, то пары резисторов R1, R4; R2, R5; и R3, R6, образующие делители напряжения, поддерживают на секциях магистрали напряжение, близкое к 3,5 В. При подаче сигнала СБРМ на выходе инвертора 5 образуется положительный потенциал, и резисторы R4, R5 и R6 оказываются включенными параллельно резисторам R1, R2 и R3 в цепь источника положительного напряжения. Зарядный ток значительно возрастает, что способствует форсированному заряду распределенной паразитной емкости секций магистрали и быстрому восстановлению исходного единичного состояния.

Если нужно сохранить состояние магистрали более чем на один такт, сигнал СБРМ не вырабатывается, а длительность сигнала ПЗПИ увеличивается.

Магистральный коммутатор построен на ТЭЗ двух типов: коммутатор магистральный 1 (КМ1) и коммутатор магистральный

2 (KM2). KM1 содержит четыре информационных разряда магистрали, KM2 — по одному контрольному разряду магистралей M1, M2 и M3. Контрольным разрядом снабжаются каждые 8 разрядов магистрали.

Узел контроля БМК осуществляет контроль информации, считанной на магистраль (контроль числа на магистрали); контроль маски, подаваемой на нее, и формирование контрольных бит отмаскированной на магистралях информации.

Контроль информации, считанной на магистраль, производится побайтно. Значение каждой пары разрядов ($M1[0]$ и $M1[1]$ или $M1[2]$ и $M1[3]$) сворачивается по mod2 и запоминается в отдельном

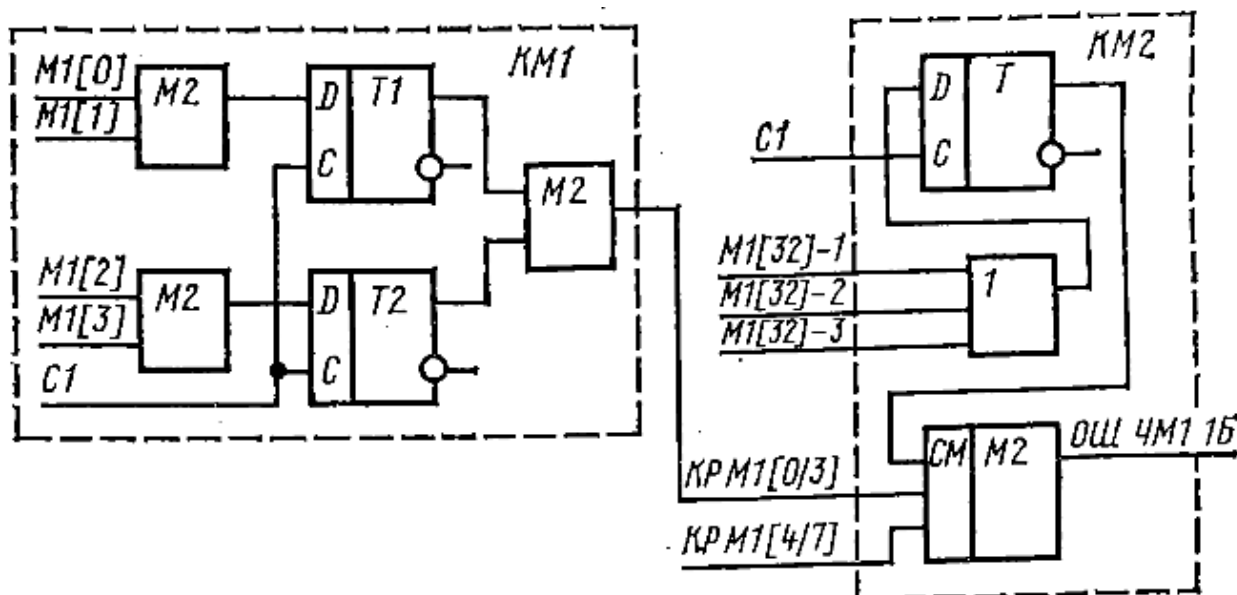


Рис. 27. Контроль числа на магистрали

D-триггере (T1 или T2) по синхросерии C1 (рис. 27). Это необходимо для того, чтобы как можно быстрее запомнить значение контрольных разрядов принятой на магистраль информации, так как после окончания синхросерии C1 информация на магистрали может измениться. Это случается, например, в результате маскирования. Контрольные биты двух тетрад одного байта поступают на схему формирования сигнала ошибки, которая представляет собой одноразрядный двоичный сумматор CM. На третий вход сумматора поступает значение контрольного разряда байта числа, принятого на магистраль. Оно поступает по одной из секций магистрали (на эту секцию было считано число из какого-либо функционального блока ЦП) и запоминается в O-триггере ТГ контрольного разряда также по синхросерии C1. Рассмотренная схема контроля вырабатывает сигнал ошибки первого байта числа, Находящегося на первой магистрали ОШ ЧМ1 1Б (см. табл. 35). Контроль числа байтов всех трех магистралей построен одинаково. Контрольные схемы расположены в ТЭЗ KM2.

Контроль маски на магистрали (рис. 28) позволяет определить правильность считывания константы из БОПЗ в PMC1, PMC2 или на любую из магистралей. Контроль на одной магистрали производится побайтно в восьми ТЭЗ KM1 и четырех ТЭЗ «Регистра

маски» РМС. Контрольный бит маски поступает на свертку либо из РМК3, либо из одного из Э-триггеров ТТ (Т2) по микроприказу чтения маски $M2 := RMC1$ ($M2 := RMC2$). В эти триггеры контрольный бит записывается при записи маски в РМС1 (РМС2) по микроприказу $RMC1 := КОНСТ$ ($RMC2 := КОНСТ$). Схема контроля вырабатывает сигнал ошибки первого байта маски на второй магистрали ОШМ М2 1Б. Контроль всех байт всех трех магистралей построен аналогично.

Значение контрольного разряда байта отмаскированной информации формируется путем сворачивания байта по 11092 и по синхросерии С23П распространяется на три секции магистрали вместе с самой отмаскированной информацией.

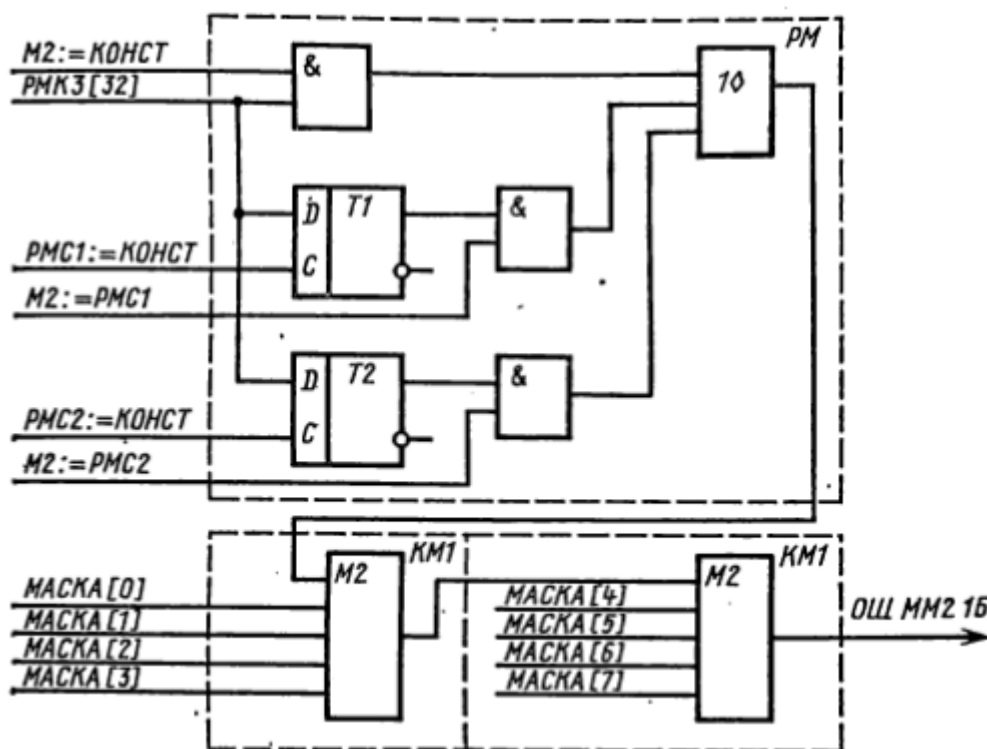


Рис. 28. Контроль маски на магистрали

Схема байтного обнуления предназначена для того, чтобы обнулить путем наложения специальной маски одну или сразу несколько 8-разрядных групп магистрали. Этот прием применяется при обработке десятичных операндов и при логической обработке данных переменной длины [А. с. 648984 (СССР)].

Данные этого типа могут располагаться в оперативной памяти, начиная с любого байта слова ОШ, и заканчиваться также любым байтом. В ЭВМ ЕС-1033 выборка из ОП всегда производится целым словом, а это значит, что вместе с первыми и последними байтами операнда в выбранном слове ОП может содержаться посторонняя, не связанная с операндом, информация. Для удаления с помощью байтной маски посторонней информации используются байтные маски нескольких классов (табл. 6). Вид маски внутри каждого из классов определяется адресами (кодами позиции) начального или конечного байт операнда. Эти коды являются составной частью адресов названных байт.

К нулевому классу относятся маски, с помощью которых можно обнулить байты слева от байта с заданным адресом. Эти маски используются для того, чтобы освободить поступивший на обработку операнд от посторонней информации, расположенной перед его первым байтом. Если операнд начинается с байта с адресом 00, т. е. с границы слова, то обнулять ничего не надо и в этом случае накладывается маска FFFF FFFF. Если операнд начинается с байта с адресом 0 следует удалить нулевой байт наложив на операнд маску 00FF FFFF, и т. д.

Таблица 6

Маски второго класса предназначены для обнуления байт справа от байта с заданным адресом. Эти маски используются для удаления ненужной информации справа от последнего байта операнда.

Маски первого класса позволяют выделить информацию, расположенную левее байта с заданным адресом. С помощью масок этого класса не устраняется лишняя информация, а выделяется необходимая (п. 9.2).

Если строить микропрограмму операций обработки данных переменной длины так, что при обработке, например, первого слова операнда, в микропрограмме анализируется код позиции первого байта операнда в слове, то далее микропрограмма должна разветвиться на четыре направления. В первой ветви (код позиции байта 00) наложения маски не требуется, в остальных трех накладывается соответствующая маска. В противоположность этому при использовании байтных масок обработка выполняется по единой микропрограмме. Класс маски задается в микропрограмме, а код позиции байта, являющейся функцией адреса, определяет конкретный вид требуемой байтной маски. В результате сама информация программирует свою обработку. Этот прием значительно снижает объем микропрограмм. Код класса маски и адрес байта помещается в регистр формирования маски. По этой информации комбинационные схемы формируют соответствующие сигналы обнуления байт. По микроприказам M2 := МАСКА и M3 := МАСКА производится наложение байтных масок на магистрали.

Поскольку «очистка» операндов выполняется перед их записью в сдвигатель, подключенный ко 2-й и 3-й магистралям, байтное

Класс маски	Управляющая информация		Вид байтовых масок
	Код класса	Адрес байта	
0	00	00	FFFF FFFF
	00	01	00FF FFFF
	00	10	0000 FFFF
	00	11	0000 00FF
1	01	00	0000 0000
	01	01	FF00 0000
	01	10	0000 0000
	01	11	0000 FF00
2	10	00	FF00 0000
	10	01	FFFF 0000
	10	10	FFFF FF00
	10	11	FFFF FFFF

обнуление распространяется только на М2 и М3. Кроме того, по микроприказу М2 := 0 можно наложить на М2 нулевую маску, которая фактически используется в вычислениях как константа «нуль».

2.3. МЕСТНАЯ ПАМЯТЬ

В состав местной памяти входят блоки программных и операционных регистров БРП и БРОП.

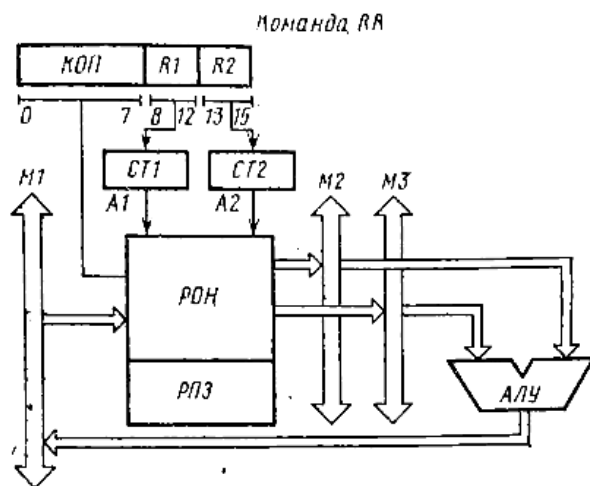
Первый состоит из 16 регистров общего назначения и 4 регистров для операндов с плавающей запятой (РПЗ). Адреса этих регистров указываются непосредственно в командах программы. Второй включает 16 операционных регистров, предназначенных для запоминания промежуточных результатов вычисления, промежуточного (буферного) хранения исходных операндов, адресов и т. п. Быстродействие местной памяти и ее организация во многом определяют быстродействие самого процессора.

Структурная организация ЭВМ ЕС ориентирована на интенсивное использование программных регистров. Из 145 команд машин семейства «Ряд 1» 95 (команды форматов RX и RR) предполагают использование хотя бы одного операнда, расположенного в РОН или РПЗ. В 49 командах формата КК оба исходных операнда извлекаются из указанных регистров, а результат помещается в один из них, как правило, на место первого операнда. При выполнении команд формата КК, таких, как сложение, вычитание, сравнение и т. д., обращение в оперативную память производится только за командным словом (2 байта), а все пути прохождения информации замыкаются в центральном процессоре. Эти команды выполняются менее, чем за одну микросекунду, что обеспечивает быстродействие на указанном формате более миллиона операций в секунду.

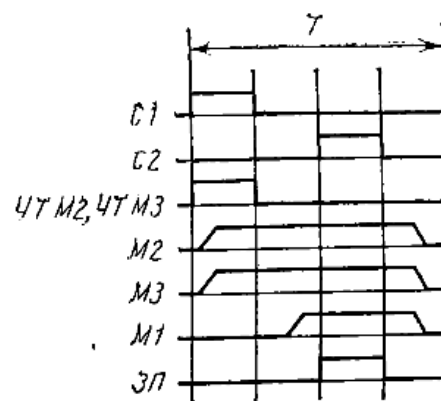
Имеется также группа команд для выполнения действий над десятичными числами и обработки данных переменной длины, в которых исходные данные берутся из ОЦ, в нее же помещаются и результаты обработки (команды формата \$5). Однако и в этих командах используются регистры общего назначения, так как система адресации ЕС ЭВМ предусматривает косвенную и относительную адресацию ячеек ОП, когда компоненты адреса хранятся в РОН. В командах форматов RX, RS, SS адрес операнда указан не непосредственно, а является суммой смещения содержимого индексного регистра и регистра базы. В командном слове указано непосредственно только смещение, а индекс и база адресованы номерами общих регистров, где эти данные расположены. Таким образом, и в тех командах, где операнды расположены в ОП, подразумевается работа программных регистров.

Блок программных регистров представляет собой закопченный функциональный блок, подключенный своими входами и выходами к системе информационных магистралей ЦП [А. с. 613402 (СССР)]. На рис. 29 показаны адресные и информационные связи БРП при

е. На место первого



формата RR



через магистрали

суммирование базы и индекса, пересылки, загрузки и т. п., выполняются аналогично.

полями R1 и R2 команды.

разрядных кодов (слов). Такую же разрядность

имеют и регистры общего назначения. Регистры для операндов с плавающей запятой с номерами 0, 2, 4 и 6 имеют двойную длину, т. е. 64 разряда. Чтобы извлечь для обработки полное содержимое регистра с плавающей запятой, необходимо обратиться в блок дважды: за старшим словом и, продвинув адрес регистра в счетчике на единицу, — за младшим.

РОН и РПЗ адресуются одними и теми же счетчиками. По коду операции определяется, с каким из типов регистров надлежит работать.

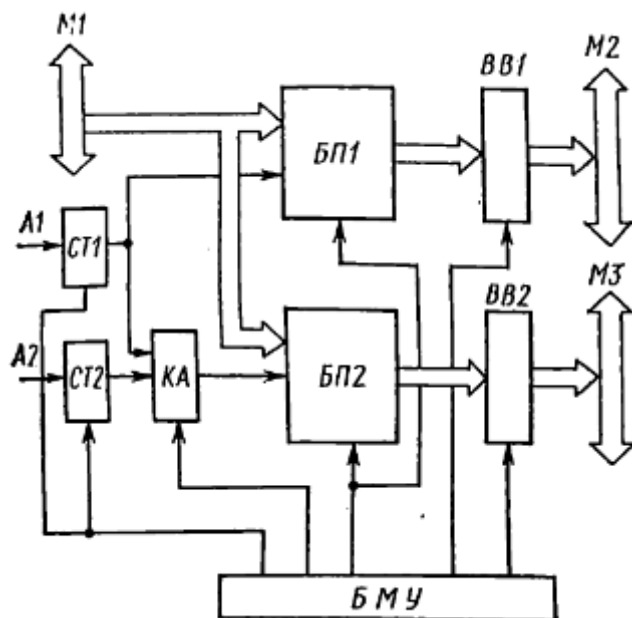


Рис. 31. Структурная схема блока программных регистров

Для организации одновременного считывания информации на два направления, в том числе и из одного и

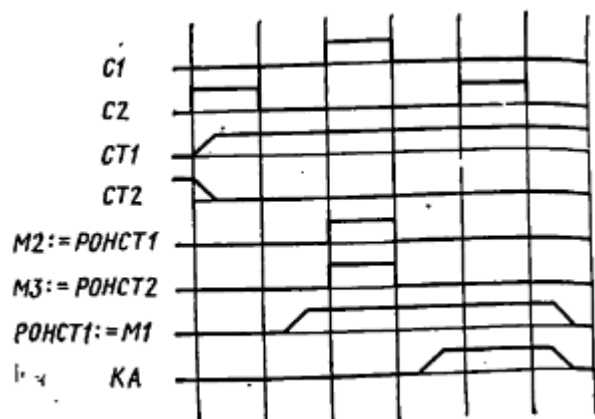


Рис. 32. Временная диаграмма работы программных регистров

того же регистра, необходимо, чтобы каждый запоминающий элемент имел пару независимо управляемых выходных вентилях. Существующие микросхемы, кроме К155ХЛ1, не обладают такими возможностями. Поэтому противоречие между требованиями компактности (применение ИС К155ХЛ1 потребовало бы для реализации блока 24 ТЭЗ) и функциональными требованиями было решено дублированием блока памяти программных регистров, выполненного на ИС К155РУ2 (п. 1.5). Регистры общего назначения состоят из двух блоков памяти БИ и БП (рис. 31), каждый из которых содержит по 16 32-разрядных регистров и дешифраторы 4x16. Информационные входы обоих блоков памяти подключены к первой магистрали ЦП параллельно. Адресация регистров в первом блоке производится от первого счетчика СТ1 РОН. Адресация второго блока выполняется через коммутатор адреса либо от первого, либо от второго счетчиков СТ1 РОН и СТ2 РОН.

Выходы первого и второго блоков памяти через выходные вентили ВВ1 и ВВ2 подключены ко второй и третьей магистралям процессора соответственно. Управление осуществляется блоком микропрограммного управления (БМУ). Устройство регистров плавающей запятой аналогично.

Запись информации в программные регистры всегда происходит с магистрали М1 по микроприказу РОНСТ1:=М1. Адрес регистра, в который происходит запись, определяется содержимым счетчика СТ1 РОН. При этом коммутатор адреса (КА) подключает СТ1 РОН к дешифраторам адреса обоих блоков БП1 и БП2, в результате чего запись в них происходит по одному и тому же адресу. В обычном состоянии СТ2 подключен к БИ, а оба блока памяти находятся в режиме постоянного чтения, т. е. информация из них выдается всегда, когда отсутствует запись. При этом из БИ читается информация из регистра, номер которого хранится в СТЁ, а из БИ2 — из регистра, номер которого хранится в СТ2.

Чтение информации из БРП на два направления и запись информации в него в одном и том же такте происходит, например при выполнении операции сложения (п. 6.1), следующим образом.

По микроприказам М2: =РОНСТ1 и М3: =РОНСТ2 выходные вентили ВВ1 и ВВ2 подключают выходы БИ1 и БП2 к магистралям М2 и М3 на время действия синхроимпульса С1 (рис. 32). Обычно информация, считанная на М2 и М3, поступает в БАЛ для обработки, а результат выдается на М1. По микроприказу РОНСТ1 := М1 этого же такта в промежутке между синхросериями С1 и С2 коммутатор адреса подключает первый счетчик СТ1 к БП2 и запись с М1 происходит в БП1 и БП2 одновременно по одному и тому же адресу в течение времени действия синхроимпульса С2. Таким образом содержимое обоих блоков памяти всегда идентично. При построении блоков на микросхемах с одним выходом наличие второго блока памяти позволяет считывать информацию независимо на два направления. Использование ИС К155РУ2 позволило разместить программные регистры в пяти ТЭЗ «РОН». Счетчики РОН размещены в двух ТЭЗ СТ.

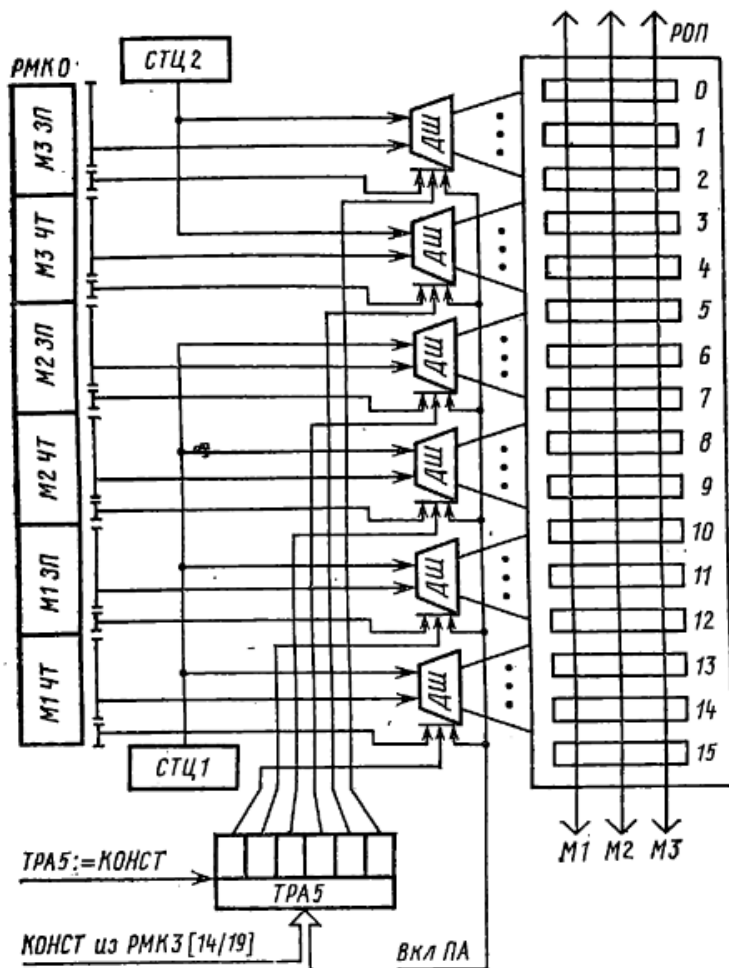
Регистры РОН (РПЗ) не имеют собственных схем контроля и контролируются при чтении из них информации на магистраль. Счетчики РОН имеют автономный контроль, который проверяет правильность приема информации в счетчик и правильность модификации его содержимого. Счетчики также контролируются при чтении информации из них на магистраль.

Блок операционных регистров выполнен с учетом возможности максимального использования преимуществ магистральной организации ПП ЭВМ ЕС-1033 [А. с. 877613 (СССР)]. Все 16 32-разрядных регистров блока построены на ячейках многофункциональной памяти — микросхемах К155ХЛ1 и подключены тремя своими входами-выходами к трем основным магистралям ЦП.

Управление работой БРОП осуществляется блоком микропрограммного управления в соответствии с алгоритмами микропрограмм. Адреса чтения содержимого операционных регистров на магистрали и записи информации с магистралей в регистры вырабатываются адресными дешифраторами, которые выполняют также функции коммутаторов. Исходные адреса задаются либо полями М1 ЧТ, М1 ЗП, М2 ЧТ, М2 ЗП, М3 ЧТ, [М3 ЗП микрокоманды,

либо поступают из четырехразрядных счетчиков циклов СТЦ1 и СТЦ2 (рис. 33). Шестиразрядный управляющий регистр ТРА5 (табличный регистр анализа, п. 3.5) позиционно определяет режим работы дешифраторов. Запись кода в ТРА5 происходит путем записи соответствующей константы из поля микрокоманды.

В первом полутакте работы ЦП выполняется считывание содержимого операционных регистров, адресуемых полями РМК0₁ М1 ЧТ, М2 ЧТ и М3 ЧТ (п. 3.5) на соответствующие магистрали.



Во втором полутакте с магистралей производится запись в операционные регистры, заданные полями М1 ЗП, М2 ЗП и М3 ЗП соответственно. Четыре разряда каждого Поля определяют номер регистра с 0 по 15, а наличие единицы в пятом свидетельствует о том, что задается адрес регистра РОП. Нулевое состояние пятого разряда поля блокирует выполнение действий регистра в данном полутакте с соответствующей магистралью ЦП, а код поля в этом случае является кодом какого-либо микроприказа. Адрес РОП может быть задан также счетчиками.

Рис. 33. Организация управления операционными регистрами

Благодаря высокой функциональной гибкости операционные регистры интенсивно используются при работе ЦИ. Уже на

этапе выборки команд (п. 4.4) и операндов в них закладывается необходимая для выполнения операции информация. Стандартно во всех пяти форматах команд в РОПО засылается константа «ноль» (табл. 21, 22). Таким образом, запись нулевого результата, очистка какого-либо регистра или ячейки памяти осуществляется в процессе выполнения микрокоманды простой пересылкой содержимого РОП с нулевым номером. В РОГ и РОПЗ обычно расположено командное слово. При необходимости оно может быть использовано и в ходе выполнения микропрограммы. В командах формата SS РОП14 отведен под адрес первого операнда в ОП, а при выполнении команд формата S1 его адрес засылается в РОП15. В командах других форматов (RX, RS, SS) РОП15

содержит адрес второго операнда. Для связи микропрограммы обработки прерываний с прочими микропрограммами в качестве ячейки связи используется РОП10. Если при выполнении какой-либо микропрограммы происходит прерывание, в этот регистр записывается константа, отражающая код прерывания, и управление передается микропрограмме обработки прерываний. Последняя стандартно переписывает код прерывания из РОП10 в старое слово состояния программы (ССП), записывает его в ОП и извлекает новое ССП. Таким образом, единая микропрограмма обработки прерываний обслуживает все программные прерывания. При работе с другими микропрограммами в качестве ячеек связи используются другие РОП в соответствии с соглашением между разработчиками микропрограмм.

Особенно интенсивно операционные регистры используются при обработке операндов в десятичных и логических операциях (гл. 8, 9). Интересно использование РОП в командах УПАКОВАТЬ и РАСПАКОВАТЬ (п. 9.4), где поля исходного операнда и результата обработки могут перекрываться в оперативной памяти, а операция должна выполняться таким образом, как будто обработка производится побайтно. В связи с этим возможна такая ситуация, когда очередное слово результата будет воспринято как исходный операнд и обработано еще раз, а результат повторной обработки вновь воспринят как исходный операнд и т. д. В ЕС-1033 при пословном доступе в память, цикл работы которой к тому же в четыре раза больше цикла ЦП, переход на побайтную обработку с обращением в ОП за каждым байтом существенно снижает быстродействие.

Использование операционных регистров устраняет эти ограничения. Сначала слова операндов загружаются в группу РОП, а потом выполняется побайтная обработка информации по тем же принципам, как если бы она находилась в ОП, но уже в темпе работы ЦП. Таким образом, регистрами РОП моделируется участок ОП, работающий в сверхоперативном режиме (время доступа 30 вместо 1600 нс в ОП).

Режим ³переадресации РОП, как метод управления чтением и записью РОП, применен в ЕС-1033 для удобства микропрограммирования операций обработки данных переменной длины. Сущность его заключается в том, что адреса регистров задаются не полями микрокоманды, а адресными регистрами, в качестве которых используются счетчики циклов СТЦ1 и СТЦ2. Предположим, что необходимо сложить два операнда, каждый длиной в четыре слова, расположенных в РОП0—РОП3 и РОП4—РОП7 с помощью АЛУ, ориентированного на пословную обработку. Очевидно, что микропрограмма будет состоять из четырех последовательных участков (сложить РОП0 с РОП4, РОП1 с РОП5 ит. п.), отличающихся только адресами РОП. Усложним задачу: каждый операнд может быть длиной от 1 до 16 байт. Очевидно, что при непосредственной адресации РОП полями микрокоманды необходимо

³ Сорокин Г. П. и др. 65

написать столько вариантов микропрограммы, сколько сочетаний длин операндов может встретиться.

В ЦП ЕС-1033 в подобных ситуациях адресация РОП производится посредством счетчиков, в которые предварительно заносится начальное значение, зависящее от длин операндов. Микропрограмма имеет циклический характер и завершается, когда операнды будут полностью обработаны. С каждым циклом содержимое счетчиков увеличивается на единицу, и та же самая микрокоманда в другом цикле будет работать уже с другими РОП. Указанный прием значительно снижает объем микропрограмм и упрощает их построение,

Включение режима переадресации производится по микроприказу ВКЛ ПА, который блокирует поступление адреса РОП из полей РМК0 и подключает к дешифраторам соответствующие счетчики в качестве адресных регистров РОП (см. рис. 33). Адресация РОП при записи и чтении с М1 и М2 происходит по содержимому счетчика циклов СТЦ1, а адресация РОП при записи и чтении с М3 — по содержимому СТЦ2. Поскольку содержимое полей ЗП и ЧТ микрокоманды игнорируется, то при переадресации режим записи или чтения на определенные магистрали задается специальным шестиразрядным регистром признаков записи—чтения ТРА5 (п. 3.5). Наличие единицы в каком-либо разряде ТРА5 означает, что должна производиться запись (или чтение) с соответствующей магистрали. Например, ТРА5 = 00 0011 означает, что в такте, где имеется микроприказ ВКЛ ПА, содержимое полей микрокоманды как адрес РОП не рассматривается. В этом случае должно быть произведено чтение на М3 содержимого РОШ, номер которого хранится в СТЦ2 и запись с М3 в этот же РОП. ТРА3 = 00 0101 означает, что информация, считанная на М2 и М3 из какого-то другого блока (допустим, сдвинутая информация из сдвигателя), должна быть записана в два РОП. При записи с М2 номер РОП определяется содержимым СТЦ1, при записи с М3 — СТЦ2. Подробно использование режима переадресации рассмотрено в гл. 8 и 9.

Блок операционных регистров выполнен на 16 ТЭЗ РОП, трех ТЭЗ УРОП (управление регистрами операционными) и двух ТЭЗ СТ. Контроль БРОП построен аналогично контролю БРП.

Счетчики СТ РОН и СТЦ имеют автономные схемы контроля (п. 10.1). Они обеспечивают проверку правильности записи информации с магистралей и из зоны константы РМКЗ (п. 3.5), позволяют контролировать правильность модификации содержимого счетчиков, осуществляемой по микроприказам СТ:=+1 и СТ :=-1. Кроме того, счетчики могут контролироваться при чтении их содержимого на магистраль. Запись константы в СТ происходит по синхросерии С2, а модификация содержимого — по С1. Поэтому в такте записи константы прием в РМО сигналов ошибок от схем контроля счетчиков в текущем такте запрещен сигналом блокировки и осуществляется лишь в следующем такте

(п. 10.2). В текущем такте разрешен только прием сигналов ошибок, возникших при модификации содержимого счетчика. При записи информации в счетчик контрольный бит информации записывается в основной триггер Т1 контрольного разряда

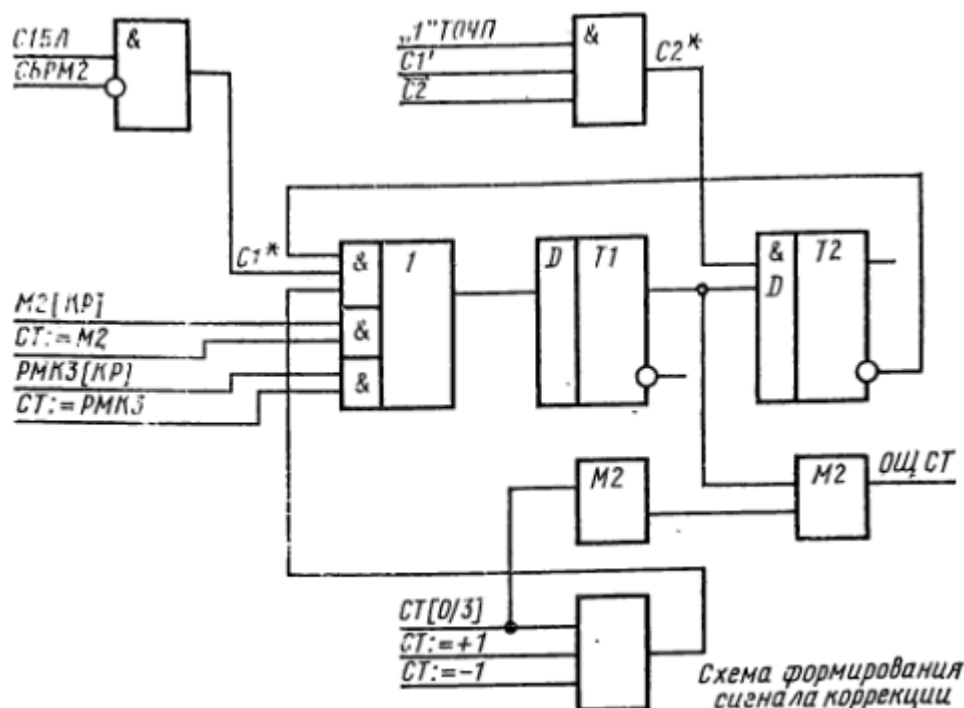


Рис. 34. Функциональная схема контроля счетчика

(рис. 34, 35). При этом запись информации с магистрали М2 по микроприказу СТ:= М сопровождается записью в триггер Т1 значения контрольного разряда М [КР] с магистрали. В случае записи константы из РМКЗ — значение контрольного разряда РМКЗ [КР] поступает в Т1 из соответствующей зоны РМК (п. 3.5). Запись информации в СТ происходит по С2. После того как информация в счетчике примет установившееся значение, по вспомогательной серии С2* значение контрольного разряда из основного триггера Т1 переписывается в буферный триггер Т2. Принятая информация сверяется по mod2, и полученное значение сравнивается со значением контрольного разряда, хранящимся в триггере Т1. В случае несравнения формируется сигнал ошибки счетчика ОШ СТ. Прием этого сигнала в РМО в текущем такте блокируется сигналом блокировки. Сигнал ошибки принимается по синхросерии С2"БЛ лишь в следующем такте.

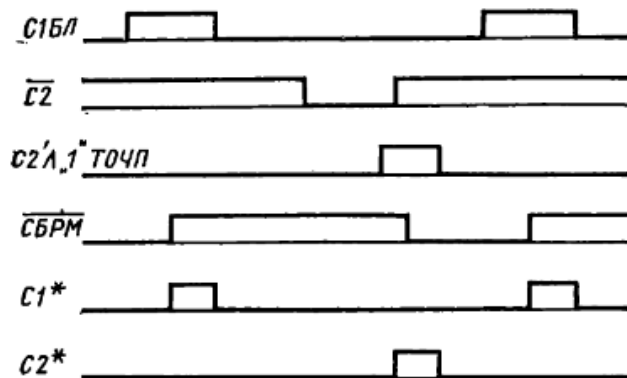


Рис. 35. Формирование блокируемых синхросерий С1* и С2*

При модификации содержимого счетчика, которая происходит по серии С1, схема формирования сигнала коррекции

контрольного разряда вырабатывает корректирующий сигнал, если значение контрольного разряда в процессе модификации содержимому счетчика должно измениться. Эта схема реализует предсказание четности результата в соответствии со следующими соотношениями:

$$C_{\text{кор}} = \overline{a_0} \vee a_1 \overline{a_2}$$

в случае модификации на +1 и

$$C_{\text{кор}} = a_0 \vee \overline{a_1} a_2$$

в случае модификации на -1,

где $C_{\text{кор}}$ — сигнал коррекции; a_0, a_1, a_2 — значения младших разрядов счетчика до модификации (a_0 — самый младший разряд). Например, при переходе значения счетчика от 0100 к 0101 $C_{\text{кор}} = 1$, а при переходе значения от 0101 к 0110 $C_{\text{кор}} = 0$.

После того как по сигналу модификации содержимое счетчика изменится и одновременно с этим будет выработан сигнал коррекции, по синхросерии $C2^*$ (см. рис. 35) инверсное значение контрольного разряда из буферного триггера Т2 будет переписано в основной триггер Т1. Значение контрольного разряда, снимаемое с выхода Т1, сравнивается с вновь сформированным. Ошибка, если она возникла, фиксируется в РМО по синхросерии $C2'$ БЛ этого же такта.

Схемы контроля расположены в ТЭЗ СТ. Контроль счетчиков СТ РОН и СТЦ организован одинаково.

2.4. АРИФМЕТИКО-ЛОГИЧЕСКИЙ БЛОК

Центральный процессор выполняет команды и обрабатывает данные, представленные в различных форматах и системах счисления. Наибольшая нагрузка при вычислениях ложится на арифметико-логический блок [38].

Этот блок предназначен для логической и арифметической обработки двоичных данных, представленных в форме чисел с фиксированной и плавающей запятой, двоично-кодированных десятичных и символьных данных. В ходе обработки информации БАЛ формирует признак результата (код условия) и выдает его для записи в разряды 34, 35 регистра слова состояния программы. При обработке десятичных данных на входах БАЛ проверяется правильность исходных кодов чисел. Блок позволяет осуществлять параллельную обработку 32-разрядных операндов, которые могут быть либо двоичными, либо двоично-десятичными числами, содержащими по 8 двоично-кодированных десятичных цифр. Управление работой БАЛ микропрограммное. Блок состоит из восьми ТЭЗ «АЛУ», двух ТЭЗ «Переносы АЛУ» и одного ТЭЗ «Ноль сумматора».

Использование БАЛ в процессоре с магистральной структурой определило ряд его особенностей. Гак, наличие в магистральных коммутаторах элементов памяти, запоминающих и сохраняющих

в течение такта работы поступившую в них информацию, обеспечивает работу комбинационных схем БАЛ без традиционных входных регистров. Возможности ключевых схем входов и выходов операционных регистров, регистров общего назначения и регистров плавающей запятой, допускающих обращение одновременно по трем адресам (например, два для чтения, один для записи), позволяют выдавать результат обработки информации в БАЛ непосредственно на магистраль М1 без промежуточных коммутаторов и

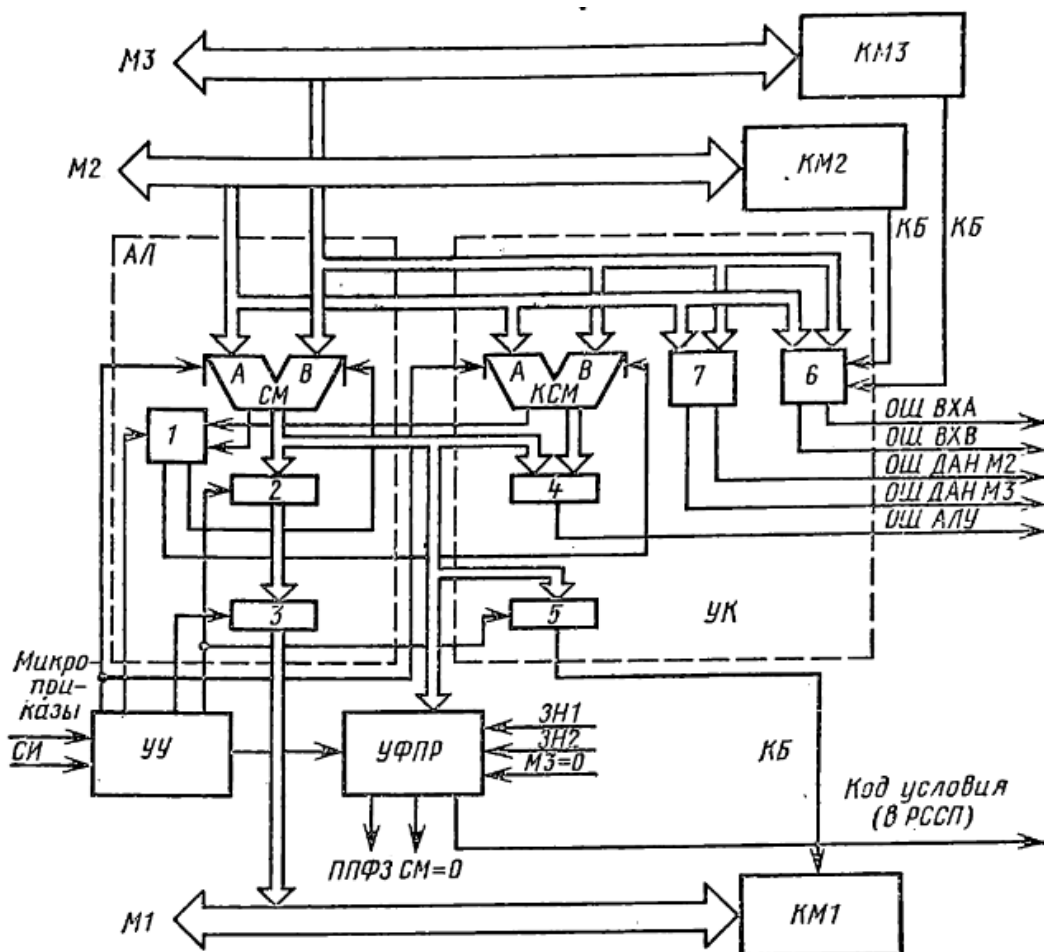


Рис. 36. Структурная схема БАЛ

применения вспомогательного выходного регистра — аккумулятора. Отсутствие традиционных схем сдвига выходной информации обусловлено наличием в процессоре отдельного быстродействующего блока сдвига.

В состав БАЛ входят (рис. 36) узел арифметико-логический (АЛ), узел контроля (УК), узел управления (УУ), узел формирования признака результата (УФПР).

Информация, подлежащая обработке, поступает на входы БАЛ со второй (первый операнд) и с третьей (второй операнд) информационных магистралей ЦП. Преобразование информации осуществляется комбинационными схемами БАЛ. Результат выдается на первую информационную магистраль не позднее чем через 120 нс после поступления входных операндов.

Таблица 7

Код поля S PMK1	Логические, M=1	Арифметические функции, M=0	
		PCM=0	PCM=1
0000	a_i	$A - 1$	A
0001	$\overline{a_i b_i}$	$AB - 1$	AB
0010	$a_i \vee b_i$	$\overline{AB} - 1$	AB
0011	0	-1 (в до полнитель ном коде)	0
0100	$\overline{a_i \vee b_i}$	$A + (A \vee \overline{B})$	$A + (A \vee \overline{B}) + 1$
0101	$\overline{b_i}$	$AB + (A \vee \overline{B})$	$AB + (A \vee \overline{B}) + 1$
0110	$\overline{a_i \oplus b_i}$	$A - B - 1$	$A - B$
		$(A - B - 1)^{**}$	$(A - B)^{**}$
0111	$a_i \vee \overline{b_i}$	$A \vee \overline{B}$	$(A \vee \overline{B}) + 1$
1000	$\overline{a_i} b_i$	$A + (A \vee B)$	$A + (A \vee B) + 1$
1001	$a_i \oplus b_i$	$A + B$	$A + B + 1$
		$(A + B)^{**}$	$(A + B + 1)^{**}$
1010	b_i	$\overline{AB} + (A \vee B)$	$\overline{AB} + (A \vee B) + 1$
1011	$a_i \vee b_i$	$A \vee B$	$(A \vee B) + 1$
1100	0	$A + A^*$	$A + A^* + 1$
1101	Задача выдачи результата на M1		
1110	$a_i b_i$	$\overline{AB} + A$	$\overline{AB} + A + 1$
1111	a_i	A	$A + 1$
Примечание. $A=a_0, a_1, \dots, a_{31}$; $B=b_0, b_1, \dots, b_{31}$;			
* Сдвиг на один разряд влево.			
** Операции на десятичными данными.			

Узел АЛ состоит из многофункционального сумматора - преобразователя СМ;

схемы 1 установки входного переноса сумматора (PCM) и хранения переноса из старшего разряда сумматора;

схемы 2 десятичной коррекции;

вентильной схемы 3 выдачи результата на M1.

Сумматор-преобразователь СМ осуществляет непосредственные преобразования 32-разрядных операндов, поступающих на его входы. СМ выполнен на восьми четырёхразрядных интегральных микросхемах K155КПЗ повышенной степени интеграции (п. 1.5). Вид обработки (арифметический или логический) и выполняемая функция задаются микропрограммно полями M и S PMK1 (п. 3.5). Значение одноразрядного поля M поступает на входы M, а четыре разряда поля 5 — на входы S0—S5 всех микросхем, составляющих СМ. Значение входного переноса СМ задается специальным микроприказом для каждого такта работы. Перечень операций, выполняемых БАЛ, приведён в табл. 7.

Для повышения быстродействия СМ содержит также в своем составе схему полного предварительного просмотра и регенерации межгрупповых переносов.

обеспечивает подачу входных переносов в каждую ИС К155ИПЗ не позже, чем через 30 нс после выработки микросхемой на выходах Р и Г признаков этих переносов.

Схема установки и хранения переноса обеспечивает подачу на вход сумматора заданного микропрограммой значения ПСМ, а также хранение выходного переноса из сумматора, полученного в результате операции. Последнее необходимо, когда в БАЛ обрабатываются операнды длиной более 32 разрядов, например, 64-разрядные числа с плавающей запятой, десятичные операнды, размещающиеся в полях, длина которых превышает формат слова ит. п.

Как следует из табл. 7, БАЛ обеспечивает также сложение и вычитание операндов, представленных в двоично-кодированном десятичном коде. Корректировка результата осуществляется по управляющему сигналу коррекции «+10» и выполняется схемой 2 десятичной коррекции. Необходимость этого объясняется тем, что при десятичном сложении один из операндов (безразлично который) должен быть представлен в коде «с избытком 6». Это означает, что к каждой десятичной цифре должно быть заранее прибавлено число 6. Внесение избытка необходимо для организации переноса в старшую десятичную цифру, если сумма в соседней младшей превысит число 9. Если же сумма не превышает 9, то результат в данной тетраде получается на 6 больше истинного. Схема десятичной коррекции обеспечивает вычитание числа 6 (или прибавление числа 10, что эквивалентно) из тех десятичных цифр результата, из которых не было переноса. Корректировка производится непосредственно после получения результата на выходе сумматора в том же такте обработки. При вычитании десятичных чисел коррекция какой-либо цифры производится при наличии заёма из соседней старшей цифры также вычитанием числа 6. Во всех случаях коррекция выполняется логическими схемами без применения дополнительных сумматоров. При обработке двоичных данных схема десятичной коррекции не оказывает влияния на получаемый результат.

С выхода узла АЛ результат поступает на магистраль М1 через вентильную схему 3. Так как сумматор комбинационный, то на его выходе всегда присутствует результат обработки чисел, находящихся на М2 и М3. Одной из комбинаций разрядов управляющей функции ($S = D$) запрещается подключение выхода АЛ к М1. При этом признак результата операции все же вырабатывается в РССП. Такой режим используется в операциях сравнения, где нужен только признак результата. При выполнении сравнения магистраль М1 свободна для пересылок информации и используется для реализации какой-либо параллельной ветви алгоритма. Сигнал запрета вырабатывается схемно также при наличии одного из микроприказов чтения на М1 содержимого РИП или РОП.

Признак результата операции вырабатывается при выполнении многих команд ЕС ЭВМ. Обычно он формируется совместно с результатом. Однако в ряде команд этот признак сам по себе является

единственным результатом (больше нуля, меньше нуля, равен нулю, который из операндов больше, было ли переполнение и т. д.) и используется в командах переходов. В БАЛ для выработки признака результата служит узел УФИР, подключенный непосредственно к выходу многофункционального сумматора и осуществляющий аппаратный анализ полученного результата. Этот узел представляет собой совокупность семи отдельных схем, каждая из которых вырабатывает признак для соответствующего типа команд (прил. 9) Выходы всех схем подключены к разрядам 34, 35 РССП. Активизация каждой схемы выполняется соответствующим микроприказом. Подключение УФПР непосредственно к выходу СМ позволяет сформировать признак результата одновременно с выдачей результата обработки информации в сумматоре. Вследствие этого многие команды форматов RR и RX, пройдя процесс декодирования и выборки операндов, выполняются и завершаются за один машинный такт (п. 6.1).

В табл. 8 приведены условия формирования признака результата для следующих семи типов команд:

команды арифметической обработки чисел с фиксированной запятой — признак результата арифметический (ПРА);

команды арифметической обработки чисел двойной точности с фиксированной запятой — признак результата арифметический, двойной точности (ПРАД);

команды арифметической обработки чисел: с плавающей запятой — признак результата арифметических операций с плавающей запятой (ПРАП);

команды арифметической обработки чисел двойной точности с плавающей запятой — признак результата арифметических операций с плавающей запятой двойной точности (ПРАПД);

команды логической обработки — признак результата логических операций (ПРЛ);

команды арифметического сравнения — признак результата операций арифметического сравнения (ПРСРА);

команды сравнения кодов — признак результата операций логического сравнения (ПРСРЛ).

Кроме формирования признака результата УФПР вырабатывает сигнал о переполнении в операциях над числами с фиксированной запятой для перехода на обработку прерывания по переполнению (в операциях с плавающей запятой признак переполнения формируется микропрограммно). Вовне выдается также и сигнал о нулевом значении полученного результата для работы схем анализа блока микропрограммного управления.

БАЛ является одним из наиболее ответственных и интенсивно используемых блоков центрального процессора. Это предъявляет высокие требования к средствам обеспечения достоверности результатов. В БАЛ реализован сквозной непрерывный контроль приема, преобразования и выдачи информации.

Группа команд	Вид признака результата	Условия формирования	Код признака результата
Арифметическая обработка чисел с фиксированной запятой	ПРА	$(CM[0] = 0) \wedge (CM[1/31] = 0) \wedge (ППФЗ = 0)$ $(CM[0] = 1) \wedge (ППФЗ = 0)$ $(CM[0] = 0) \wedge (CM[1/31] \neq 0) \wedge (ППФЗ = 0)$ $ППФЗ = 1$	00 01 10 11
Арифметическая обработка чисел двойной точности с фиксированной запятой	ПРАД	$(CM[0] = 0) \wedge (CM[1/31] = 0) \wedge (CM[1/31] = 0) \wedge (M3 = 0) \wedge (ППФЗ = 0)$ $(CM[0] = 1) \wedge (ППФЗ = 0)$ $(CM[0] = 0) \wedge ((CM[1/31] \vee M3) \neq 0) \wedge (ППФЗ = 0)$ $ППФЗ = 1$	00 01 10 11
Команды логической обработки	ПРЛ	$(CM = 0) \wedge (PCM = 0)$ $(CM \neq 0) \wedge (PCM = 0)$ $(CM = 0) \wedge (PCM = 1)$ $(CM \neq 0) \wedge (PCM = 1)$	00 01 10 11
Команды арифметического сравнение	ПРСРА	$(CM = 0) \wedge (PCM = 1)$ $(CM = 0) \wedge [(PCM = 0) \wedge (3H1 = 3H2) \vee (PCM = 1) \wedge (3H1 \neq 3H2)]$ $(CM \neq 0) \wedge [(PCM = 1) \wedge (3H1 = 3H2) \vee (PCM = 0) \wedge (3H1 \neq 3H2)]$	00 01 10
Команды сравнения кодов	ПРСРЛ	$(CM = 0) \wedge (PCM = 1)$ $(CM \neq 0) \wedge (PCM = 0)$ $(CM \neq 0) \wedge (PCM = 1)$	00 01 10
Арифметическая обработка чисел с плавающей запятой	ПРАП	$CM[8/31] = 0$ $(CM[0] = 1) \wedge (CM[8/31] \neq 0)$ $(CM[0] = 0) \wedge (CM[8/31] \neq 0)$	00 01 10
Арифметическая обработка чисел двойной точности с плавающей запятой	ПРАПД	$(CM[8/31] = 0) \wedge (M3 = 0)$ $(CM[0] = 1) \wedge (CM[8/31] \vee M3 \neq 0)$ $(CM[0] = 0) \wedge (CM[8/31] \vee M3 \neq 0)$	00 01 10
Примечания: 3H1, 3H2 — знаки первого и второго операндов; ППФЗ — переполнение в операции с фиксированной запятой; см [...] — значение соответствующих разрядов сумматора; CM[0] — знаковый разряд сумматора; CM = 0 — результат на выходе сумматора нулевой; PCM — перенос из сумматора M3 = 0 — на M3 считан нулевой операнд.			

Высокая достоверность результатов обработки информации обеспечивается узлом контроля, Особенности связи БАЛ с магистралями процессора и построения аппарата преобразования обусловили необходимость применения нескольких методов контроля. БАЛ оснащен схемами 6 (см. рис. 36) контроля входных данных, схемой 4 поразрядного сравнения результатов и схемами 2 формирования и коррекции контрольных разрядов результата. Во входных и выходных цепях БАЛ используется метод контроля информации по $\text{mod} 2$, что отвечает общим принципам контроля передачи информации в ЦП (п. 1.4). Преобразование информации контролируется путем дублирования аппарата преобразования и последующего сравнения результатов. Основной и контрольный сумматоры (СМ и КСМ) включены параллельно и работают одновременно, при несовпадении значений хотя бы в одном разряде результатов сумматоров вырабатывается сигнал ошибки (ОШ АЛУ, см. табл. 35) от тетрадной группы, в которую входит этот разряд. Это позволяет кроме проверки исправности самих микросхем К155ИПЗ контролировать также и работу схем формирования переносов и тракты их соединения с сумматором. Достоверность поступающей на обработку информации обеспечивается входными схемами потетрадного контроля. В случае несовпадения четности какой-либо тетрады с сопровождающим ее контрольным разрядом вырабатываются сигналы ОШ ВХА или ОШ ВХВ (табл. 35). Сигналы ошибок вырабатываются для каждой отдельной тетрады по каждому из входов А и В. Наличие тетрадного контроля входной информации и результата обработки позволило повысить степень локализации места неисправности, поскольку привязанный к конкретной тетраде сигнал ошибки значительно сужает область поиска.

Результат обработки поступает на магистраль М1 вместе с контрольными битами, сформированными соответствующими схемами БАЛ. Выработка их производится параллельно с работой схемы десятичной коррекции результата. При коррекции десятичного результата его четность может измениться. Поэтому для такого случая предусмотрена дополнительная коррекция контрольных битов. Контрольные биты тетрад результата поступают в магистральный коммутатор КМ1, где они преобразуются в контрольные биты байт числа на магистрали (п. 2.2). Для ускорения процессов формирования и коррекции контрольных разрядов рассматриваемые схемы выполнены на элементах с тремя состояниями (п. 1.5).

К средствам обеспечения достоверности информации относятся также схемы проверки правильности десятичных данных 7. Десятичные данные, поступающие на входы БАЛ, постоянно проверяются на правильность кодов десятичных цифр (кодами десятичных цифр являются 0000—1001). Если значение кода хотя бы одной из тетрад по любому из входов А или В превышает 1001, вырабатываются сигналы ОШ ДАН М2 или ОШ ДАН М3. Сигналы используются для прекращения выполнения команды и возбуждения процедуры обработки прерывания по особому случаю в данных.