

УДК 681.327.6-185.4

Бостанджян Ю.Г.
 Ключевич Т.П.
 Косарева Э.Н.
 Перельмутер Д.Е.
 Симхес В.Я.
 Шука И.К.

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И ОСОБЕННОСТИ
 ПОСТРОЕНИЯ ОПЕРАТИВНОЙ ПАМЯТИ
 МОДЕЛИ 1020 ЕС ЭВМ

Приводятся основные технические и эксплуатационные параметры устройства оперативной памяти модели ЕС-1020, описываются принцип построения устройства и основных его узлов, особенности некоторых схемных и конструктивных решений, методы проверки работоспособности устройства и его узлов в условиях производства и у потребителя.

Устройство оперативной памяти процессора ЭВМ модели ЕС-1020 построено по системе выборки 2,5 D на термостабильных ферритовых сердечниках МЗВТ-К 0,8x0,55x0,22 мм.

Помимо основной памяти (ОП) процессора устройство включает в себя дополнительный объем самостоятельно-адресуемой встроенной памяти, часть которой используется в качестве локальной памяти (ЛП), а часть - в качестве памяти мультиплексного канала (МП).

Устройство в зависимости от объема памяти имеет три модификации (табл.1), причем предусмотрена возможность наращивания объема памяти у потребителя от младших модификаций к старшим.

Таблица 1

Модификация	Объем ОП, байты	Объем ЛП, байты	Объем МП, байты
I	64К	256	768
II	128К	256	1792
III	256К	256	1792

Обмен информацией с вычислителем осуществляется параллельно двумя байтами (18 двоичными разрядами).

Цикл обращения к памяти — "расщепленный" и состоит из двух самостоятельных тактов — ЧТЕНИЕ и ЗАПИСЬ, длительностью 1 мкс каждый. Соответственно устройство выполняет лишь две операции, определяемые командами Чт и Зп. По команде Чт производится считывание двух байтов информации из памяти, признак которой (ОП, МП или ЛП) поступил совместно с командой Чт, по адресу, поступившему по 42 кодовым шинам адреса (КША), и выдача считанной информации на кодовые шины чтения (КШЧ) не позднее, чем через 0,85 мкс. По команде Зп производится запись поступившей по 18 кодовым шинам записи (КШЗ) информации по адресу, который поступил в такте ЧТЕНИЕ.

Адрес содержит 18 значащих и 3 контрольных разряда и поступает в устройство парафазным импульсным кодом. В устройстве производится контроль кода адреса на четность с выдачей в процессор признака сбоя, а также имеются цепи контроля правильности адресации, которые блокируют работу устройства и вырабатывают признак сбоя в случае обращения к несуществующему в данной модификации объему ОП или МП.

Регистр информации в устройстве отсутствует: регенерация и запись информации осуществляются через информационный регистр вычислителя. Там же производится контроль на четность считанной информации.

Автономный режим работы устройства не предусмотрен. Для обнаружения неисправностей и проверки работоспособности устройства при его эксплуатации в составе процессора разработан специальный микропрограммный тест проверки оперативной памяти, запуск которого осуществляется с пульта управления процессора без применения каких-либо внешних устройств. Тест позволяет вести проверку памяти в режимах "адресный код", "перепись" "1" и "0", "перепись тяжелых кодов" (прямого и обратного). Автономная проверка работоспособности устройства на про-

изводстве ведется в тех же режимах с помощью специально разработанного стенда проверки.

Логические цепи устройства выполнены на микросхемах серии 155, а связи с вычислителем осуществляются последовательно согласованными витыми парами, на которые в качестве усилителей-передатчиков работают элементы с повышенной нагрузочной способностью серии 155. Схемы управления магнитным накопителем, в основном, выполнены на дискретных компонентах.

Питание устройства осуществляется от унифицированных источников постоянного напряжения типа УБП, расположенных в стойке питания процессора ЕС-1020, где они занимают объем половины стандартной рамы унифицированной стойки. Номиналы питающих напряжений следующие: ± 5 , $+12,6$, $+20$ В, а максимальная потребляемая от них мощность составляет менее 0,3 кВА.

С целью реализации требований переменного объема памяти и возможности его наращивания у потребителя устройство полного объема функционально разбито на четыре блока с емкостью основной памяти 64К байта каждый, а устройство управления содержит общие для всех блоков цепи управления. Так как обмен информацией осуществляется параллельно двумя байтами, фактически объем основной памяти каждого блока составляет 32К 18-разрядных слова.

Общее поле ферритовых сердечников блока, равное произведению числа ячеек памяти на число двоичных разрядов в ячейке $M - (32768 \times 18)$, трансформируется в поле системы $2,5 D$ как $\left(\frac{N}{n}\right) \times (M \cdot n)$, где n - число разрядных шин выборки каждого разряда, определяемое, с одной стороны, из условия минимума оборудования цепей выборки, а с другой, - из условия требуемого соотношения нагрузки на выходы адресного и адресно-разрядного (разрядного) дешифраторов. При построении обоих дешифраторов по одной схеме второе условие сведется к равенству нагрузки на выходы дешифраторов (равенству числа сердечников на адресных и разрядных шинах выборки) и запишется

$$n = \sqrt{\frac{N}{2M}}$$

С учетом двукратного сокращения общего числа выходов адресного дешифратора за счет переключения токовых импульсов выборки, а также построения адресного дешифратора из ряда отдельных дешифраторов на 256 выходов каждый условие минимума оборудования, как нетруд-

но показать, будет иметь вид $n = \sqrt{\frac{N^2}{256 M^2}}$. На основании найденных из этих условий значений n (24 и 30) число разрядных шин выборки выбрано равным 32 и ферритовому полю каждого блока придана конфигурация 1024x32x18. Это поле обслуживается 2 адресными дешифраторами на 256 выходов и 18 разрядными дешифраторами на 32 выхода каждый.

Ферритовое поле каждого блока располагается по обеим сторонам одной плоскости, причем попарно соединенные соседние адресные обмотки на каждой стороне образуют 256 U-образных шин выборки, обслуживаемых своим адресным дешифратором, а разрядные шины выборки переходят с одной стороны плоскости на другую, так что разрядные дешифраторы располагаются по обеим ее сторонам (рис.1).

Дополнительный объем 1024 байта (512 18-разрядных слов) для ЛП и МП обеспечивается введением в каждый блок 8 дополнительных адресных шин выборки и соответственного увеличения числа выходов адресных дешифраторов с 256 до 260. При этом объем оборудования выборки каждого блока возрастает всего на четыре токовых ключа (КТ) и несколько усложняется предварительный дешифратор, выполненный на микросхемах. Все остальное оборудование является общим для всех трех типов памяти.

Адресный и адресно-разрядный дешифраторы построены по распространенной схеме диодно-матричного переключателя с двумя диодами на каждую шину выборки и отдельными токовыми ключами для чтения и записи (рис.2). Более экономичный вариант этой схемы с общими ключами чтения-записи отвергнут, так как предъявляет слишком жесткие требования к временным параметрам токовых ключей, а применению схем дешифраторов с трансформаторным выходом (магнитные матричные переключатели с распределенной нагрузкой, диодно-трансформаторные схемы и др.) препятствует неоднозначность уровня восстановления выходных трансформаторов при расщепленном цикле. При проектировании дешифраторов токовой выборки по схеме диодно-матричного переключателя, как правило, возникают три основные проблемы: а) получение требуемого времени включения и, особенно, выключения токовых ключей; б) обеспечения амплитуды токовых импульсов и минимального разбросов в шинах выборки; в) формирования в шинах выборки токовых импульсов заданной формы.

В системе выборки 2,5 D проблема быстрого записывания токовых ключей разрядных дешифраторов усложняется тем, что в режиме записи кода "0" через зашунтированные

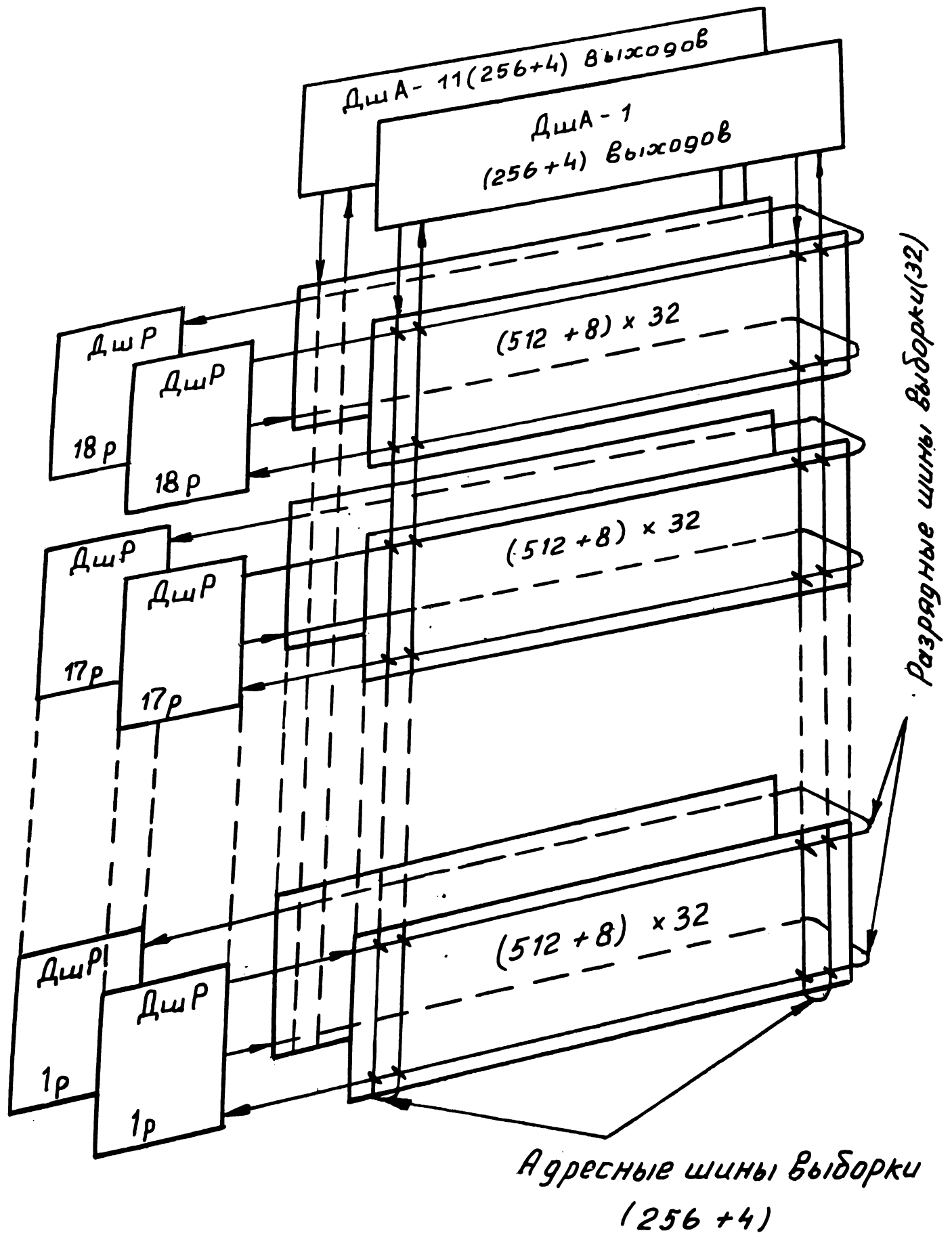


Рис.1 Построение магнитного блока

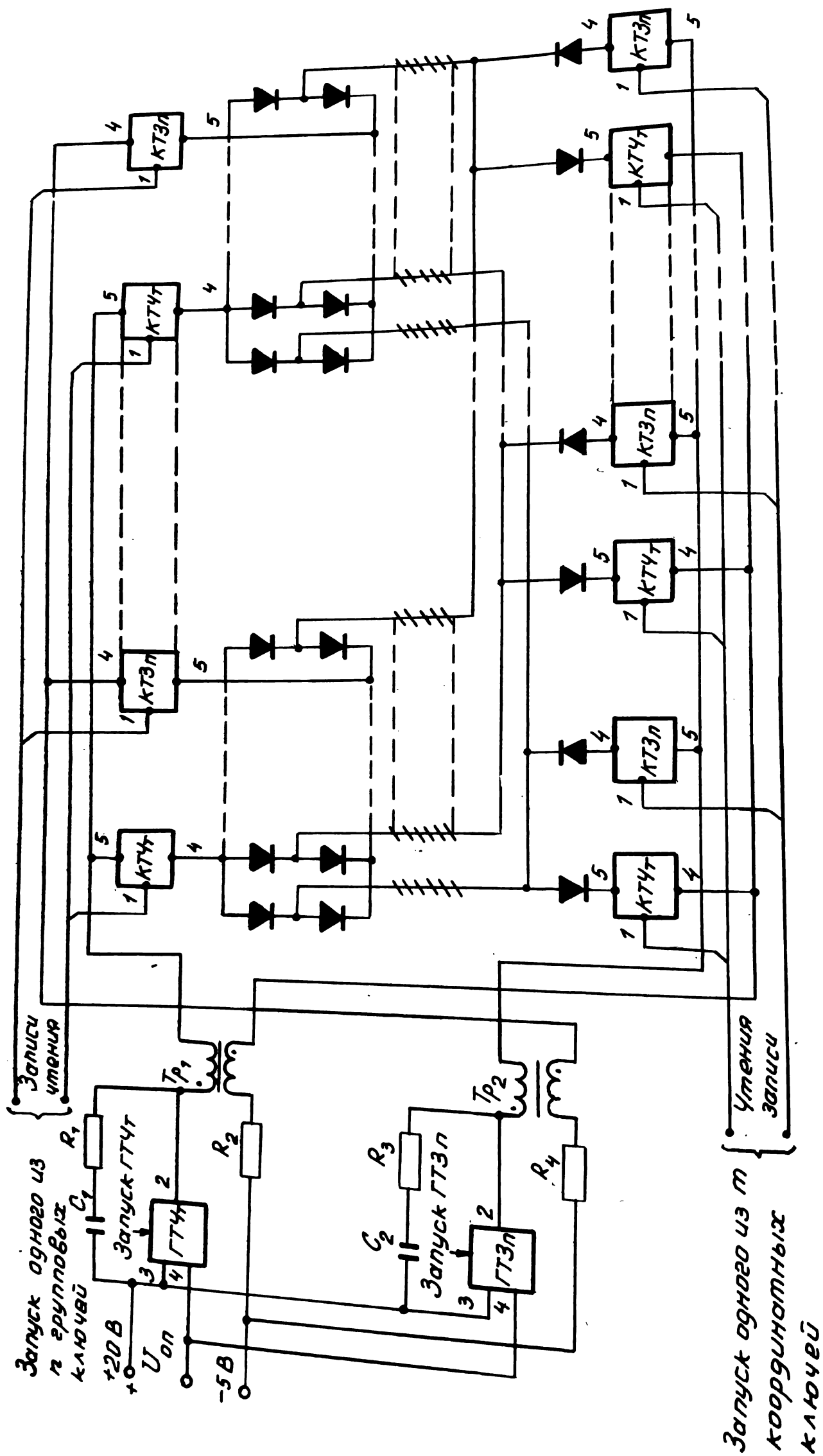


Рис.2. Схема дешифратора токовой выборки:
 $R_1, R_2, R_3, R_4 = R_{цзм}$; $C_1, C_2 = 1800 \text{ пФ}$

по входу ключи ток нагрузки не протекает. Исключить такой режим работы ключей можно путем введения блокировки запуска ключей записи в соответствующих разрядных дешифраторах, однако такой метод требует применения неэкономичной схемы параллельного запуска ключей в 18 разрядных дешифраторах.

В описываемых дешифраторах проблема быстрого выключения токовых ключей решена за счет ненасыщенного режима их работы, что потребовало обеспечения стабильности амплитуды токовых импульсов выборки.

В схеме разработанного токового ключа КТ (рис.3) с трансформаторным запуском ненасыщенный режим работы транзистора T_1 (2Т 603И) обеспечивается нелинейной обратной связью, выполненной на диоде D_1 и дополнительной вторичной обмотке w_3 трансформатора Tr_1 .

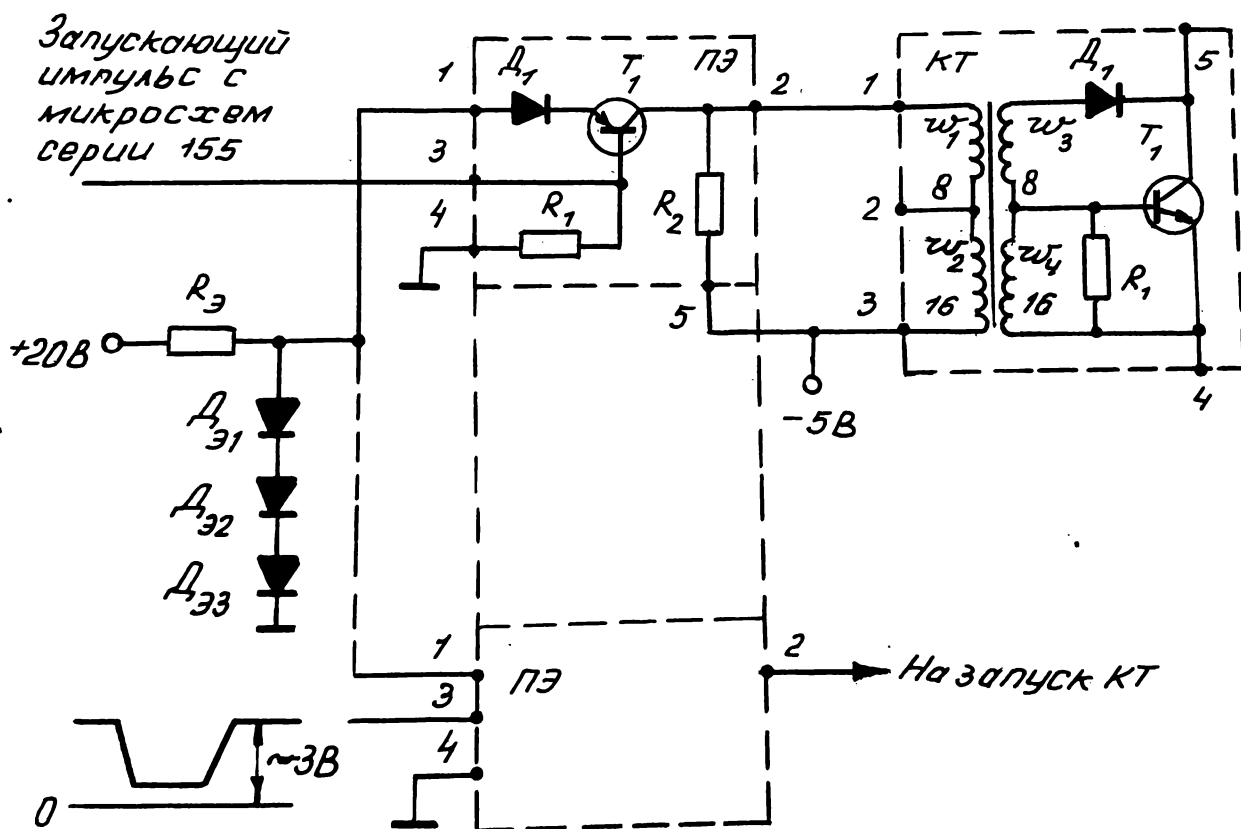


Рис.3. Схема токового ключа и переходного элемента

В этом случае коллекторное напряжение $U_{к-э}$ открытого транзистора T_1 будет поддерживаться нелинейной обратной связью на уровне, определяемом выражением

$$U_{к-э} = \frac{U_{б-э} (w_3 + w_4)}{w_4} - U_d,$$

где U_d - прямое падение напряжения на диоде D_1 .

Максимальный разброс значения $U_{к-э}$, определенный при максимальном и минимальном значениях $U_{б-э}$ и $U_{э}$ в заданном диапазоне рабочих температур, составляет $\Delta U_{кЛ} \leq 0,85$ В.

Запуск токового ключа осуществляется с помощью переходного элемента ПЭ (см. рис.3), который собран на транзисторе 1Т 308В (T_1) по схеме с общей базой, что обеспечивает высокое выходное сопротивление каскада. В исходном состоянии транзистор T_1 заперт высоким уровнем с микросхем серии 155. При поступлении на базу T_1 низкого уровня ток, задаваемый резистором R_3 (40 мА) и протекавший через диоды $D_{31} \div D_{33}$, переключается в коллекторную цепь T_1 и осуществляет запуск КТ по входу 1-3. Токозадающая цепочка $R_3 - D_3$ обслуживает группу ПЭ, в которой запускается лишь один элемент.

Описанные токовые ключи предназначены для использования как в адресных, так и в разрядных дешифраторах, причем, запуск одноименных ключей во всех разрядных дешифраторах осуществляется от такого же ключа, в коллекторной цепи которого включены две ветви по девять последовательно соединенных входных обмоток разрядных ключей (рис.4). Величина балластных сопротивлений $R_{\delta 1}$ и $R_{\delta 2}$ выбрана такой, чтобы обеспечить в ветвях запуски режим источника тока. При этом питание цепей запуска осуществляется напряжением 25 В (-5+20В); для предотвращения превышения коллекторного напряжения на транзисторе на его эмиттер подается уровень +5В с делителей $R_{\delta 1} - D_1$ и $R_{\delta 2} - D_2$.

Переключение направления токовых импульсов выборки приводит к режиму двукратного в течение одного цикла запуска ключей дешифраторов с паузой менее чем 200 нс (рис.5). Запуск ключей импульсами тока от источников с большим выходным сопротивлением позволил сравнительно просто выполнить эти требования. Разработанные токовые ключи рассчитаны на пропускание импульсов с амплитудой до 400 мА (при скважности $Q > 2$) и времени включения ≤ 100 нс и выключения ≤ 150 нс.

На стабильность амплитуды токовых импульсов также влияет разброс прямого падения напряжения на разделительных диодах дешифратора ΔU_{δ} , в качестве которых применены быстродействующие кремниевые диодные матрицы типа 2Д 908А и 2Д 917А (для них ΔU_{δ} достигает 0,35 В), а также разброс активного сопротивления самих выборок, который обусловит разброс падения напряжения $\Delta U_{ш}$ до 0,1 В.

Следовательно, суммарный максимальный разброс падения напряжения на нагрузке составит $\Delta U_{н} = 2 \Delta U_{кЛ} + 2 \Delta U_{\delta} + 2 \Delta U_{ш} \approx 2,5$ В.

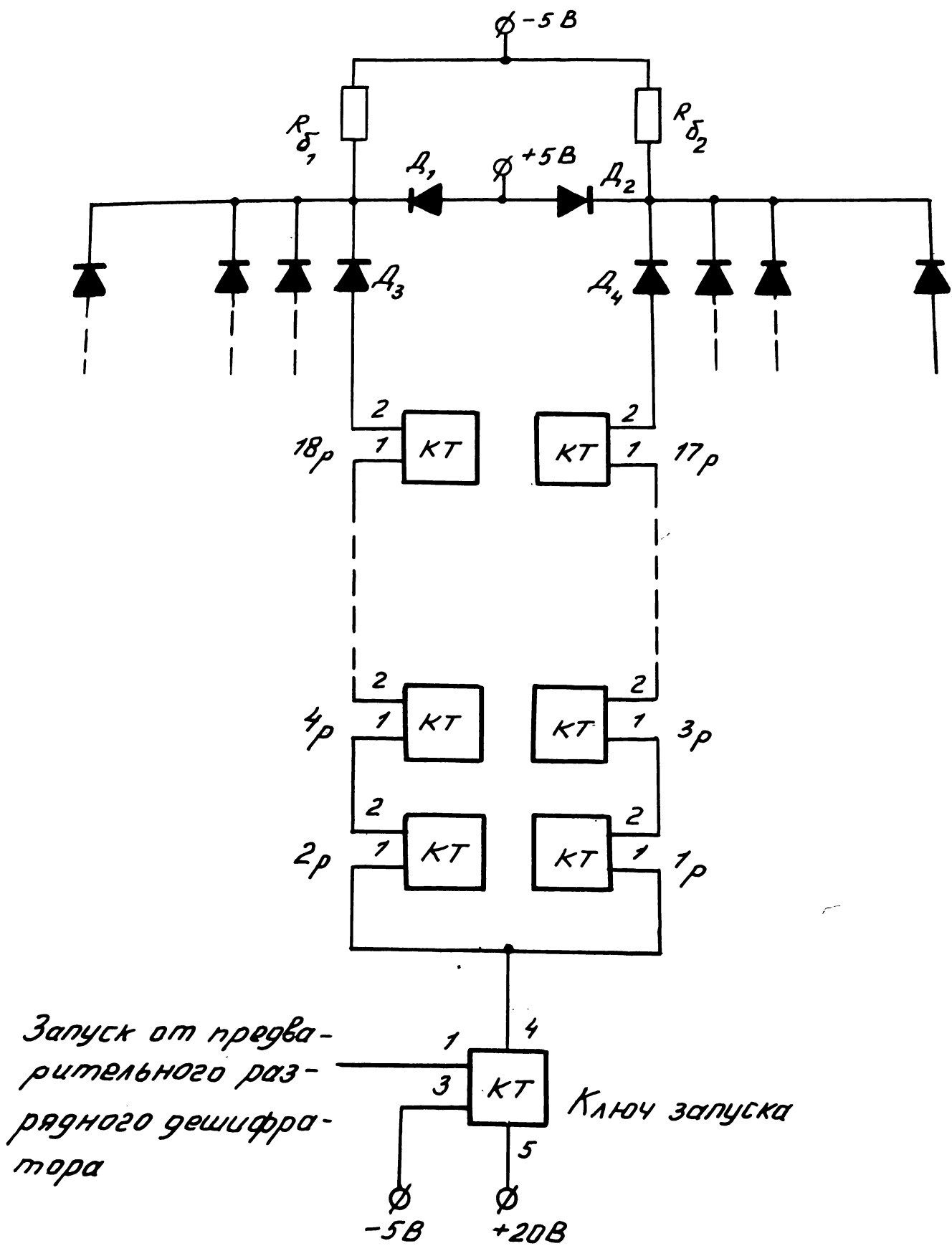


Рис.4. Схема запуска одноименных ключей разрядных дешифраторов

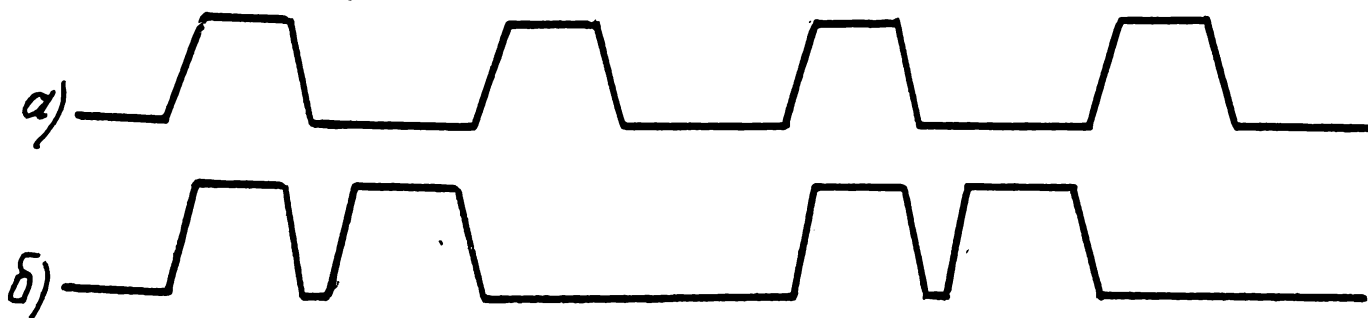


Рис.5. Временная диаграмма частотных режимов запуска ключей

Минимальная теоретическая ширина области устойчивой работы совокупности матриц одной группы, вычисленная по данным технических условий на ферритовую матрицу, составляет $\pm 12\%$ изменения амплитуды адресных и разрядных токов выборки от номинального значения. Однако реальная область устойчивой работы устройства будет меньше теоретической за счет влияния таких факторов, как разброс уровня дискриминации усилителей считывания, разброс временных параметров основных импульсов устройства (токовых импульсов выборки, "строба" и др.), разброс параметров элементов и узлов устройства, обусловленный заданными на них допусками, и их уход во времени за счет изменения температуры и питающих напряжений.

Как показывает опыт, величина технологического запаса, учитывающего влияние перечисленных факторов, должна быть не менее $\pm 5\%$. Для обеспечения такого запаса и заданной техническими требованиями ширины области устойчивой работы устройства $\pm 5\%$ необходимо, чтобы допустимый разброс амплитуды токовых импульсов, вносимый схемой дешифрации, лежал в пределах $\pm 2\%$.

Выполнение этого требования при задании амплитуды токовых импульсов с помощью балластных сопротивлений с учетом $\Delta U_n = 2,5$ В потребовало бы осуществлять питание цепей токовой выборки от источника напряжения 60 В с нулевой нестабильностью, что неприемлемо, поскольку общая нестабильность применяемых в ЕС ЭВМ блоков питания типа УБП составляет $\pm 4\%$.

В описываемом устройстве проблема стабильности амплитуды решена применением активных генераторов тока, в качестве которых используется импульсный стабилизатор тока (рис.6). Работа схемы основана на известном принципе сравнения падения напряжения на эталонном сопротивлении $R_{эт}$ в цепи тока нагрузки с опорным напряжением $U_{оп}$ на управляющем транзисторе T_2 (1Т 308В). В исходном состоянии регулирующий транзистор T_1 (П609А) заперт некоторым положительным смещением на базе. При подаче на вход схемы отрицательного импульса транзистор T_1 открывается и через него, а следовательно, и через $R_{эт}$ начинает протекать ток нагрузки I_n , который будет возрастать до тех пор, пока падение напряжения $I_n \cdot R_{эт}$ не достигнет величины $U_{оп} + U_d + U_{эб}$, где U_d и $U_{эб}$ - пороговые напряжения соответственно диода база-эмиттер T_2 . При этом управляющий транзистор T_2 откроется и начнет шунтировать часть базового тока транзистора T_1 , препятствуя тем самым дальнейшему росту коллекторного тока I_n .

С помощью регулировки $R_{ЭТ}$ устанавливается (при наладке) номинальное значение тока. Плавная и ступенчатая регулировка тока нагрузки в схеме дешифратора осуществляется соответствующим изменением опорного напряжения $U_{оп}$. Прямая зависимость величины тока нагрузки от $U_{оп}$ ($\Delta I_H = 1,2 \Delta U_{оп}$) предъявляет жесткие требования к стабильности источника опорного напряжения. Для выполнения этих требований разработан специальный ТЭЗ опорного напряжения (5 В; 0,5 А), имеющий общую нестабильность менее 0,5% и осуществляющий автоматическую регулировку напряжения в зависимости от температуры с коэффициентом $-0,2\%/^{\circ}\text{C}$. Схема генератора тока обеспечивает нестабильность амплитуды токовых импульсов в пределах $\pm 1,5\%$. В ТЭЗ опорного напряжения предусмотрена как дискретная (на $\pm 6\%$), так и плавная (в пределах $\pm 20\%$) регулировка напряжения.

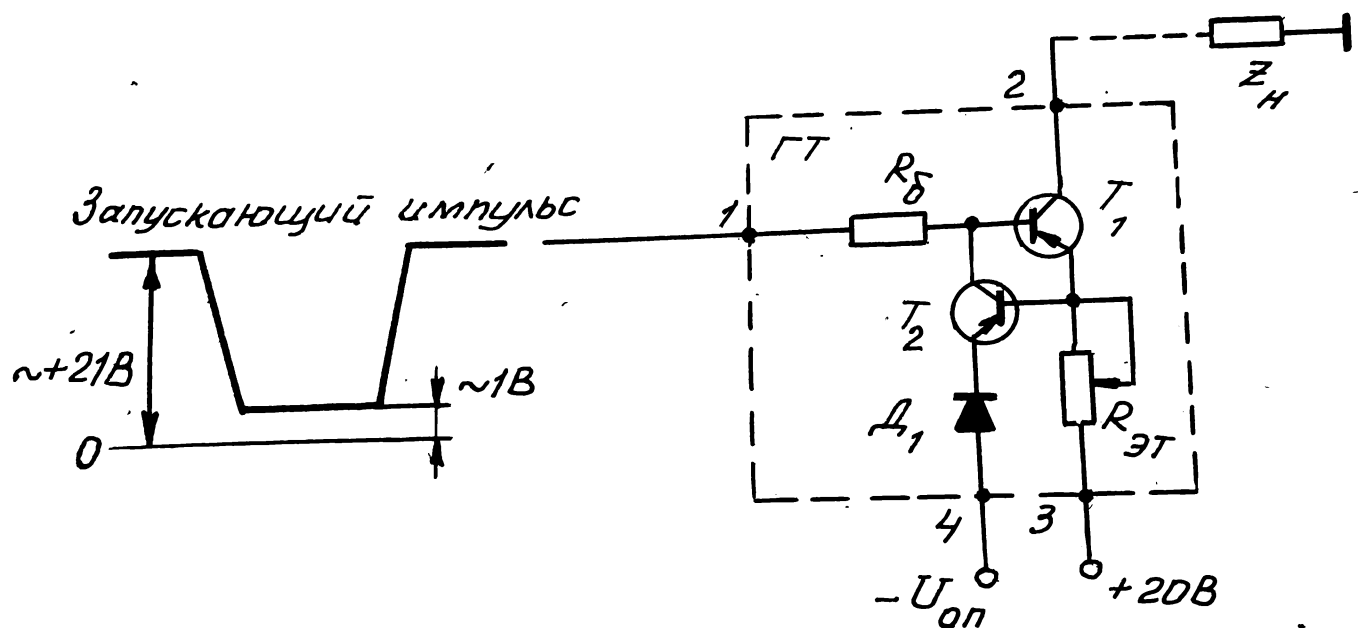


Рис.6. Схема импульсного стабилизатора тока

Применение ненасыщенных токовых ключей в сочетании с импульсными стабилизаторами тока позволило решить основные проблемы проектирования дешифраторов выборки и повысить экономичность дешифраторов за счет снижения напряжения питания цепей выборки до 25 В.

Для решения проблемы получения необходимой формы токовых импульсов выборки потребовалось ввести в схему дешифраторов некоторые дополнительные средства, компенсирующие влияние, с одной стороны, паразитных емкостей элементов схемы, а с другой — реактивных параметров самих шин выборки. С целью уменьшения токов утечки, идущих на заряд проходной емкости объединенных токовых ключей и паразитной емкости невыбранных шин и монтажа, в выходную цепь каждого генератора тока включен

по схеме режектора трансформатор T_p , (см. рис.2). С этой же целью адресный дешифратор каждого блока, имеющий 512 выходов, выполнен в виде двух отдельных дешифраторов по 256 выходов каждый, что вдвое снизило (с 32 до 16) число объединенных токовых ключей, а следовательно, и величину паразитной емкости.

Рассчитанные и подтвержденные измерениями значения распределенных индуктивности L_0 , емкости C_0 , задержки распространения T_0 , волнового сопротивления шин выборки Z_0 и их интегральные значения сведены в табл.2.

Ввиду того, что к одному из концов шины выборки подключены генераторы тока, обладающие высоким динамическим выходным сопротивлением, а другой конец ее практически замкнут накоротко, от концов линии возникают многократные отражения, что ухудшает фронт нарастания импульсов противоположного направления. Для устранения отражений в линии со стороны генераторов тока последние зашунтированы RC -цепочкой, которая на время протекания переходных процессов подключает к этому концу линии согласующее сопротивление $R \approx Z_0$.

Таблица 2

Наименование обмоток	Электрические параметры обмоток							
	R , Ом	C , пФ	L , мкГ	C_0 , пФ/мм	L_0 , мкГ/мм	Z_0 , Ом	T , нс	T_0 , нс/мм
Разрядная шина выборки	2,6	92	1,6	0,10	$1,8 \cdot 10^{-3}$	132	12	$13 \cdot 10^{-3}$
Адресная шина выборки	4,6	126	1,8	0,08	$1,1 \cdot 10^{-3}$	120	15	$9 \cdot 10^{-3}$
Обмотка считывания	12	345	2,2	0,10	$0,7 \cdot 10^{-3}$	80	14	$8 \cdot 10^{-3}$

Однако остающееся отражение от другого конца линии приводит к некоторой несимметрии в форме токовых импульсов разной полярности в шинах выборки (рис.7).

С целью улучшения соотношения сигнал/помеха в момент стробирования начала токовых импульсов чтения в разрядной и адресной шинах выборки разнесены во времени примерно на 200 нсек, причем, начало считанных сигналов определяется временем следования адресных токов выборки.

Прямоугольная обмотка считывания каждого разряда, идущая параллельно разрядным шинам выборки, разбита на 8 секций, каждая из которых охватывает 128 полувозбужденных сердечников по разрядной и 32 по адресной шине выборки. Выход секции подключен к предварительному усилителю считывания через балансные трансформаторы T_p , (рис.8), что повышает степень подавления синфазной помехи, и нагружен на согласующие резисторы R_1 и R_2 . Каждый предусилитель собран по дифференциальной схеме на интегральных парных транзисторах T_1 и T_2 типа 1НТ591Б, а в качестве эмиттерного токозадающего сопротивления используется нормально закрытый каскад с общей базой на транзисторе T_3 , запускаемый по клапанирующему входу импульсами из блока управления. Выработка одного из восьми клапанирующих сигналов определяется поступившим в блок управления адресом в соответствии с прошивкой данной секции обмотки считывания. Клапанирующий сигнал разрешает прохождение сигналов с выбранной секции во всех разрядах, а также осуществляет функцию предварительного стробирования, не пропуская большие по амплитуде разрядные помехи полувозбуждения.

Сигналы с выходов всех восьми предусилителей объединяются на общем трансформаторе T_p , усиливаются, стробируются и формируются в сигналы с уровнями микросхем серии 155 (рис.9). В каждом усилителе считывания имеются элементы регулировки порога срабатывания и балансировки дифференциальных каскадов, которые используются только в процессе настройки усилителя считывания на стендовой аппаратуре.

Ферритовая матрица конструктивно выполнена в виде двухслойной печатной рамки, которая закреплена на металлической основе и для предохранения ферритового поля от механических повреждений закрыта крышкой, так что оставлен доступ к печатным ламелям рамки, расстояние между которыми в каждом слое равно 1,5 мм при общем шаге сердечников в матрице — 0,75 мм. Такая конструкция упростила разработку контактного приспособления, с помощью которого матрица подключается к технологическому стенду проверки. Наличие контактного приспособления позволило производить проверку ферритовых матриц не только на заводе-изготовителе, но и во входном контроле заводов-потребителей.

Разработанный для проверки матриц технологический стенд (прибор ППМ-4) предусматривает определение четырех характерных точек области хранения информации в режиме наиболее неблагоприятного распределения информации в поле каждого из шести разрядов (тяжелого кода с перезаписью). В зависимости от расположения найденных точек по отношению к значениям этих точек для контрольной

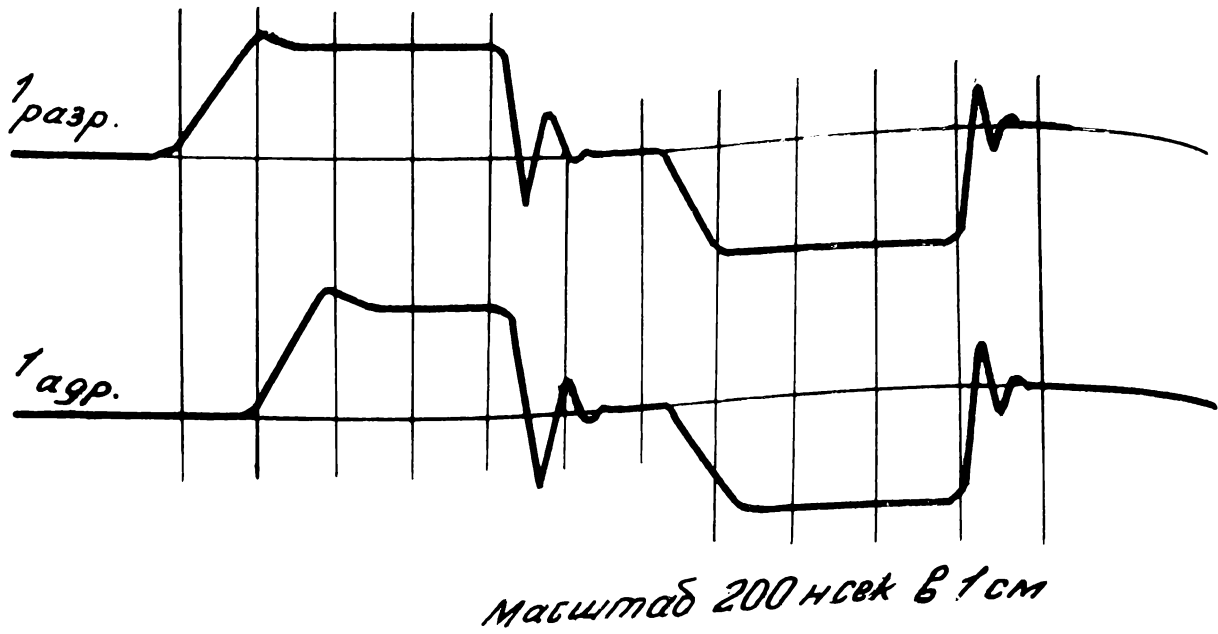


Рис.7. Форма токовых импульсов в шинах выборки

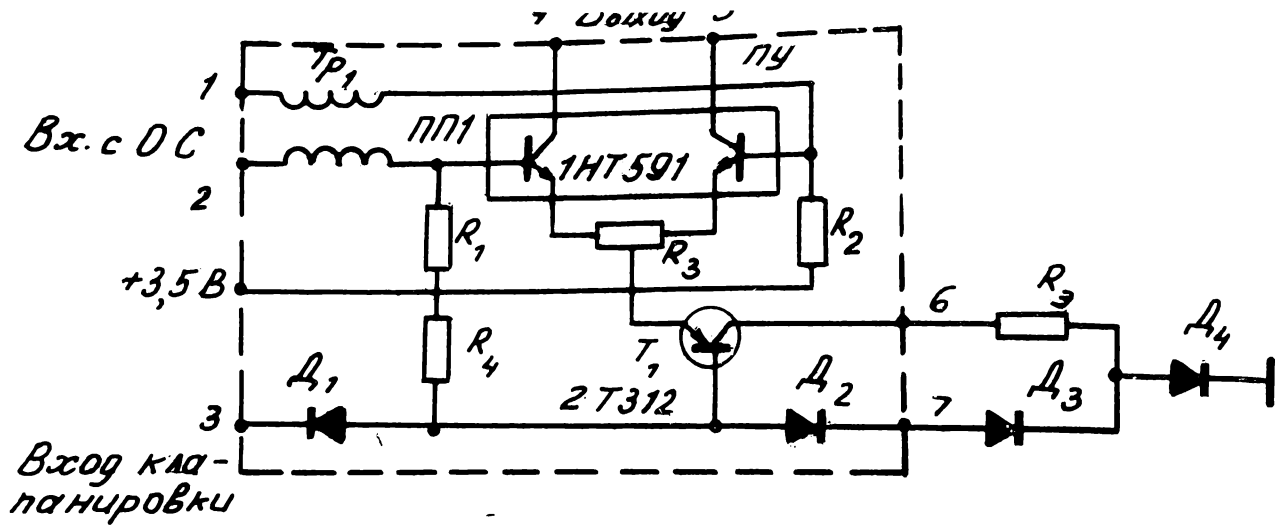


Рис.8. Схема предварительного усилителя

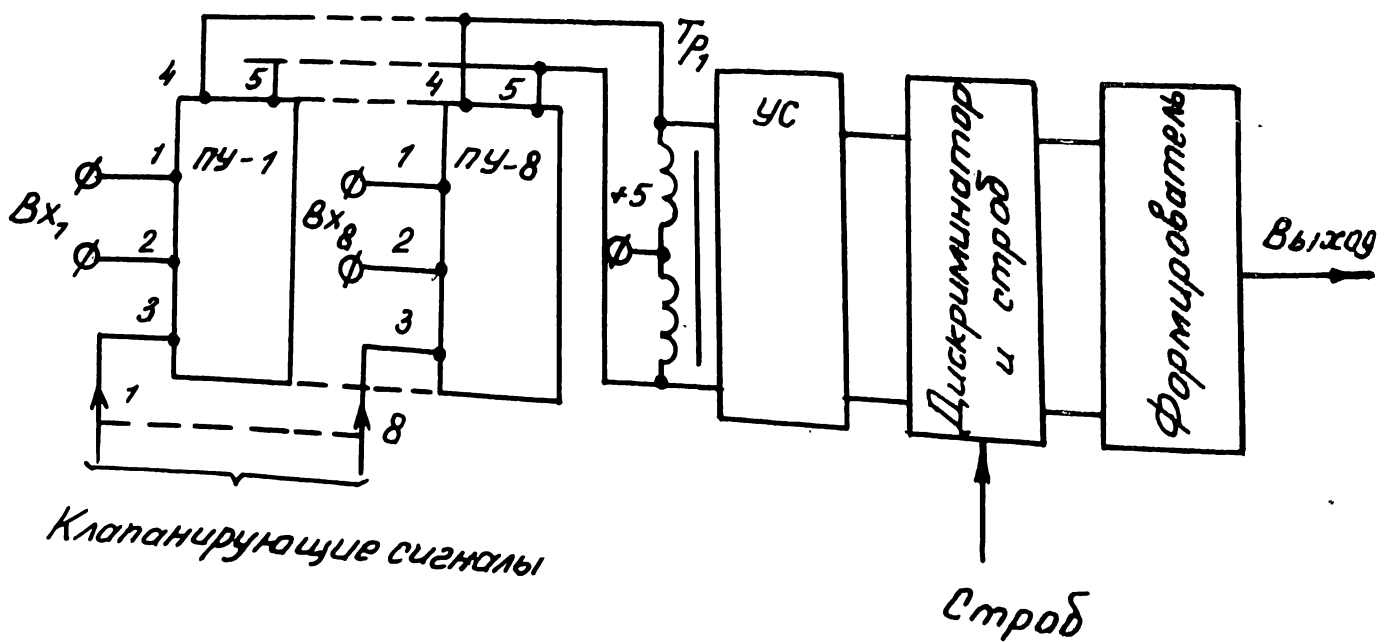


Рис.8. Блок-схема усилителя считывания

матрицы проверенная матрица включается в одну из четырех установленных техническими условиями групп и соответствующим образом маркируется. Проверка каждой матрицы на стенде занимает в среднем около 5 мин.

Двенадцать матриц (четыре в направлении разрядных шин выборки и три — в направлении адресных) обеспечивают объем памяти блока 64К байта. Конструктивно каждый магнитный блок МБ представляет собой поворотную раму, по глубине занимающую половину стандартной поворотной рамы унифицированной стойки ЕС ЭВМ. Помимо комплекта матриц одной группы (по шести с каждой стороны) МБ включает в себя токовые ключи и диодные сборки дешифраторов, схемы запуска разрядных дешифраторов, усилители считывания и обслуживающие их схемы. Все перечисленные элементы размещены на поворотных рамках, чем обеспечивается доступ как к самим элементам, так и к ферритовым матрицам, что позволяет производить ремонтные работы в матрицах без их распайки. Планарная конструкция магнитного блока помимо повышения ремонтпригодности резко сократила длину связей между ферритовыми матрицами, с одной стороны, и дешифраторами и усилителями считывания — с другой, повысив тем самым помехоустойчивость системы.

Конструктивно устройство полного объема размещается в унифицированной стойке ЕС ЭВМ, среднюю раму которой занимают блок управления, переходные элементы запуска токовых ключей и генераторов тока и сами генераторы тока, а место каждой из двух стандартных поворотных рам занимают два магнитных блока. Подключение МБ к раме управления устройства осуществляется с помощью разъемов, причем монтаж рамы управления рассчитан на подключение одновременно четырех МБ.

Устройство старшей (III) модификации комплектуется всеми четырьмя МБ и полным комплектом обслуживающих их ТЭЗ. Устройства II и I модификаций комплектуются соответственно двумя и одним МБ и меньшим числом ТЭЗ.

Для наращивания объема памяти у потребителя, имеющего младшие модификации устройства, предусмотрена отдельная поставка МБ, в состав которой входит комплект ТЭЗ и деталей, необходимых для подключения дополнительного МБ.

Поскольку каждый МБ проходит на заводе-изготовителе проверку на специальном стенде по всем требованиям технических условий на него, процедура наращивания объема памяти у потребителя сводится к установке и подключению к раме управления дополнительного МБ, установке полученного комплекта ТЭЗ согласно схеме расположения, регулировке при необходимости времени следования строка и проверке функционирования устройства.

Описанное устройство оперативной памяти успешно прошло весь цикл испытаний, включая Государственные, и в настоящее время серийно изготавливается на заводах в СССР и НРБ.

При быстродействии 500 кГц и емкости 2,5 млн.бит устройство обладает достаточно высокими эксплуатационными параметрами:

- потребляемая мощность менее 0,3 кВА;
- стоимость бита хранимой информации - 5 коп/бит;
- среднее время безотказной работы - 1500 ч.

Статья поступила в октябре 1973 года