

Бесплатно

МИКРО-ЭВМ «ЭЛЕКТРОНИКА С5-21»

Техническое описание

3.035.336 ТО

Микро-ЭВМ

«ЭЛЕКТРОНИКА С5-21»

ТЕХНИЧЕСКОЕ ОПИСАНИЕ

3.035.336 ТО

СОДЕРЖАНИЕ

1. Введение	3
2. Назначение	4
3. Технические данные	4
4. Состав микро-ЭВМ	5
5. Устройство и работа микро-ЭВМ	5
6. Устройство и работа составных частей микро-ЭВМ	12
6.1. Микропроцессор	12
6.2. Память микро-ЭВМ	15
6.3. Устройство ввода-вывода	16
6.4. Генератор тактовых импульсов	18
7. Большие интегральные схемы	19
7.1. Микросхема К586ВМ1	19
7.2. Микросхема К586РУ1	19
7.3. Микросхема К586РЕ1	20
7.4. Микросхема К586ВВ1	22

Наименование контактов микросхемы ВВ

Назначение контакта	Наименование цепи	Контакт микросхемы	Назначение контакта	Наименование цепи	Контакт микросхемы
Вход	Вбр	21	Вход-выход	ШВА-0	46
	Запрос	20		ШВА-1	44
	Зп/Сч	22		ШВА-2	42
	Строб ШВА	28		ШВА-3	40
	Строб ШВБ	17		ШВА-4	38
	Строб БС	18		ШВА-5	36
	Вх РгС	27		ШВА-6	34
	Сдвиг-Сброс	19		ШВА-7	32
	Сброс	29		Прв/Строб АУ	12
Вход фазный	Разреш ВхС	30	Питание микросхемы	ШВБ-0	4
	Реж РгС	14		ШВБ-1	5
	Реж ШВБ	15		ШВБ-2	6
	Реж Обм	16		ШВБ-3	7
	Реж ШВА—	31		ШВБ-4	8
	Бл Ср			ШВБ-5	9
Вход-выход	ШИ-0	47		ШВБ-6	10
	ШИ-1	45		ШВБ-7	11
	ШИ-2	43		Е1	25
	ШИ-3	41		Е2	2
	ШИ-4	39		Ф1	3
	ШИ-5	37		Ф2	1
	ШИ-6	35		Корпус	48
Выход	ШИ-7	33		Подложка	24
	Ответ	26			
	Вых РгС	13			
	Вых Ср	23			
	Прв	12			

— соединить контакт «Вых РгС» микросхемы 1 с контактом «Вх РгС» микросхемы 2 (или включить схему ускоренного переноса);

— подать на контакт «Вх РгС» микросхемы 1 импульсы счета.

Переключение из режима «Счет на сложение» в режим «Счет на вычитание» и наоборот необходимо производить в паузах между импульсами на контакте «Вх РгС» 2-й микросхемы.

При вводе последовательной информации в 16-разрядный регистр сдвига (две включенные последовательно микросхемы) контакт «Вх РгС» микросхемы 1 соединяется с источником информации, а выводится информация с контакта «Вых РгС» 2-й микросхемы.

Таблица 11

Режимы работы, задаваемые коммутацией входов

Наименование входа	Состояние входа			
	$\overline{\varphi 2}$	лог. «0»	лог. «1»	$\overline{\varphi 1}$
Реж ШВА/БлСр	Блокировка разрядов СхСр; РгА—вход	Блокировка разрядов СхСр; РгА—выход	Нет блокировки СхСр; РгА—вход	Нет блокировки СхСр; РгА—выход
Реж ШВБ	РгС—вход	РгС—выход	РгБ—вход	РгБ—выход
Реж Обм	Прерывание; РгБ → РгС	Прерывание; РгС → РгБ	РгБ → РгС	РгС → РгБ
Реж РгС	Сдвиг вправо	Сдвиг влево	Счетчик-сумматор	Счетчик вычитатель
Разр ВхС	ВхС разрешен	ВхС запрещен	ВхС разрешен	Программное управление

7.4.9. Для формирования сигнала прерывания «Прв» используются регистры А и Б 1-й микросхемы.

Сигналы прерываний с ШВА поступают в РгА. РгБ в этом случае является регистром маски. Выходной сигнал Прв возникает при наличии «1» в немаскированных разрядах РгА. Маскирование прерываний производится записью «1» в соответствующие разряды РгБ.

Код из РгА можно считывать на ШИ «сквозь маску», в этом случае с маскированных разрядов считываются «0», с немаскированных — та информация, которая там записана. При считывании сквозь маску РгА не обнуляется.

7.4.10. Наименование контактов микросхемы ВВ приведено в табл. 12.

1. ВВЕДЕНИЕ

1.1. Настоящее техническое описание (ТО) предназначено для изучения работы микро-ЭВМ «Электроника С5-21» 3.035.336.

1.2. При изучении микро-ЭВМ необходимо дополнительно пользоваться документом 0.303.008Д. «Общее математическое обеспечение микро-ЭВМ «Электроника С5». Основные положения. Система команд».

1.3. Перечень условных буквенных обозначений приведен ниже.

АЛУ — арифметико-логическое устройство;

ВК — выбор кристалла;

ВУ — внешнее устройство;

Дш — дешифратор;

Зпр ЗУ — запрос ЗУ;

ИСА — импульс сопровождения адреса;

ЛС — логическое сложение;

ЛСр — логика формирования синхронизации;

ЛУ — логическое умножение;

М — маска;

МБР — многорежимный буферный регистр;

МР — монопольный режим;

НК — начало команды;

ОЗУ — оперативное запоминающее устройство;

ОМ — общая магистраль;

ОМП — однокристалльный микропроцессор;

ОР — общий регистр;

ОтП — ответ памяти;

ПЗУ — постоянное запоминающее устройство;

РА — регистр адреса;

РгК — регистр команд;

РИ — регистр информации;

РП — регистр признаков;

РС — регистр-сумматор;

Сбр — сброс;

СИ — синхроимпульс;

СОж — сигнал ожидания;

СОС — схема организации системы;

СхСр — схема сравнения;

СчК — счетчик команд;

ТПрв — триггер прерывания;

ТТЛ — транзисторно-транзисторная логика;

УВВ — устройство ввода-вывода;

УУ — устройство управления;
ША — шина адреса;
ШИ — шина информации;
ШФ — шинный формирователь.

2. НАЗНАЧЕНИЕ

2.1. Микро-ЭВМ «Электроника С5-21» предназначена для построения цифровых управляющих систем и используется в стационарных условиях.

2.2. Условия эксплуатации:

- температура окружающего воздуха от минус 10 до +50 °С;
- относительная влажность воздуха до 95% при +35 °С;
- атмосферное давление от 630 до 800 мм рт. ст.

3. ТЕХНИЧЕСКИЕ ДАННЫЕ

3.1. Разрядность информации — 16.

3.2. Возможность адресации к памяти — до 2^{16} байт.

3.3. Максимальная тактовая частота — 2 МГц.

3.4. Система команд совместима с системой команд микро-ЭВМ семейства «Электроника С5».

3.5. Общее число инструкций в системе команд без модификаций — 31.

3.6. Время выполнения команд:

- сложение — 5,5 мкс;
- обмен общими регистрами — 4,0 мкс.

3.7. Емкость ОЗУ — 512 байт.

3.8. Емкость ПЗУ — 4096 байт.

3.9. Число каналов ввода-вывода:

- параллельных — восемь 8-разрядных каналов;
- последовательных — четыре многофункциональных канала.

3.10. Микро-ЭВМ обеспечивает:

- прием с внешних шин 8-разрядной импульсной синхронной, асинхронной либо потенциальной информации по 1—8 каналам;
- передачу на внешние шины 8-разрядной потенциальной либо импульсной информации по 1—8 каналам;
- преобразование последовательного 8-разрядного кода в параллельный и обратно по 1—4 каналам с возможностью сдвига вправо либо влево с частотой не более 600 кГц;
- деление входной частоты по каждому из четырех каналов с программно изменяемым коэффициентом от 1 до 256, с возможностью реверса, с частотой не более 300 кГц;
- счет заданного числа импульсов в пределах от 1 до 256 с частотой не более 600 кГц;
- формирование сетки кварцованных частот 1200; 600; 120; 15; 7,5; 1 кГц и 100; 10; 1 Гц.

Записываемая в микросхему информация воспринимается с ШИ в момент окончания сигнала «Вбр».

После восприятия сигналов «Вбр» и «Запрос» микросхема не позднее чем к фронту тактового импульса ϕ_1 следующего такта вырабатывает сигнал «Ответ». Длительность сигнала «Ответ» определяется длительностью сигнала «Вбр».

Для того чтобы прочитать на ШИ информацию из какого-либо регистра микросхемы, необходимо сформировать и подать на контакты микросхемы сигналы «Вбр», «Запрос», «Считывание» (инверсия сигнала «Зп»). При этом механизм восприятия адреса регистра, признаков ЛС, ЛУ и выработки сигнала «Ответ» аналогичен записи, а информация из регистра выставляется на ШИ через такт после окончания сигнала «Вбр» и поддерживается на ШИ потенциально до снятия сигнала «Запрос».

Длительность сигнала «Ответ» при считывании не менее 1,5 Т.

7.4.5. Регистры А и Б, помимо обычных записи и считывания, допускают запись информации со стороны ОМП с одновременной реализацией операций поразрядного логического сложения или умножения и считывание из них информации с одновременным обнулением регистра. Обнуление при считывании не приводит к потере информации, поступающей в Рг со стороны внешней шины в момент считывания.

7.4.6. Регистры У и С допускают со стороны ОМП только запись без реализации операций ЛС, ЛУ и считывание без обнуления.

Имеется возможность автоматически обнулять РгС в момент записи информации в РгУ, это достигается соответствующей установкой признаков ЛС, ЛУ при выдаче адреса РгУ из ОМП для записи в него информации через ШИ.

7.4.7. Регистр С имеет перестраиваемую структуру и может функционировать как счетчик, работающий на сложение и вычитание, либо реверсивный регистр сдвига.

Режим работы РгС задается подключением контакта «Реж РгС» к одному из полюсов («+5 В» или «Общий») питания или к одному из тактовых импульсов ϕ_1 , ϕ_2 (табл. 11).

В микросхеме предусмотрены контакт «Разр. ВхС» и стартстопный триггер, который может разрешать или блокировать прохождение сигналов с контакта «Вх РгС» внутрь микросхемы, причем в зависимости от значения сигнала на контакте «Разр. ВхС» прохождение сигналов через контакт может быть или разрешено, или запрещено независимо от состояния стартстопного триггера, или управление входом РгС может быть передано стартстопному триггеру.

7.4.8. Возможно последовательное включение РгС нескольких микросхем в любом из вариантов их структуры.

Для включения микросхем в виде одного 16-разрядного счетчика необходимо:

- подключить контакты «Реж РгС» 1-й и 2-й микросхем в соответствии с выбранным режимом работы;

7.4.3. Обмен информацией между регистрами микросхемы и внешними устройствами производится через две 8-разрядные внешние шины ШВА, ШВБ.

ШВА подключена к РгА, ШВБ — либо к РгБ, либо к РгС. Каждая из шин ШВА, ШВБ имеет управляющий вход «Строб ШВА», «Строб ШВБ», который определяет момент передачи информации и обеспечивает возможность ввода в микросхему импульсной или потенциальной информации.

7.4.4. Все 4 регистра микросхемы программно доступны для ОМП. Восприятие адреса регистра, признаков ЛС, ЛУ, информации производится через 8-разрядную шину информации ШИ.

Для того чтобы записать в какой-либо из регистров микросхемы информацию через канал программного доступа (ШИ), необходимо сформировать и подать на соответствующие контакты сигналы управления «Вбр», «Запрос», «Зп», а также адрес регистра на ШИ-6, ШИ-7 и признаки ЛС, ЛУ на ШИ-4, ШИ-5 в соответствии с табл. 10.

Таблица 10

Операции с регистрами и признаками ЛС и ЛУ

ЛС ШИ-4		ЛУ ШИ-5		Запись			Считывание		
Информационный бит (прямой код)	Электрический сигнал	Информационный бит (прямой код)	Электрический сигнал	РгА РгБ	РгУ	РгС	РгА	РгБ	РгУ РгС
0	1	0	1	Запись	Запись	Запись	Считывание	Считывание	Считывание
1	0	1	0						
0	1	1	0	ЛУ	Запись со сбросом РгС	Запись с выработкой сигнала «Старт»	Счит. сквозь маску	Считывание со сбросом	Считывание с выработкой сигнала «Стоп»
1	0	0	1	ЛС			Считывание со сбросом		

Все указанные сигналы управления должны быть достоверны на контактах микросхемы в момент тактового импульса ф2.

3.11. Система прерывания обеспечивает возможность прерывания по восьми приоритетным каналам с глубиной прерывания до восьми.

3.12. Напряжения входных и выходных сигналов:

— логического «0» — от +2,4 до 5,0 В;

— логической «1» — от 0 до +0,4 В.

3.13. Питание микро-ЭВМ осуществляется от внешних источников постоянного тока напряжением +5, минус 3, +12 В с допускаемым отклонением $\pm 5\%$.

3.14. Потребляемая мощность не более 20 Вт.

3.15. Габаритные размеры 29×309×252 мм.

3.16. Масса не более 1,2 кг.

4. СОСТАВ МИКРО-ЭВМ

4.1. Микро-ЭВМ состоит из функциональных частей:

- микропроцессора;
- внутренней памяти;
- устройства ввода-вывода;
- генератора тактовых импульсов.

4.2. Микропроцессор выполнен на одной микросхеме типа K586BM1 (см. подраздел 6.1).

4.3. Внутренняя память микро-ЭВМ включает оперативную память (ОЗУ) емкостью 256 16-разрядных слов и постоянную память (ПЗУ) емкостью 2048 16-разрядных слов.

4.4. В состав ОЗУ входят четыре микросхемы типа K586РУ1, каждая из которых имеет емкость 256 4-разрядных слов.

4.5. В состав ПЗУ входят две микросхемы типа K586РЕ1, каждая из которых имеет емкость 1024 16-разрядных слова.

4.6. Устройство ввода-вывода включает:

- четыре микросхемы типа K586ВВ1, каждая из которых имеет перестраиваемую 8-разрядную структуру и два 8-разрядных канала ввода-вывода;
- восемь микросхем типа K155ИЕ7, формирующих сетку частот.

4.7. Генератор тактовых импульсов состоит из автогенератора, формирователя тактовой диаграммы в уровнях схем ТТЛ и усилителя, формирующего импульсы требуемой длительности амплитудой 12 В.

5. УСТРОЙСТВО И РАБОТА МИКРО-ЭВМ

5.1. Конструктивно микро-ЭВМ представляет собой печатную плату, закрепленную в обрамлении.

На печатной плате размером 29×309×252 мм с одной стороны установлены микросхемы, дискретные элементы. На каждой из двух противоположных сторон микро-ЭВМ расположены два гиперболических разъема типа ГРПМ1—61. Количество сигналов и их наименование приведено в табл. 1—4.

Таблица 1

ХТ1			
Сигнал	Контакт	Сигнал	Контакт
Общий	A1	Общий	B1
	A2	Вых. инв1	B2
	A3	Вх. инв1	B3
Вых. инв2	A4	Вх. инв2	B4
Отв. внш.	A5	ША 10р	B5
ША 14р	A6	Вх4 Дш2	B6
ША 12р	A7	Зп/Сч	B7
Вх3 Дш2	A8	ША 9р	B8
Вх2 Дш2	A9	ШИ 13р	B9
ШИ 12р	A10	ШИ 14р	B10
ША 13р	A11	ША 8р	B11
ШИ 10р	A12	ШИ 15р	B12
Вх1 Дш1	A13	ШИ 11р	B13
ШИ 0р	A14		B14
Вх2 Дш1	A15	ШИ 9р	B15
	A16	НК	B16
Зпр	A17	ШИ 8р	B17
ИСА	A18	Вх1 Дш2	B18
Вх4 Дш1	A19	ША 11р	B19
Зп/Сч	A20	Выб МОП1	B20
Общий	A21	Вх3 Дш1	B21
ШИ 1р	A22	ШИ 5р	B22
ШИ 4р	A23	ШИ 2р	B23
ШИ 3р	A24	ША 6р	B24
ШИ 6р	A25	ШИ 7р	B25
ША 0р	A26	ША 1р	B26
ША 4р	A27	ША 7р	B27
ША 2р	A28	ША 3р	B28
СИ	A29	ША 5р	B29
Зпр МОП1	A30	Зпр МОП2	B30
		Отв. МОП	B31

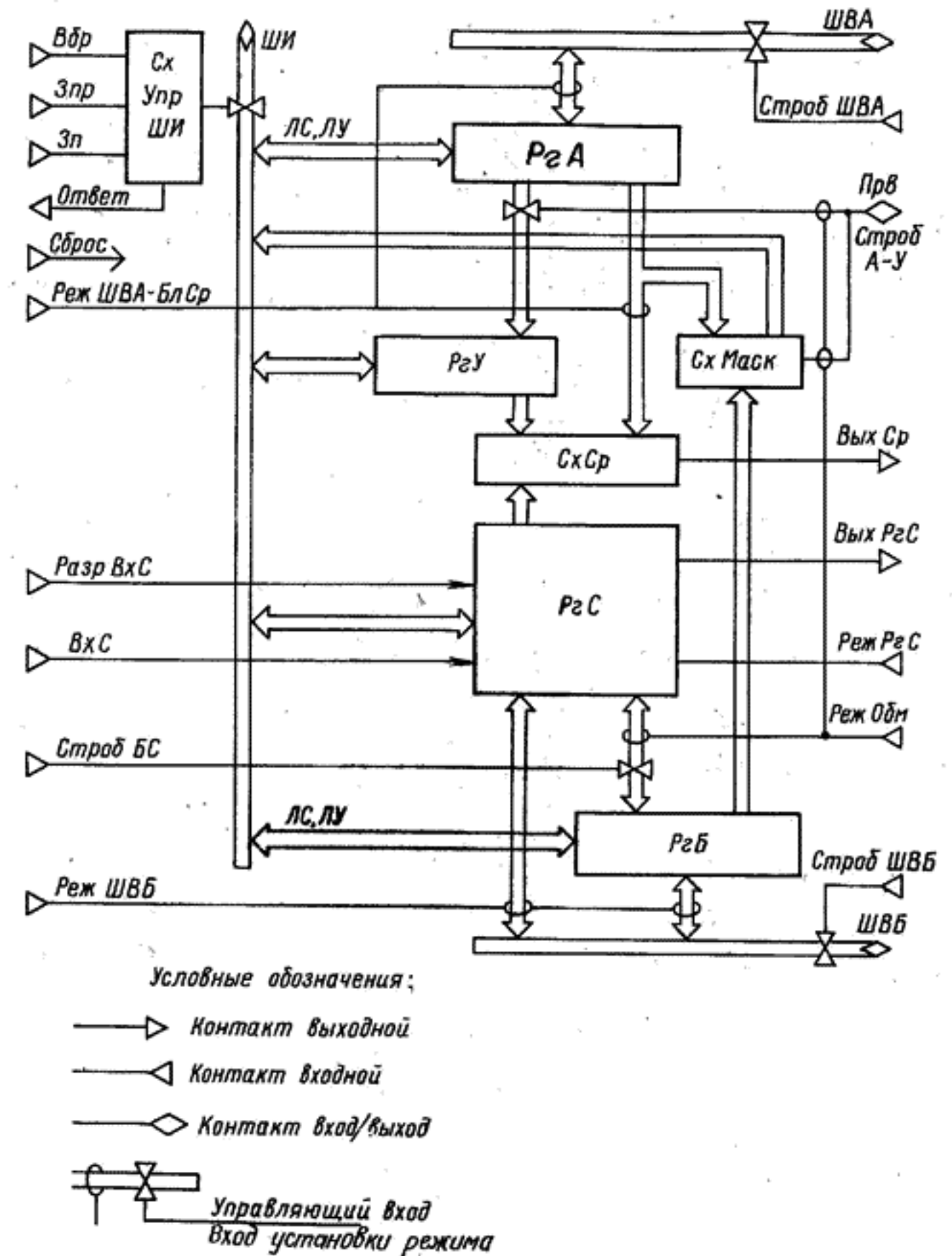


Рис. 8. Структурная схема микросхемы К586ВВ1

7.3.4. БИС ПЗУ содержит:

- матричный накопитель, выполненный на базе односторонних запоминающих элементов;
- регистры адреса с дешифраторами X и Y;
- схему считывания;
- схему запрета для отключения выходных буферов в период отсутствия обращений к БИС;
- схему ответа.

7.3.5. Взаимодействие ОМП и ПЗУ осуществляется по той же диаграмме, что и БИС ОЗУ, с той лишь разницей, что БИС ПЗУ реализует только считывание информации.

7.3.6. В БИС ПЗУ десять разрядов кода адреса и десять разрядов считываемого числа объединены на контактах БИС согласно табл. 8. Контакты микросхемы ПЗУ приведены в табл. 9.

Таблица 8

Соответствие между разрядами числа и адреса на выходе

Разряд числа на выходе БИС ПЗУ	5	6	7	8	9	10	11	12	13	14
Разряд адреса на выходе БИС ПЗУ	0	1	2	4	5	6	7	8	9	10

Таблица 9

Контакты микросхемы ПЗУ

Сигнал	Контакт	Сигнал	Контакт
ВК	1	0p	18
ИСА	2	Подл	24
Зпр ПЗУ	5	8p	32
Общ	7	9p	34
7p	8	10p	35
6p	9	11p	36
5p	10	12p	39
4p	11	13p	40
Ф2	12	14p	41
Ф1	13	15p	42
3p	14	+12 В	47
2p	15	+5 В	46
1p	16		

7.4. Микросхема K586BB1

7.4.1. Микросхема K586BB1 предназначена для использования в качестве базового элемента устройств ввода-вывода микро-ЭВМ, имеет перестраиваемую 8-разрядную структуру и является многофункциональным устройством.

7.4.2. Микросхема (рис. 8) содержит регистры PгА, PгУ, PгС, PгБ, схему маскирования (Сх Маск), схему сравнения (Сх Ср) и логические элементы, обеспечивающие взаимодействие и задающие различные режимы работы основных узлов.

ХТ2

Сигнал	Контакт	Сигнал	Контакт
Прв1	A1	Прв. вызова	B1
СОж	A2	Прв2	B2
+5 В ОЗУ	A3	Ответ	B3
Бл Отв	A4	Подложка	B4
Корпус	A5	+12 В	B5
Признак пульта	A6		B6
1200 кГц	A7		B7
7,5 кГц	A8	ВК ШФ4	B8
Общий	A9		B9
Общий	A10		B10
ВК ШФ3	A11	Вх МР	B11
Ш Мон Реж	A12		B12
Бл ОМП	A13	Отв СОж	B13
15 кГц	A14		B14
Бл ША	A15	Пуск/Пр. прогр.	B15
100 Гц	A16	Вх. приор	B16
Разрешение	A17	Бл ЗУ	B17
Вых. приор	A18	ШЗо	B18
1 Гц	A19	600 кГц	B19
Сброс ВВ	A20	Бл ШИ	B20
Маска	A21	1 кГц	B21
ВУ	A22	120 кГц	B22
Уровень «1»	A23		B23
ШИ 13p	A24		B24
Ш Зпр	A25	10 Гц	B25
	A26	Прв. вых	B26
Зпр ВВ	A27	Пуск	B27
Ф2/4	A28	Пуск	B28
Выборка МОП2	A29	Ф1	B29
+5 В	A30	Ф2	B30
		+5 В	B31

Таблица 3

ХТЗ

Сигнал	Контакт	Сигнал	Контакт
ШВА1-0	Б14	ШВБ2-7	А24
ШВА1-1	А13	Реж ШВБ1	А7
ШВА1-2	Б13	Реж Обм1	Б7
ШВА1-3	А12	Реж ШВА/Бл Ср1	А2
ШВА1-4	А4	Вых Ср1	Б5
ШВА1-5	Б4	Вых РгС1	Б8
ШВА1-6	Б3	РгС (φ1 ∨ φ2)1	А15
ШВА1-7	А3	Упр. реверс. 1	Б16
ШВБ1-0	Б12	Вх РгС1	Б1
ШВБ1-1	А11	Разр ВхС1	А1
ШВБ1-2	Б11	Сдвиг-Сброс 1	А5
ШВБ1-3	А10	Строб Б-С1	Б6
ШВБ1-4	Б10	Строб ШВБ1	А6
ШВБ1-5	А9	Строб ШВА1	Б2
ШВБ1-6	Б9	Реж ШВБ2	А23
ШВБ1-7	А8	Реж Обм2	Б23
ШВА2-0	Б30	Реж ШВА/Бл Ср2	Б18
ШВА2-1	А29	Вых Ср2	Б21
ШВА2-2	А28	Вых РгС2	Б24
ШВА2-3	Б29	РгС (φ1 ∨ φ2)2	А14
ШВА2-4	А19	Упр. реверс. 2	Б15
ШВА2-5	Б20	УВ ШВА2	А20
ШВА2-6	А18	Вх РгС2	А16
ШВА2-7	Б19	Разр ВхС2	А17
ШВБ2-0	Б28	Сдвиг-Сброс 2	А21
ШВБ2-1	А27	Строб БС2	Б22
ШВБ2-2	Б27	Строб ШВБ2	А22
ШВБ2-3	А26	Строб ШВА2	Б17
ШВБ2-4	Б26	φ2	А30
ШВБ2-5	А25	φ1	Б31
ШВБ2-6	Б25		

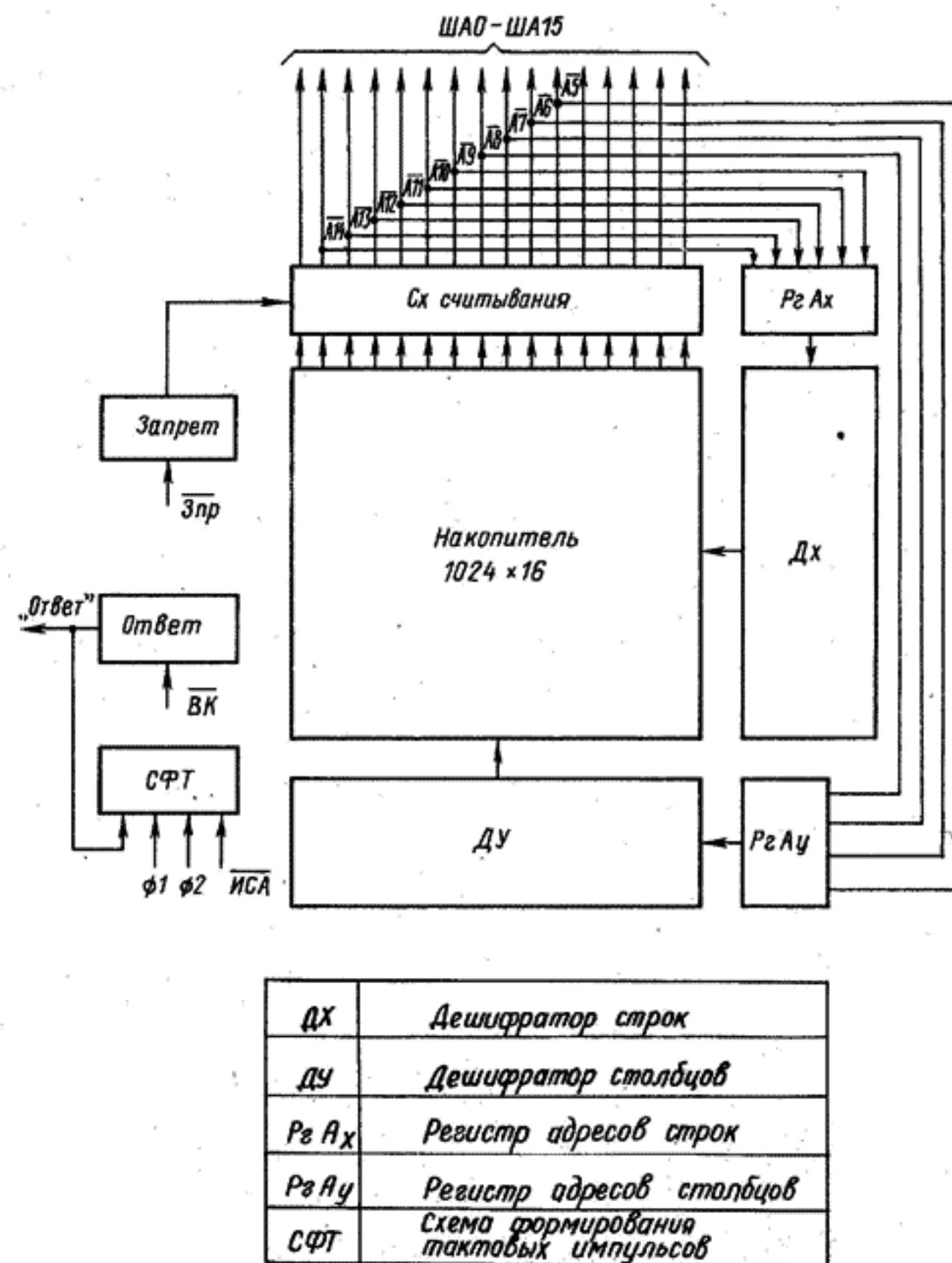


Рис. 7. Структурная схема микросхемы К586РЕ1

- схему записи и считывания;
- схему запрета для обеспечения нейтральности выхода в период режима хранения;
- схему ответа.

7.2.4. Все управляющие сигналы подаются в БИС ОЗУ в обратном коде, при прохождении через БИС информация не инвертируется.

7.2.5. Описание взаимодействия ОЗУ с ОМП при обмене информацией приведено в п. 5.5.

7.2.6. В микросхеме ОЗУ адресные и информационные входы разделены.

7.2.7. Контакты микросхемы приведены в табл. 7.

Таблица 7

Контакты микросхемы ОЗУ

Сигнал	Контакт	Сигнал	Контакт
0р	1	9р	13
2р	2	8р	14
12р	3	7р	15
13р	4	+5 В	16
14р	5	ВК	18
Подл	6	ИСА	19
1р	7	Ф1	20
3р	8	Ф2	21
+12 В	9	Зп/Сч	22
11р	11	Общ	23
10р	12	Зпр	24

7.3. Микросхема K586PE1

7.3.1. Микросхема K586PE1 (рис. 7) — БИС ПЗУ — предназначена для хранения микрокоманд, команд, констант.

БИС ПЗУ обеспечивает хранение информации, записанной в накопителе ПЗУ, и считывание ее из ячейки накопителя с произвольным адресом после прихода опрашивающего сигнала.

7.3.2. Запись информации в накопитель производится в двоичном коде на одном из этапов технологического процесса изготовления БИС ПЗУ, причем двоичным «1» или «0» соответствует наличие транзистора в пересечении координат матрицы накопителя или его отсутствие. Такой способ записи информации обеспечивает хранение ее без затрат мощности. Смена информации в БИС ПЗУ осуществляется заменой одного слоя.

7.3.3. БИС ПЗУ имеет следующие основные технические характеристики:

- информационная емкость 1024×16 бит;
- максимальная тактовая частота 2 МГц;
- минимальный цикл обращения 2 мкс;
- совместимость с ТТЛ ИС по всем логическим входам и выходам.

ХТ4

Сигнал	Контакт	Сигнал	Контакт
ШВА3-0	A11	ШВБ4-7	B22
ШВА3-1	B12	УВ ШВА3	A12
ШВА3-2	B11	УВ ШВА4	B31
ШВА3-3	A10	Реж ШВБ3	A5
ШВА3-4	B16	Реж Обм3	B5
ШВА3-5	B19	Вых РгС3	B6
ШВА3-6	A26	Вых Ср3	B3
ШВА3-7	B1	Реж ШВА3-1	A14
ШВБ3-0	B10	Реж ШВА3-2	B14
ШВБ3-1	A9	РгС ($\phi 1 \vee \phi 2$)3	B13
ШВБ3-2	B9	Упр. реверс. 3, 4	A13
ШВБ3-3	A8	Реж ШВБ4	B21
ШВБ3-4	B8	Реж Обм4	A20
ШВБ3-5	A7	Вых РгС4	A21
ШВБ3-6	B7	Вых Ср4	A18
ШВБ3-7	A6	РгС ($\phi 1 \vee \phi 2$)4	A16
ШВА4-0	A30	Реж ШВА4-1	B15
ШВА4-1	A29	Реж ШВА4-2	A15
ШВА4-2	B30	Вх РгС3	A1
ШВА4-3	A28	Разр ВхС3	A2
ШВА4-4	B28	Сдвиг-Сброс 3	A3
ШВА4-5	B27	Строб БС3	B4
ШВА4-6	A27	Строб ШВБ3	A4
ШВА4-7	B29	Строб ШВА3	B2
ШВБ4-0	B26	Вх РгС4	A17
ШВБ4-1	A25	Разр ВхС4	B17
ШВБ4-2	B25	Сдвиг-Сброс 4	A23
ШВБ4-3	A24	Строб БС4	A19
ШВБ4-4	B24	Строб ШВБ4	B20
ШВБ4-5	B23	Строб ШВА4	B18
ШВБ4-6	A22	ШВА3-6	A26

Микро-ЭВМ является встраиваемым устройством, поэтому в конструкции отсутствуют органы управления.

5.2. Микро-ЭВМ «Электроника С5-21» — 16-разрядная, параллельного принципа действия, с микропрограммным управлением. В основу архитектуры микро-ЭВМ положен шинный принцип организации связи между ее узлами (рис. 1).

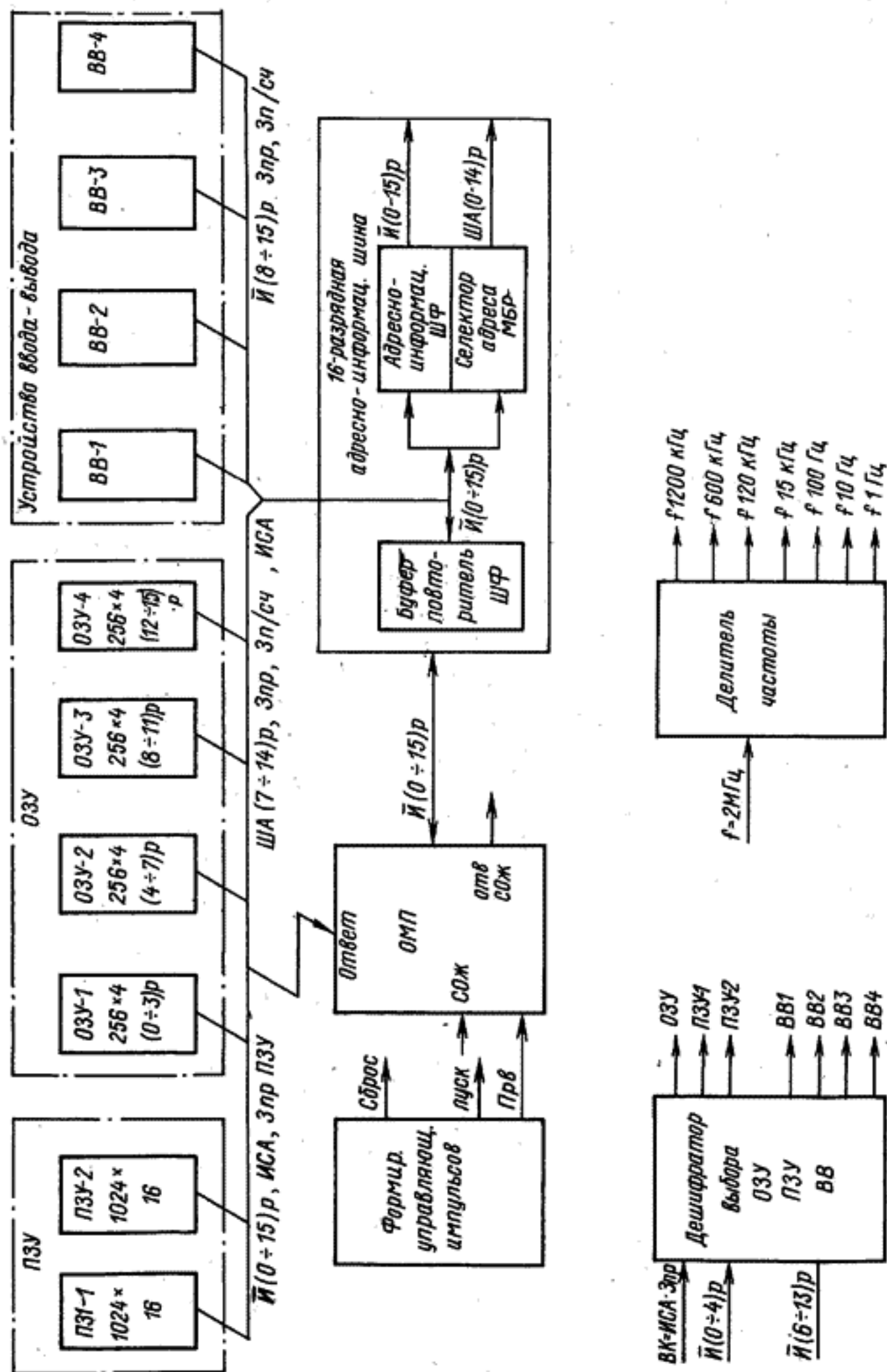


Рис. 1. Структурная схема микро-ЭВМ «Электроника С5-21»

6.4.3. Запуск генератора тактовых импульсов производится автоматически при включении источника напряжения.

7. БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

7.1. Микросхема K586BM1

7.1.1. Микросхема K586BM1 — однокристалльный микропроцессор — описана в разделе 6 п. 6.1.

7.2. Микросхема K586PY1

7.2.1. Микросхема K586PY1 — БИС ОЗУ — предназначена для записи, хранения и считывания информации.

7.2.2. Микросхема имеет следующие основные технические характеристики:

- информационная емкость 256×4 бит;
- максимальная тактовая частота 2 МГц;
- минимальный цикл обращения 2 мкс;
- совместимость с ТТЛ ИС по всем логическим входам и выходам.

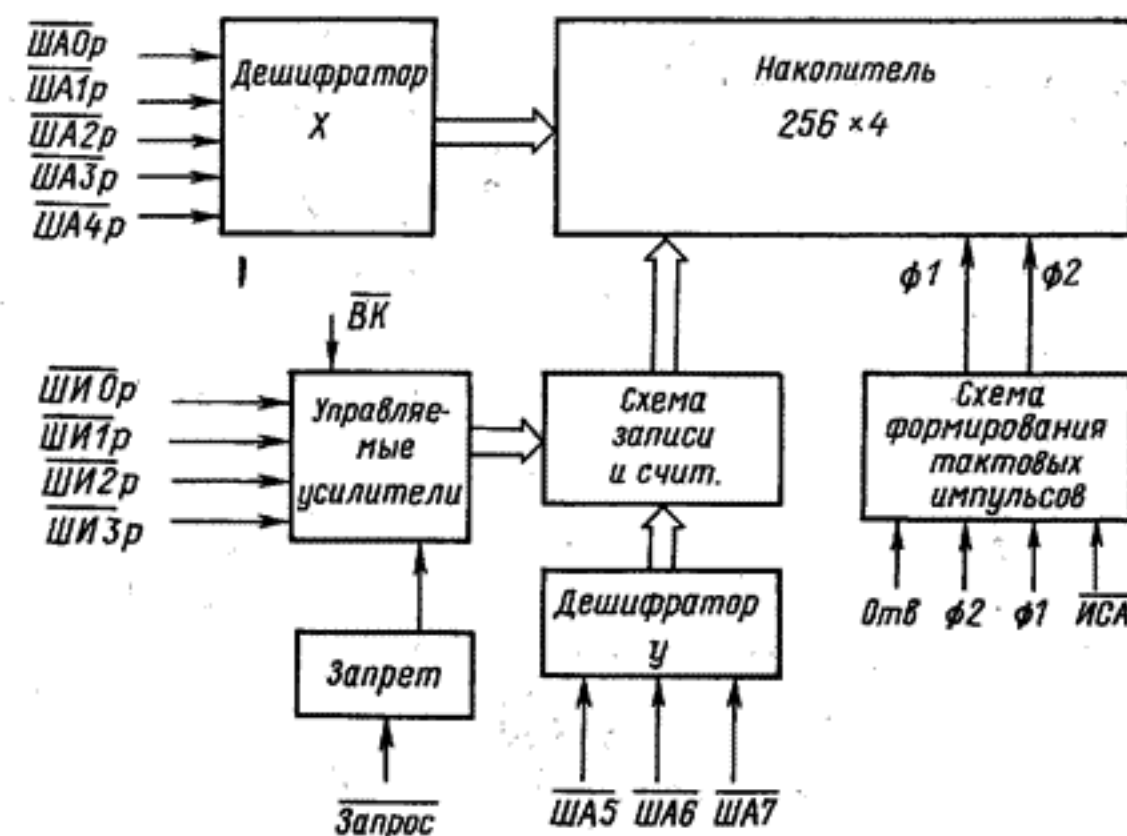


Рис. 6. Структурная схема микросхемы K586PY1

7.2.3. Микросхема содержит (рис. 6):

- накопитель, выполненный на базе статического 6-транзисторного запоминающего элемента, предназначенного для хранения информации;
- регистр адреса с дешифратором X на 32 выхода и дешифратором Y на 8 выходов;

6.3.4. Связь с внешними устройствами по трем параллельным каналам ШВА2—ШВА4 осуществляется через шинные формирователи (ШФ), что позволяет получить выходной ток до 50 мА. По пяти параллельным каналам (ШВА1, ШВБ1—ШВБ4) связь с внешними устройствами осуществляется непосредственно от контактов микросхем ВВ (выходной ток 2 мА).

6.3.5. Каналы ШВА3 и ШВА4 могут реверсироваться в динамике непосредственно от какого-либо разряда цифрового выхода замыканием его на вход управления шинного формирователя и соответствующего режима ШВА, ШВБ.

6.3.6. Делитель частоты вырабатывает ряд частот с нестабильностью $1 \cdot 10^{-4}$. Стабилизированные частоты используются для организации интервалов времени работы внешних устройств и программ, а также для тактирования работы каналов последовательного обмена микро-ЭВМ.

6.4. Генератор тактовых импульсов

6.4.1. Генератор тактовых импульсов предназначен для импульсного питания больших интегральных схем, входящих в состав микро-ЭВМ.

Генератор тактовых импульсов состоит из автогенератора, генерирующего меандр с периодом $\tau = \frac{T}{7}$ (рис. 5), формирователя тактовых импульсов $\Phi 1 = 2\tau$, $\Phi 2 = 3\tau$, согласованных по амплитуде с уровнями ТТЛ, и двух усилителей тактовых импульсов, формирующих импульсы с амплитудой 12 В.

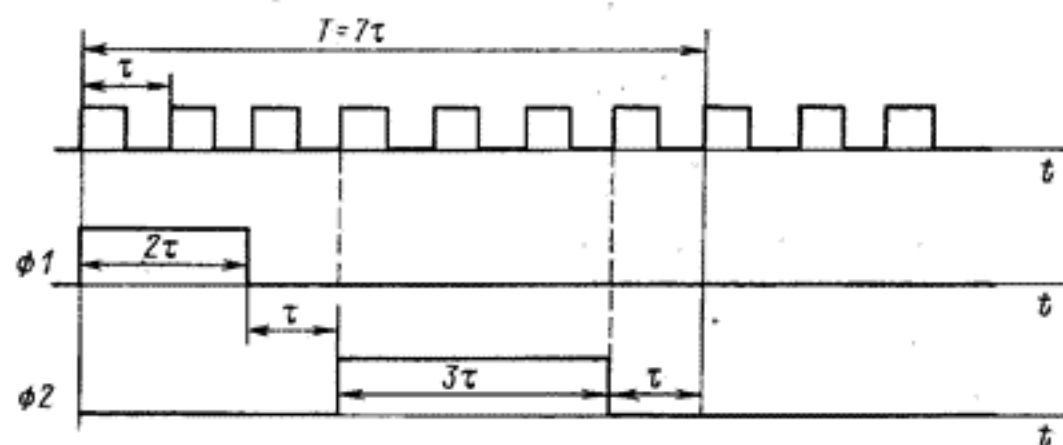


Рис. 5. Формирование тактовой диаграммы

Автогенератор состоит из кварцевого генератора, микросхем типа К531ЛБ3, подстроечных конденсаторов и согласующих резисторов.

Формирователь тактовых импульсов требуемой диаграммы состоит из микросхем типа К155ТМ2 и К531ЛБ3.

6.4.2. Тактовые импульсы $\phi 1$, $\phi 2$ в уровнях ТТЛ выведены на выходные разъемы (ХТ2: Б30, ХТ2: Б24), а импульсы $\bar{\phi 1}$, $\bar{\phi 2}$ — на контакты разъема ХТ3: Б31, ХТ3: А30.

5.3. Микропроцессор, память, устройство ввода-вывода связаны между собой двунаправленными адресно-информационными шинами, управление которыми осуществляется таким образом, что в конкретный момент времени информация поступает из одного источника на один приемник.

5.4. При работе микропроцессора с внутренними ОЗУ, ПЗУ, УВВ сигнал информации в режиме «Запись» передается из ОМП в ОЗУ, ПЗУ, УВВ, а в режиме «Считывание» — в противоположном направлении.

5.5. Взаимодействие микропроцессора с памятью и УВВ при обмене информацией происходит в течение четырех тактов следования тактовых импульсов согласно диаграмме, приведенной на рис. 2.

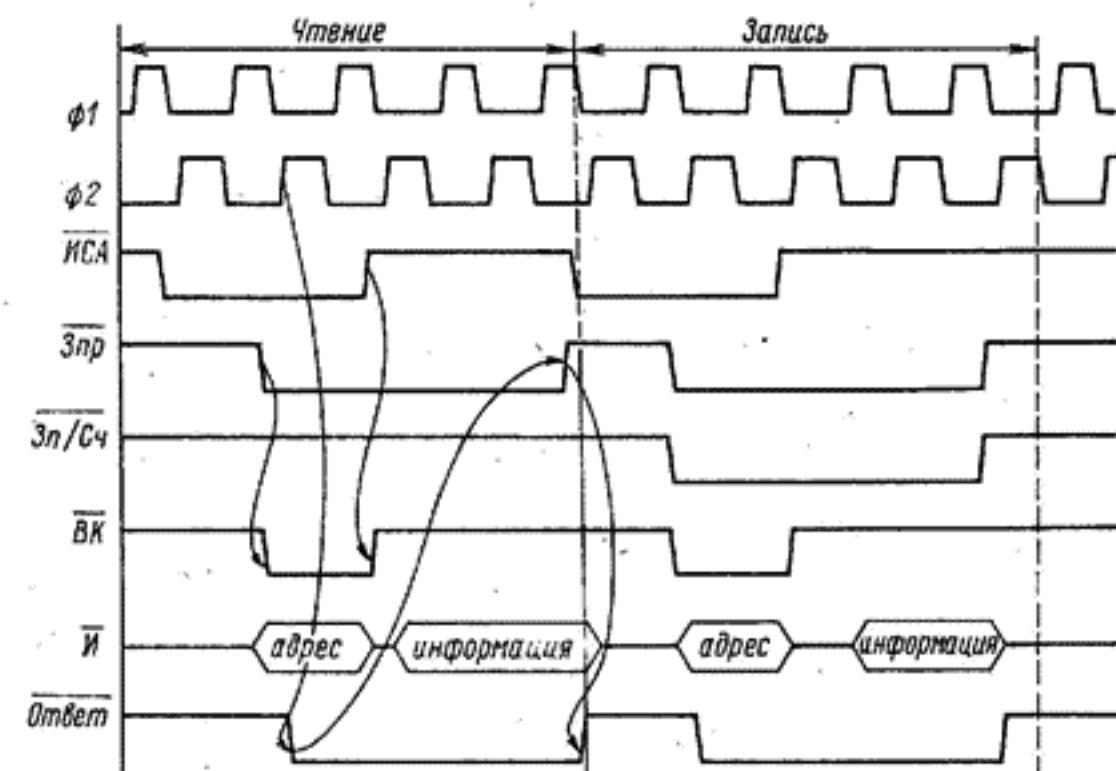


Рис. 2. Диаграмма работы ОМП с памятью и УВВ

В первом такте от ОМП в память поступает сигнал сопровождения адреса (ИСА), по которому ЗУ ориентируется на восприятие адреса с адресно-информационной шины.

Во втором такте от ОМП по адресно-информационной шине выдается адрес, а по управляющим шинам — сигнал запроса (Зпр) и признака записи (Зп/Сч).

В том же такте дешифратор, расположенный в микро-ЭВМ, в соответствии с кодом адреса на его входе выдает сигнал «Выбор кристалла» (ВК) в ЗУ и УВВ.

В третьем такте микросхемы ЗУ и УВВ выдают в ОМП сигнал «Ответ». В этом же такте ОМП выдает информацию на соответствующие входы микросхем памяти и УВВ.

В четвертом такте ОМП воспринимает информацию из памяти и УВВ.

5.6. Взаимодействие микро-ЭВМ с внешней памятью осуществляется через внешний интерфейс, представляющий собой:

- 16-разрядную адресно-информационную шину;
- 15-разрядную адресную шину.

Многорежимные буферные регистры (МБР), входящие в адресную шину, преобразуют адрес длительностью меньше одного такта, выдаваемый ОМП, в потенциальный.

5.7. 15-разрядная адресная шина позволяет наращивать внешнюю память до 32К слов.

5.8. Микро-ЭВМ обеспечивает асинхронный режим работы с внешней памятью тем, что микропроцессор не снимает своего обращения к памяти до прихода от нее сигнала «Ответ».

5.9. Внешняя память должна сформировать сигнал «Ответ» (контакт ХТ1: А5), предшествующий выходной информации. Передний фронт сигнала «Ответ», подаваемый на микро-ЭВМ, должен начинаться в момент выработки $\Phi 2$ (ХТ2: В30).

5.10. Для возможности отладки микро-ЭВМ на отладочном средстве введены следующие сигналы:

- «Бл ЗУ» (ХТ2: В17);
- «Бл ША» (ХТ2: А15);
- «Бл ШИ» (ХТ2: В20);
- «Бл ОМП» (ХТ2: А13);
- «ВУ» (ХТ2: А22).

Подача низким уровнем на указанные в скобках входы каждого из этих сигналов блокирует выдачу информации на соответствующую шину. При этом на блокированную шину может подаваться сигнал с ключей отладочного средства.

5.11. Режим «Прерывание» в микро-ЭВМ организуется с помощью двух 8-разрядных регистров ввода-вывода РгА и РгБ;

РгА — регистр запросов прерывания;

РгБ — регистр защиты.

Выходной сигнал «Прв» возникает при наличии «1» в немаскированных разрядах РгА. Запрет прерывания производится записью «1» в соответствующие разряды РгБ.

Информацию с РгА можно считывать в процессор «сквозь маску», в этом случае с маскированных разрядов будут считаны нули, а с немаскированных — зафиксированная там информация. Для организации в микро-ЭВМ режима прерывания необходимо соединить контакт ХТ2: В26 «Прв» с контактом ХТ2: В2 «Прв 2». По получении сигнала прерывания ОМП переходит на программу обработки прерываний.

6. УСТРОЙСТВО И РАБОТА СОСТАВНЫХ ЧАСТЕЙ МИКРО-ЭВМ

6.1. Микропроцессор

6.1.1. Однокристалльный микропроцессор (ОМП) выполнен на микросхеме К586ВМ1.

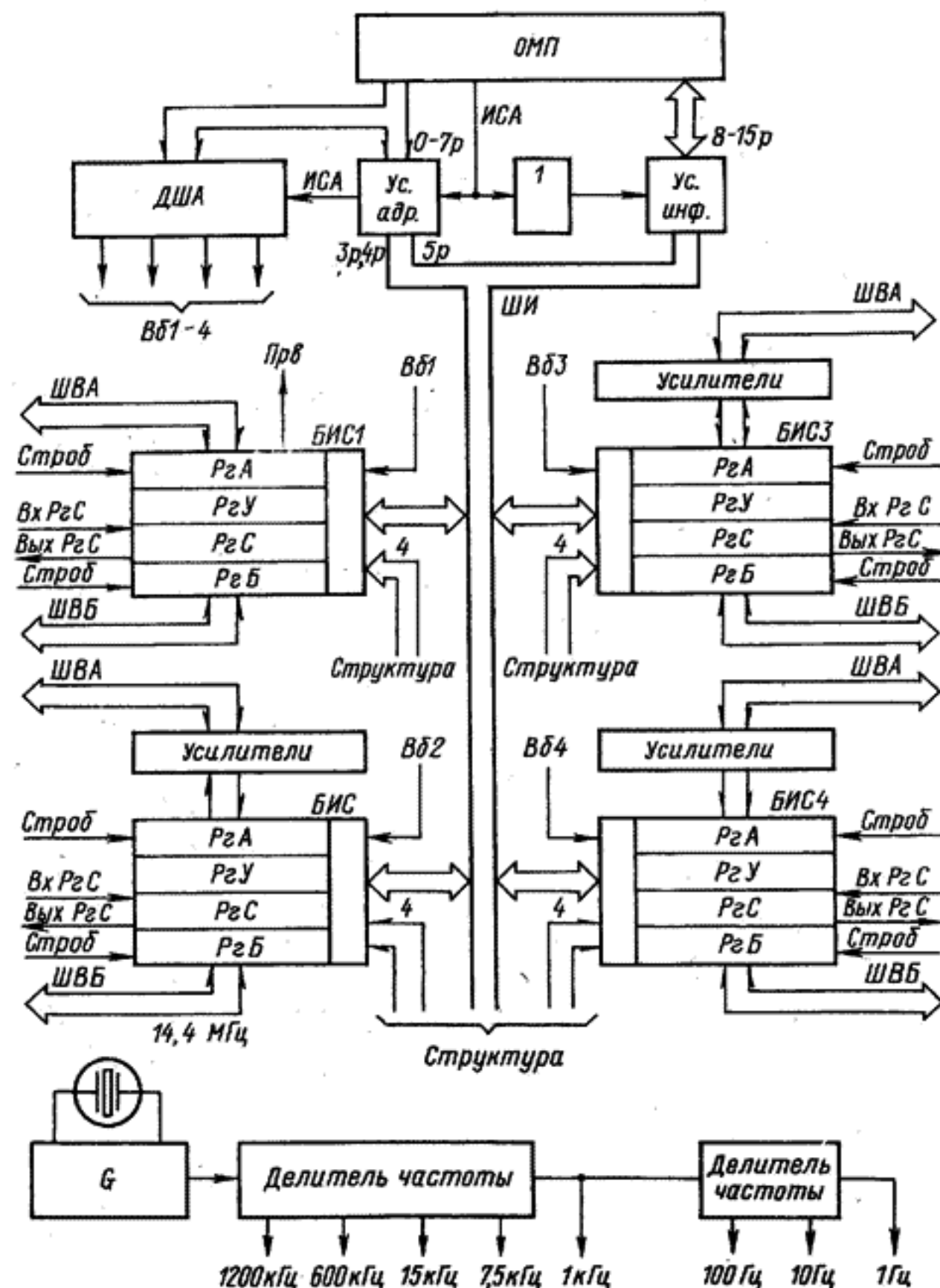


Рис. 4. Структурная схема УВВ

6.3. Устройство ввода-вывода

6.3.1. Устройство ввода-вывода (рис. 4) предназначено для связи микро-ЭВМ с внешними устройствами, а также осуществляет выработку стабилизированных частот.

УВВ включает:

- восемь параллельных 8-разрядных каналов ввода-вывода;
- четыре канала сдвиговых регистров-счетчиков;
- схему формирования сетки частот;
- схему управления режимами.

6.3.2. При обращении к УВВ со стороны процессора разряды кода адреса распределяются следующим образом:

0р, 1р, 2р — признак зоны адресов УВВ;

4р, 5р — признак логического сложения (ЛС) и логического умножения (ЛУ);

6р, 7р, 8р;

9р, 10р, 11р — определяют подзону УВВ в микро-ЭВМ;

12р, 13р — определяют адрес микросхемы на плате;

3р, 14р — определяют регистры А, Б, У или С в микросхеме.

Адресация регистров приведена в табл. 6.

6.3.3. Ввод и вывод информации в УВВ от внешних устройств производится по восьми 8-разрядным шинам ШВА1—ШВА4 и ШВБ1—ШВБ4, режим ввода информации зависит от сигнала «Строб ШВА, ШВБ».

Таблица 6

Регистр	Адресация регистров			
	Адрес			
	БИС1	БИС2	БИС3	БИС4
РгА	ECF0	ECF4	ECF8	ECFC
РгУ	FCF2	FCF6	FCFA	FCFE
РгС	ECF2	ECF6	ECFA	ECFE
РгБ	FCF0	FCF4	FCF8	FCFC

Информация ШВА, ШВБ записывается в регистр в два такта: по спаду строба происходит сброс регистра через внутренний формирователь импульса, затем с задержкой в 1 период тактовой частоты происходит запись с шин единичной информации. При заземлении строба сброс не происходит и регистр воспринимает и записывает до 8 единичных асинхронных импульсов (фронт спада). Этот режим применяется, например, для запоминания сигналов запросов прерывания. Непрерывная подача на строб сигналов $\phi 2/4$ или 600 кГц обеспечивает ввод потенциальной информации (с задержкой не более четырех периодов тактовой частоты).

Одиночный строб обеспечивает синхронный ввод информации.

Перестройка структуры ввода-вывода на уровне БИС описана в подразделе 7.4.

ОМП (рис. 3) состоит из следующих устройств: общих регистров (ОР), параллельного арифметико-логического устройства (АЛУ), регистров команд (РгК), регистров информации (РИ), регистров адреса (РА), устройства управления (УУ). Кроме того, в состав ОМП входят: схема сравнения (СхСр), триггер блокировки прерываний (ТПрв) и логика формирования синхронимпульса (ЛСр).

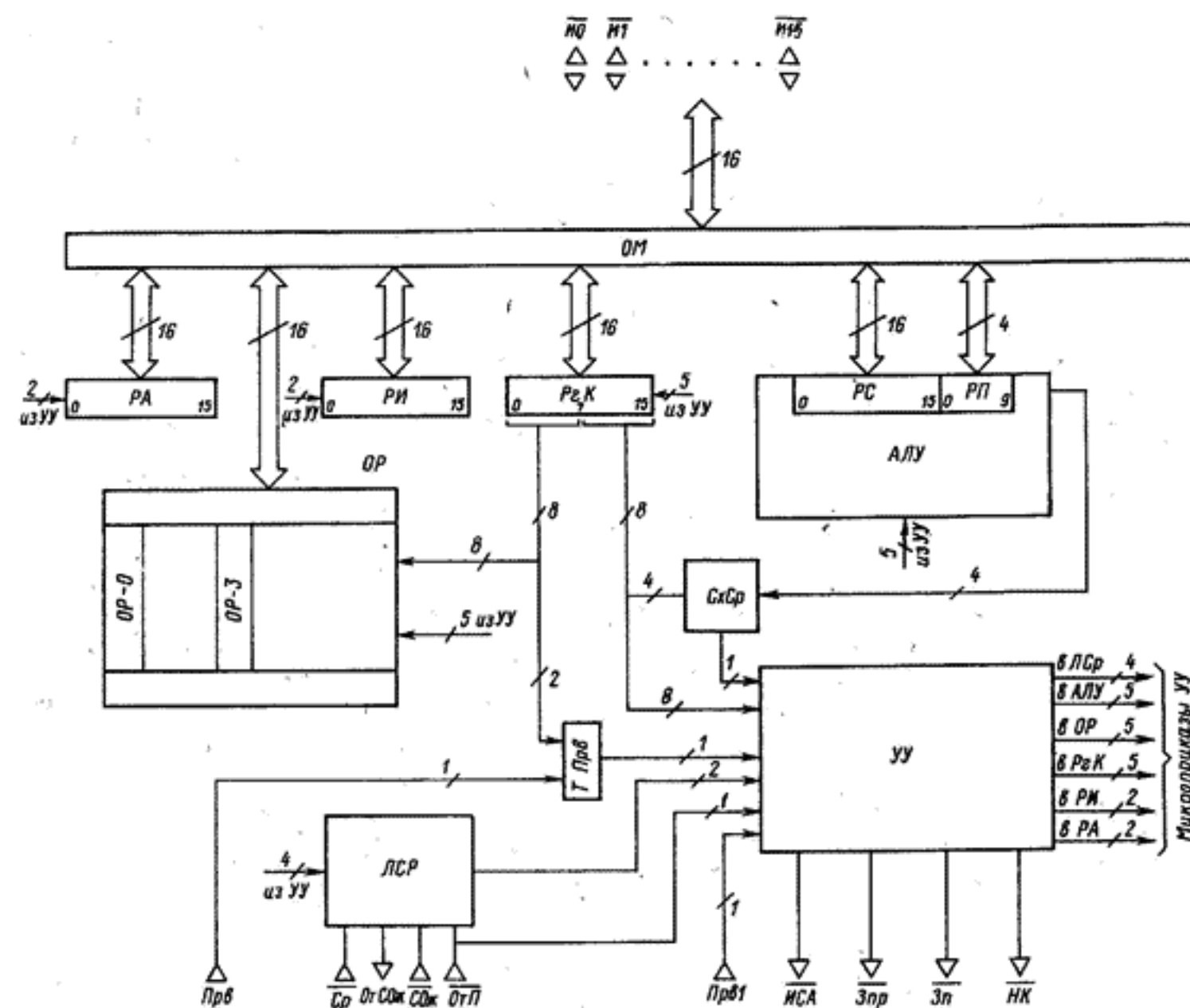


Рис. 3. Структурная схема ОМП

6.1.2. В состав общих регистров входят шестнадцать 16-разрядных регистров, выполняющих функции приема и хранения информации. Кроме того, ОР-0 имеет возможность увеличения на 2 и выполняет функции счетчика команд (СчК), а ОР-3 имеет возможность увеличения на 2 в пределах пяти младших разрядов и выполняет роль счетчика микрокоманд.

6.1.3. Арифметико-логическое устройство содержит 16-разрядный многофункциональный регистр-сумматор (РС) и 4-разрядный регистр признаков (РП). АЛУ выполняет арифметические и логи-

ческие операции и вырабатывает признаки. Управляется АЛУ 5-разрядным кодом, поступающим из устройства управления.

6.1.4. 16-разрядный регистр команд служит для приема и хранения команды в течение цикла ее исполнения. Соответствующие разряды регистра команд соединены с устройством управления, общими регистрами, схемой сравнения и триггером прерываний.

6.1.5. 16-разрядный регистр информации служит для записи и чтения информации с внешней информационной шины.

6.1.6. 16-разрядный регистр адреса выполняет функции хранения и выдачи адреса на внешнюю информационную шину.

6.1.7. Устройство управления вырабатывает последовательность микрокоманд, управляющих приемом, выдачей и обработкой информации в микропроцессоре.

6.1.8. Схема сравнения по содержимому регистра признаков и регистра команд вырабатывает сигнал, поступающий в устройство управления при командах условного перехода.

6.1.9. Триггер блокировки прерываний разрешает или запрещает внешнее программно-маскируемое прерывание.

6.1.10. Логика формирования синхроимпульса обеспечивает формирование основных синхронизирующих сигналов для устройства управления.

6.1.11. Внешний интерфейс микропроцессора служит для организации работы ОМП с внешними по отношению к нему устройствами. Внешний интерфейс включает 16-разрядную двунаправленную совмещенную адресно-информационную шину, а также управляющие сигналы «Зпр», «Зп/Сч», «ИСА» (импульс сопровождения адреса), «НК» (начало команды).

6.1.12. Для обеспечения работы ОМП в реальном масштабе времени и мультипрограммном режиме введены сигналы прерываний «Прв» и «Прв1», причем «Прв» является программно-маскируемым прерыванием, а «Прв1» — немаскируемым.

6.1.13. Работа ОМП с памятью осуществляется в соответствии с диаграммой, приведенной на рис. 2. Для работы ОМП необходимы тактовые импульсы $\Phi 1$ и $\Phi 2$, связанные определенными временными соотношениями (см. п. 6.4.1).

Сигнал «ИСА» выставляется на выходе ОМП в течение $\Phi 1$ первого такта следования тактовых импульсов, сигналы «Зпр», «Зп», адрес «Ответ» устанавливаются в течение $\Phi 1$ второго такта следования тактовых импульсов. Информация в режиме записи устанавливается на выходе ОМП в течение $\Phi 1$ третьего такта следования тактовых импульсов. Информация на входе ОМП в режиме чтения должна быть выставлена к началу $\Phi 2$ четвертого такта следования импульсов.

«Ответ» и информация при чтении должны быть сняты к концу такта, в котором закончился «Зпр».

6.1.14. Пуск микропроцессора после выполнения команды «Программного останова» осуществляется подачей сигнала «Пуск», поданного к началу $\Phi 1$ и снятого к началу следующего такта. Обращение к памяти за командой производится через такт после прихода сигнала «Пуск».

6.1.15. Микропроцессор устанавливается в начальное состояние сигналом «Сброс», который должен быть установлен к началу $\Phi 1$ и должен держаться 3 такта. Через 2 такта после окончания сигнала «Сброс» ОМП начнет обращение к памяти за первой командой по адресу 1000.

6.1.16. Наименование контактов приведено в табл. 5.

Таблица 5

Наименование контактов			
Сигнал	Контакт	Сигнал	Контакт
ИСА	1	И5р	21
Зпр	2	И11р	22
Зп/Сч	3	И4р	23
Ответ	7	И3р	25
Пуск	8	И7р	26
$\Phi 2$	9	И14р	27
И15р	10	$\Phi 1$	28
И12р	11	Подложка	24
И6р	12	Отв СОж	32
И13р	13	Ср (общий)	33
Общий	14	СОж	34
И2р	15	+ 5 В	35; 43
И8р	16	+ 12 В	36; 45
И1р	17	Прв1	44
И9р	18	Прв2	46
И0р	19	Сброс ОМП	47
И10р	20	НК	48

6.2. Память микро-ЭВМ

6.2.1. Память микро-ЭВМ включает 2048 16-разрядных чисел ПЗУ и 256 16-разрядных чисел ОЗУ, имеется принципиальная возможность наращивания памяти до 32К чисел с помощью внешней памяти.

Внутренняя память ОЗУ построена на четырех микросхемах К586РУ1, внутренняя память ПЗУ построена на двух микросхемах К586РЕ1.

Выбор нужной микросхемы ОЗУ или ПЗУ осуществляется с помощью сигналов ВК0, ВК1, ВК2, полученных с выхода дешифратора при подаче на вход ИС соответствующего кода.

Сигнал ВК0 выбирает четыре микросхемы ОЗУ, сигнал ВК1 выбирает ПЗУ1, ВК2 выбирает ПЗУ2.

В случае переполнения зоны адресов внутренней памяти автоматически происходит переход на работу с внешней памятью.

6.2.2. При работе ОМП с внешней памятью предлагается следующее распределение поля памяти:

0000	01FE	ОЗУ микро-ЭВМ
0800	0FFE	Зона расширения ЗУ
1000	17FE	ПЗУ-1
1800	1FFE	ПЗУ-2
2000	DFFE	Зона расширения ЗУ
ECE0	ECE4	Служебные адреса