

КОМПЛЕКС ЗАПАСНЫХ ЧАСТЕЙ КИ 1700

Заводской № 0580 Год выпуска 1989

ПРОЦЕССОР СМ 2700.2400

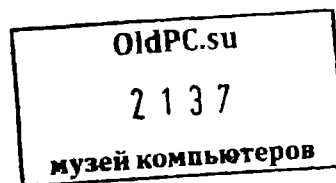
Руководство по эксплуатации

ИЭЗ.030.012 РЭГ

Часть 2

Приложение

Книга



Утвержден
3.030.012РЭ-ЛУ

ПРОЦЕССОР СМ 2700.2400
Руководство по эксплуатации
Часть 2
3.030.012РЭ1
Приложения

OldPC.ru
2137
музей компьютеров

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
47-1575	9. - 87.04.27			

1987

СОДЕРЖАНИЕ

Лист

Приложение I. Рис.	1. Функциональная схема центрального процессора	5
	Рис. 2. Блок-схема микросеквенсера	6
	Рис. 3. Адресация микростека	7
	Рис. 4. Временная диаграмма функции пропуска	8
	Рис. 5. Временная диаграмма функции перехода	9
	Рис. 6. Выбор адреса перехода на линии <i>NAP</i>	10
	Рис. 7. Временная диаграмма функций <i>JSR./RETURN</i>	11
	Рис. 8. Блок-схема аппаратуры обработки инструкций	12
	Рис. 9. Основные форматы инструкций	13
	Рис. 10. Командные данные (собственный режим) <i>b.PFR</i>	14
	Рис. 11. Временная диаграмма операции загрузки <i>..PFR</i>	15
	Рис. 12. Управляющая логика <i>IB VALID</i>	16
	Рис. 13. Управляющая логика <i>PFR</i>	17
	Рис. 14. Адресация ПЗУ дешифраций	18
	Рис. 15. Структура ПЗУ дешифраций	19
	Рис. 16. Структура ПЗУ дешифрации типа данных и класса кодов условий	20
	Рис. 17. Управляющая логика <i>GPR DEST</i>	21
	Рис. 18. Управляющая логика <i>РВКУР FLAG</i>	22
	Рис. 19. Блок-схема микроинструкции <i>DECODE</i>	23
	Рис. 20. Формирование номера общего регистра в <i>OS</i>	24
	Рис. 21. Блок-схема тактового генератора III	25

Перв. примен. СМ 2700.2400.3.030.012

Справ. № Подл. и дата Подл. и дата Взам. инв. № Инв. № дубл. Инв. № подл. 17-1576 21.04.27

3.030.012РЭ1				
Изм.	Лист	№ докум.	Подп.	Дата
Разраб.			<i>Ильин</i>	<i>21.11.9</i>
Пров.			<i>Ильин</i>	<i>21.11.9</i>
Н. контр.			<i>Ильин</i>	<i>21.04.9</i>
Утв.			<i>Ильин</i>	<i>21.11.9</i>
ПРОЦЕССОР СМ2700.2400				
Руководство по эксплуата-				
ции				
часть 2				
Приложение				
		Лит.	Лист	Листов
		2	2	55

Рис. 22. Временная диаграмма тактовых сигналов III.....	26
Рис. 23. Блок-схема процессора.....	27
Рис. 24. Передача данных в базовой части III...	28
Рис. 25. Базовая синхронизация процессора данных.....	29
Рис. 26. Структура и управление арифметического-логического устройства.....	30
Рис. 27. Управление переносом.....	31
Рис. 28. Управление сдвигом.....	32
Рис. 29. Конфигурация сдвигов.....	33
Рис. 30. Конфигурация местной памяти.....	34
Рис. 31. Управление типом данных.....	35
Рис. 32. Регистры размера (SIZE) и типа данных (MDT).....	36
Рис. 33. Логика управления кодов условий.....	37
Рис. 34. Регистр ALU CC.....	38
Рис. 35. Регистр PSL CC.....	39
Рис. 36. Распределение разрядов дискретных регистров.....	40
Рис. 37. Логика управления чтением/записью регистров.....	41
Рис. 38. Логика управления расширением знака...	42
Рис. 39. Временные диаграммы обращения к памяти.....	43
Рис. 40. Блок-схема микроинструкции MEM REQ	44
Рис. 41. Блок-схема микроинструкции MOVE	45
Рис. 42. Блок-схема микроинструкции MISC PORT	47

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1575	87.04.29			

Имя	Лист	№ докум.	Подп.	Дата	3.030.012PЭI	Лист
						3

Рис. 43. Временные диаграммы пересылок между процессором (DAP) и процессором плавающей запятой (FPA)	48
Рис. 44. Временные диаграммы пересылок между процессором (DAP) и портовым устройством	50
Рис. 45. Блок-схема аппаратуры обработки прерываний	51
Рис. 46. Обслуживание прерываний микрокодом ЦП	52
Рис. 47. Обработка запросов прерываний общей шины	53
Приложение 2. Символьные обозначения в блок-схемах микроинструкций	54

Ина № подл. 17-1575	Подп. и дата 01-87.04.27	Взам. инв. №	Ина. № дубл.	Подп. и дата
№	Лист	№ докум.	Подп.	Дата
3.030.012P3I				Лист 4

Приложение 1

Функциональная схема центрального процессора

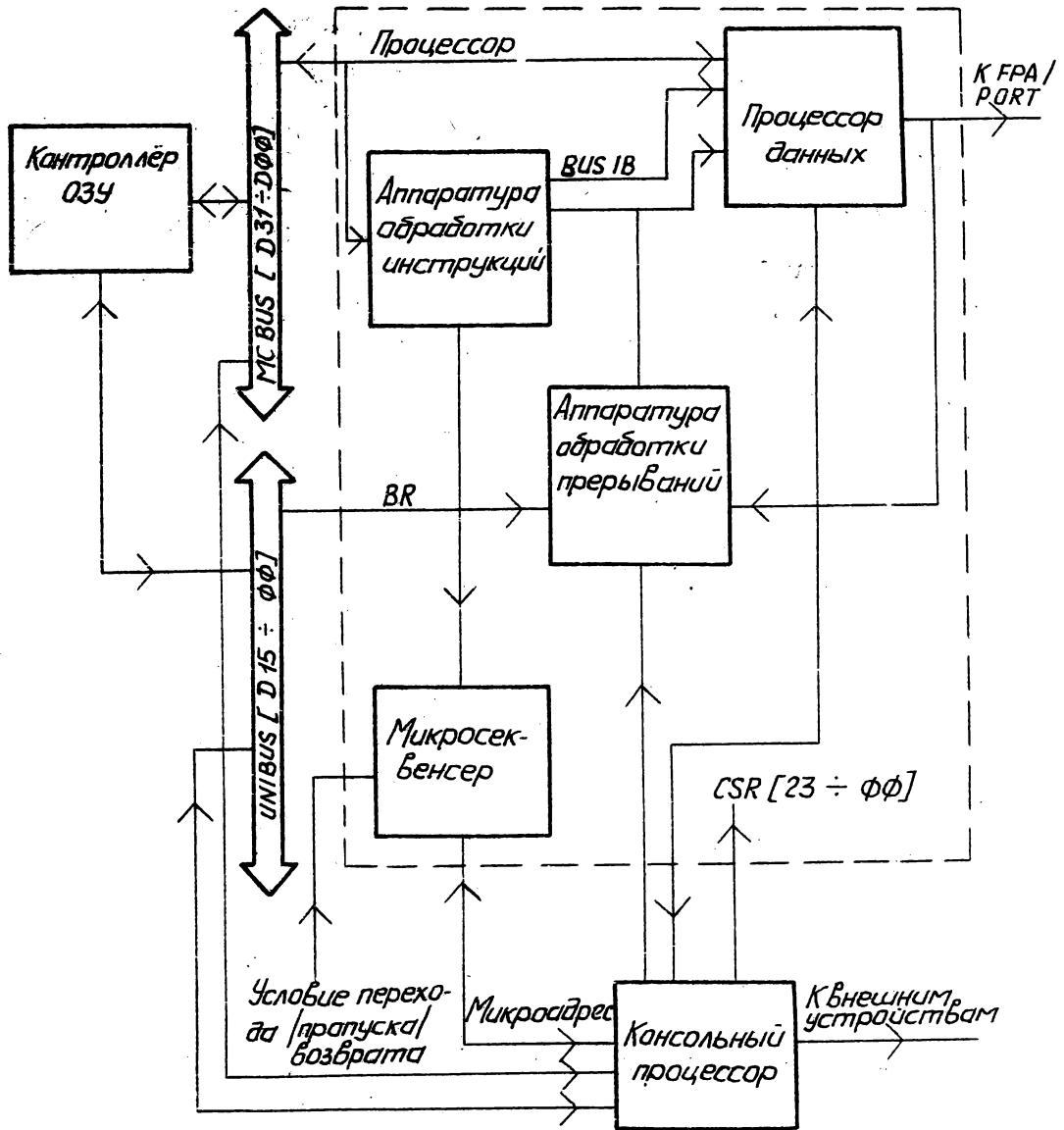


Рис. 1

Ина № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1575	9/1 - 27.04.27	Инв. № дубл.	

Ина	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист
5

Адресация микростека

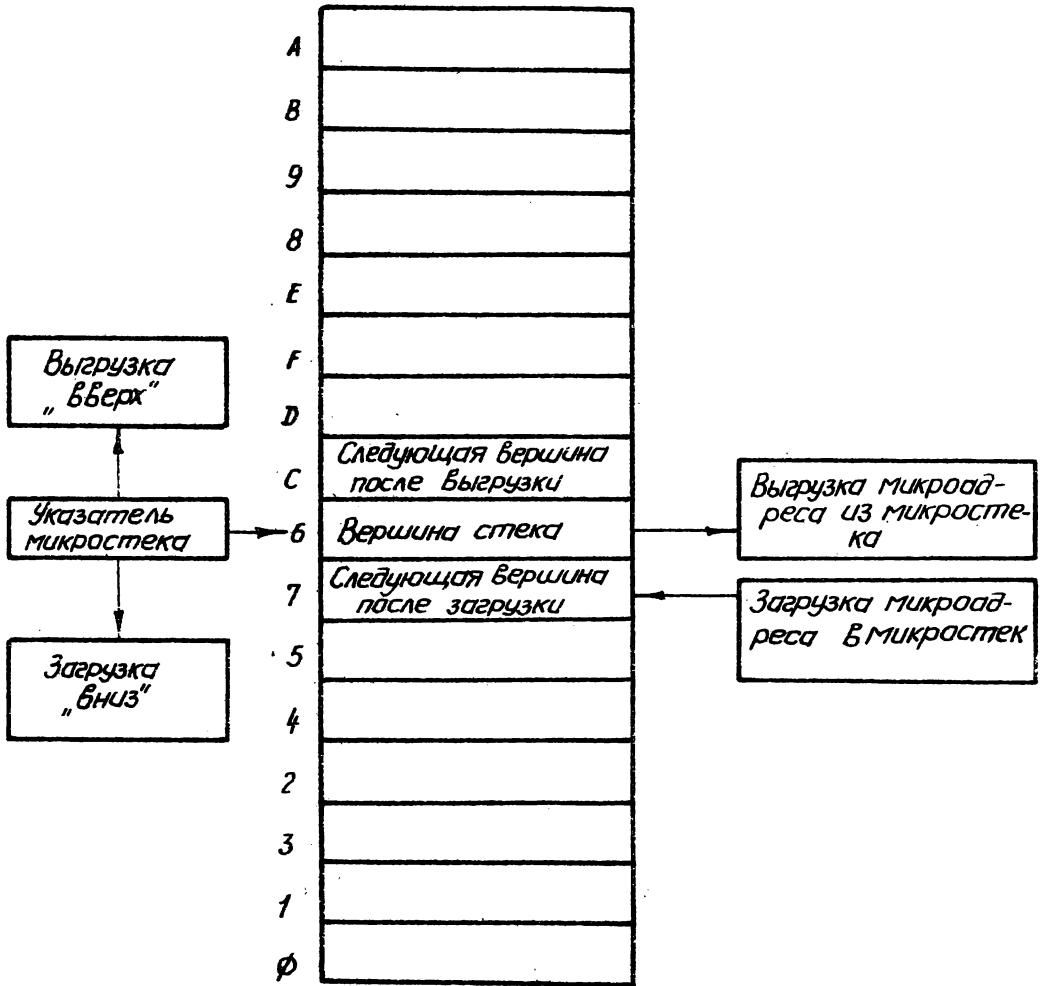


Рис. 3

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1675	87.04.27			

Лист	№ докум.	Подп.	Дата

3.030.012РЭ1

Лист
7

Временная диаграмма функции пропуска

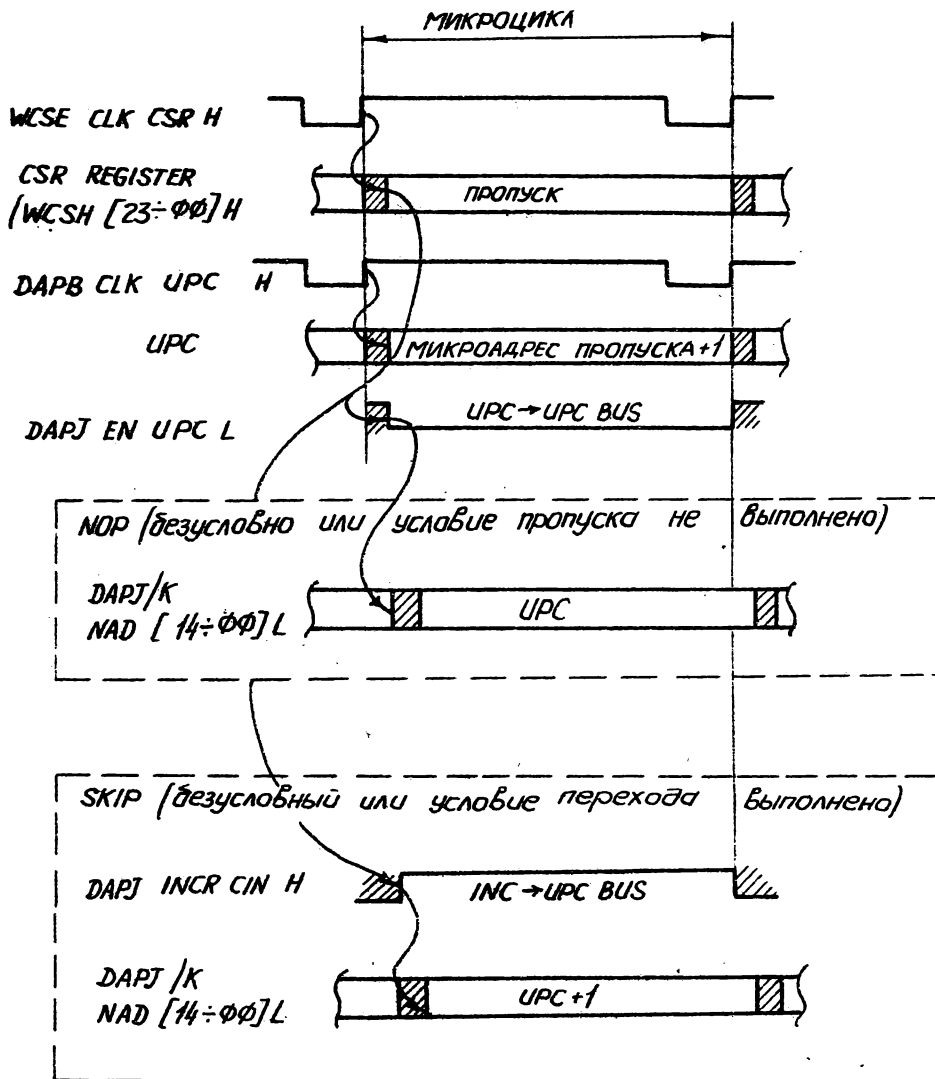


Рис. 4

Имя № подл.	Подп. и дата	Взем. инв. №	Инва. № дубл.	Подп. и дата
17 - 1575	81.04.27			

№	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист
8

Временная диаграмма функции перехода

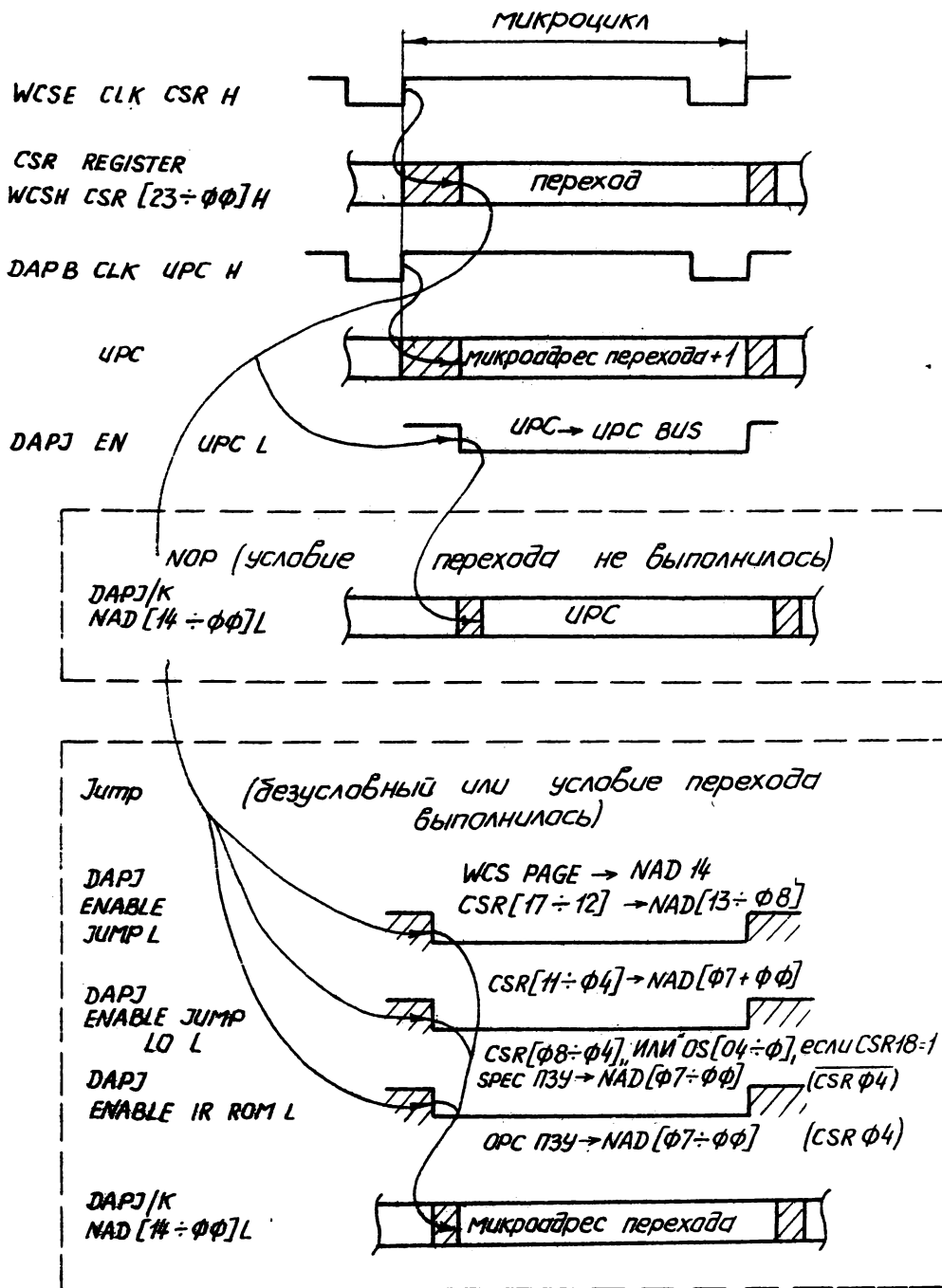


Рис.5

Имя № подл.	Подп. и дата	Взам. инв. №	Имя, № дубл.	Подп. и дата
17-1575	87.04.27			

Лист	№ докум.	Подп.	Дата

3.030.012РЭ1

Лист
9

Копировал

Формат А4

Выбор адреса перехода на линии NAD

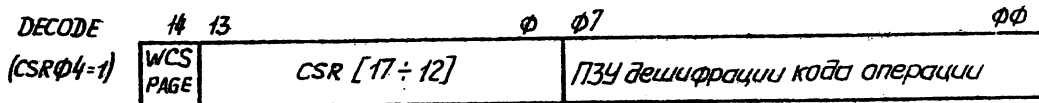
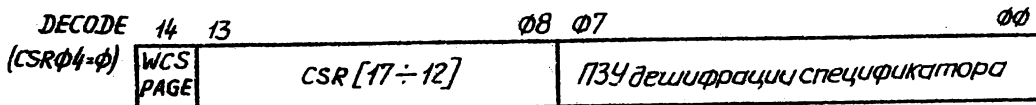
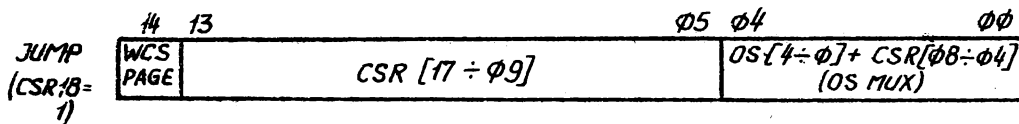
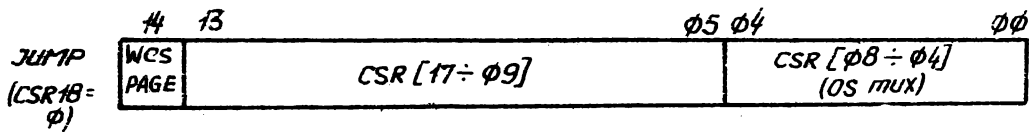


Рис. 6

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1875	9/ - 87.04.27			

№	Лист	№ докум.	Подп.	Дата

3.030.012P9I

Лист
10

Временная диаграмма функций JSR/RETURN

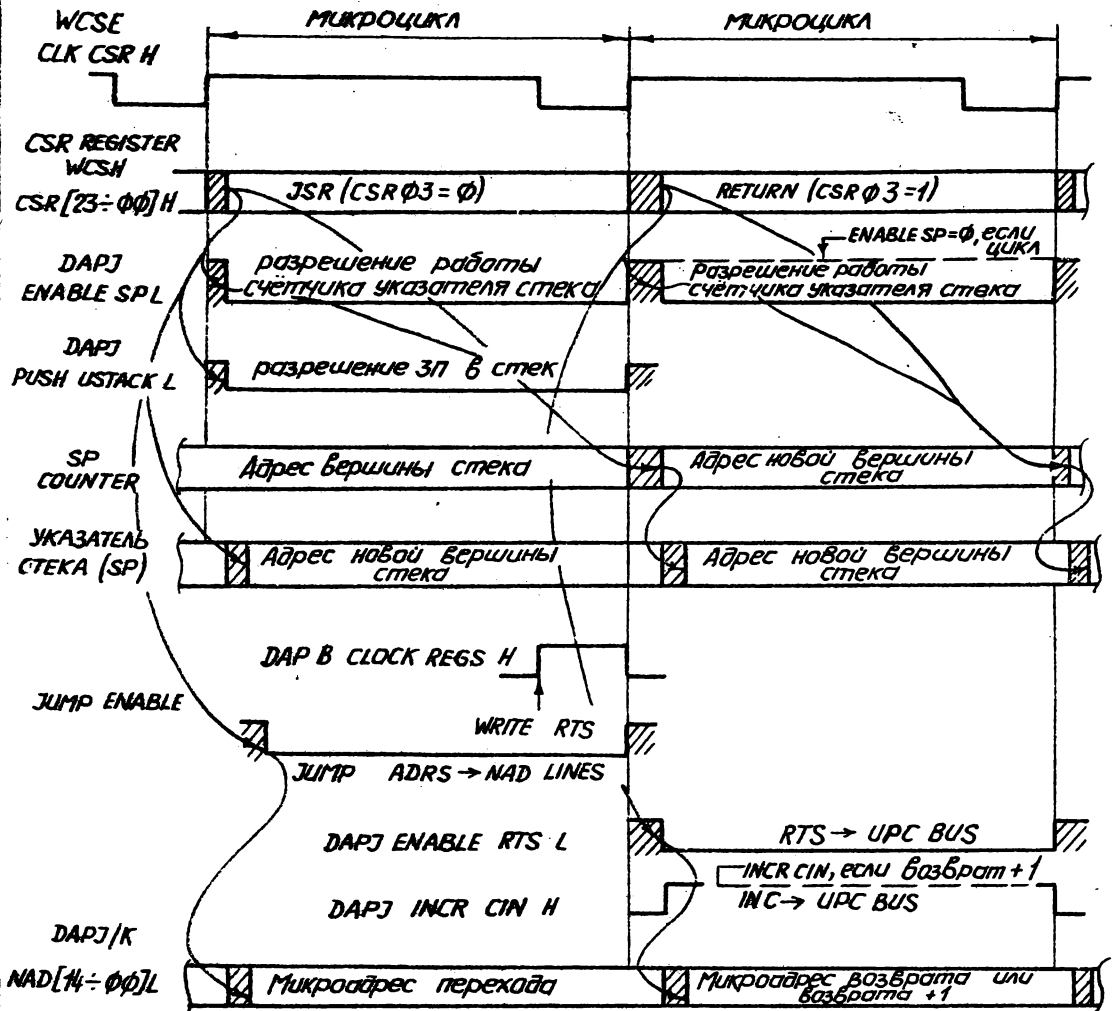
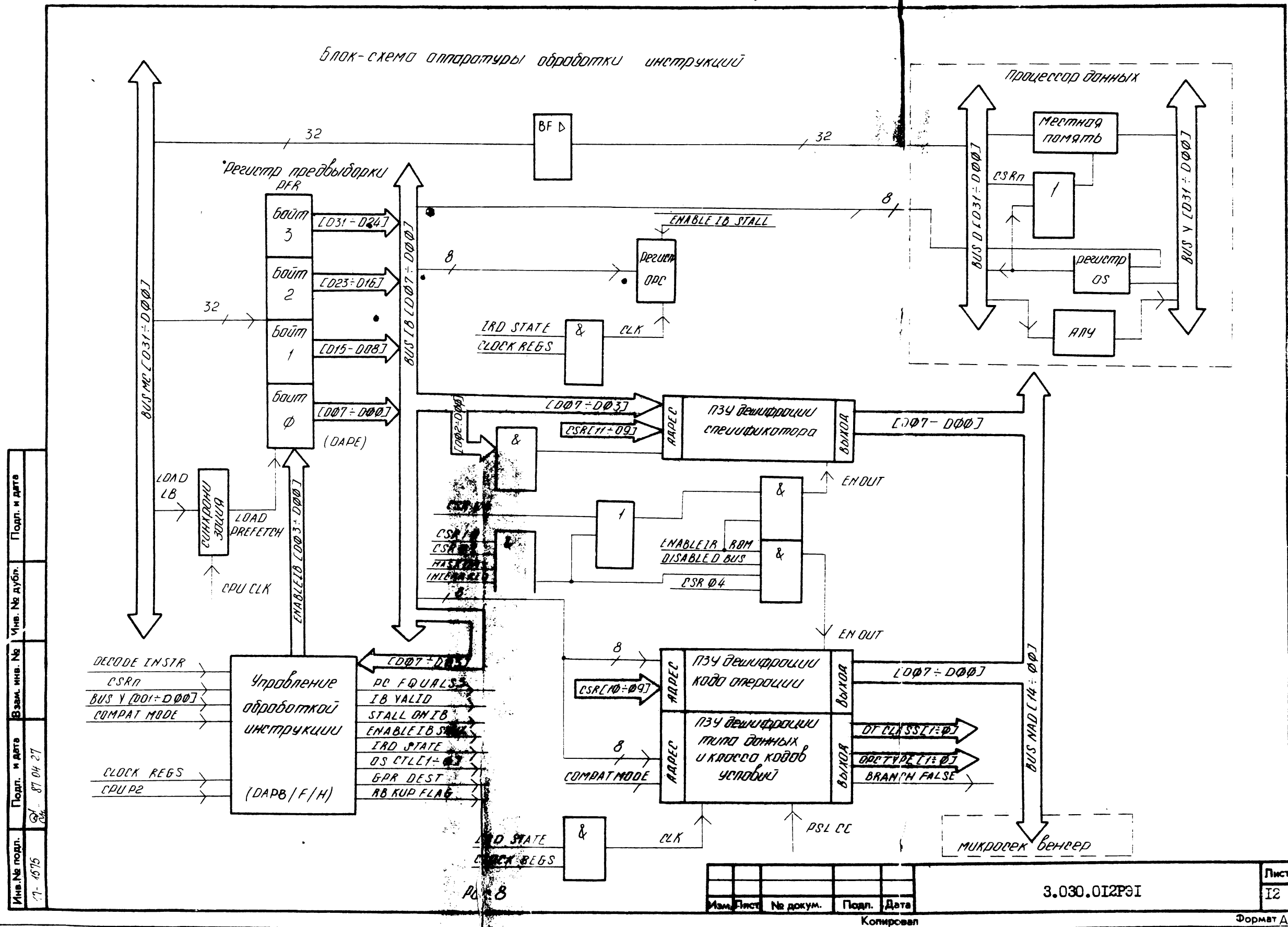


Рис. 7

Имя № подл. 17-1575	Подп. и дата 87.04.27	Взам. инв. №	Подп. и дата
Инв. № дубл.	Имя № подл.	Подп. и дата	Взам. инв. №

Блок-схема аппаратуры обработки инструкций



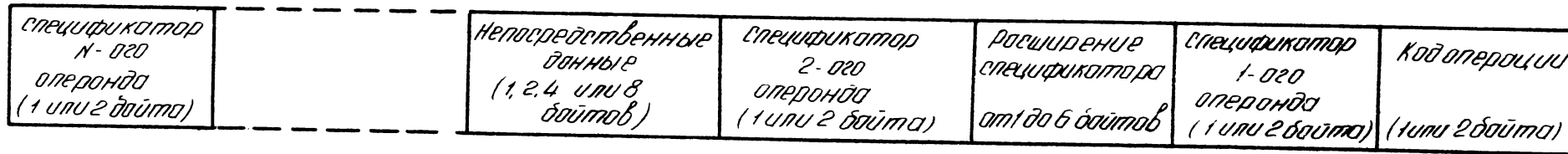
Имя, № подл.	71-1575
Подл. и дата	87.04.27
Взам. инв. №	
Имя, № дубл.	
Подл. и дата	

Имя	Лист	№ докум.	Подл.	Дата
	I2			

3.030.012PЭ1

Основные форматы инструкции

собственный режим



режим совместимости

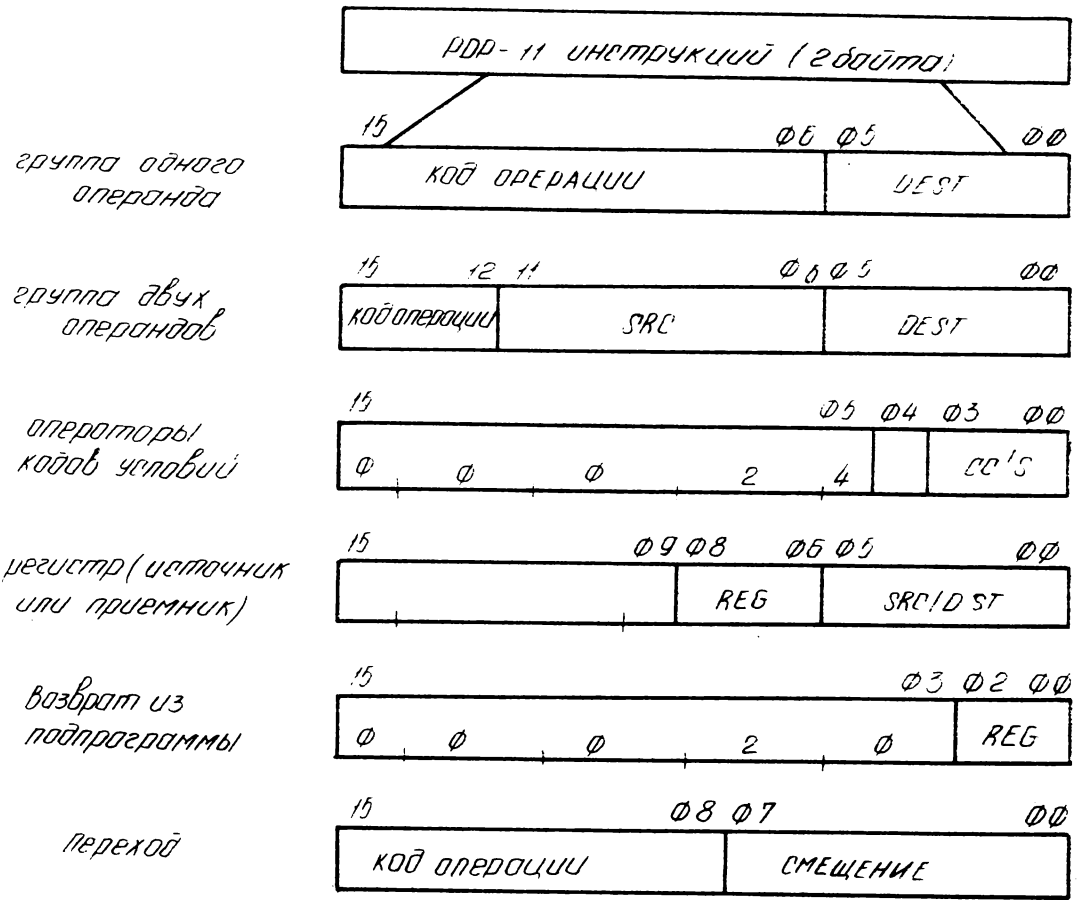


Рис. 9

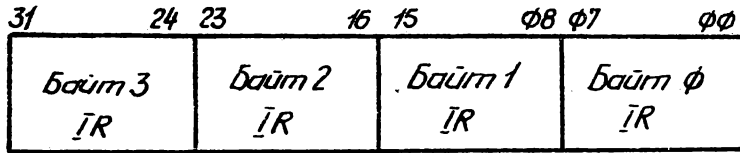
Имя, № подл.	Подл. и дата
17-1876	87.04.27
Имя, № инв. №	Подл. и дата
Взам. инв. №	Имя, № дубл.
Подл. и дата	Подл. и дата

Изм.	Лист	№ докум.	Подл.	Дата	3.030.012РЭ1	Лист
						13

Копировал

Формат А3

Командные данные
(собственный режим)
в PFR



Адрес в памяти
памяти

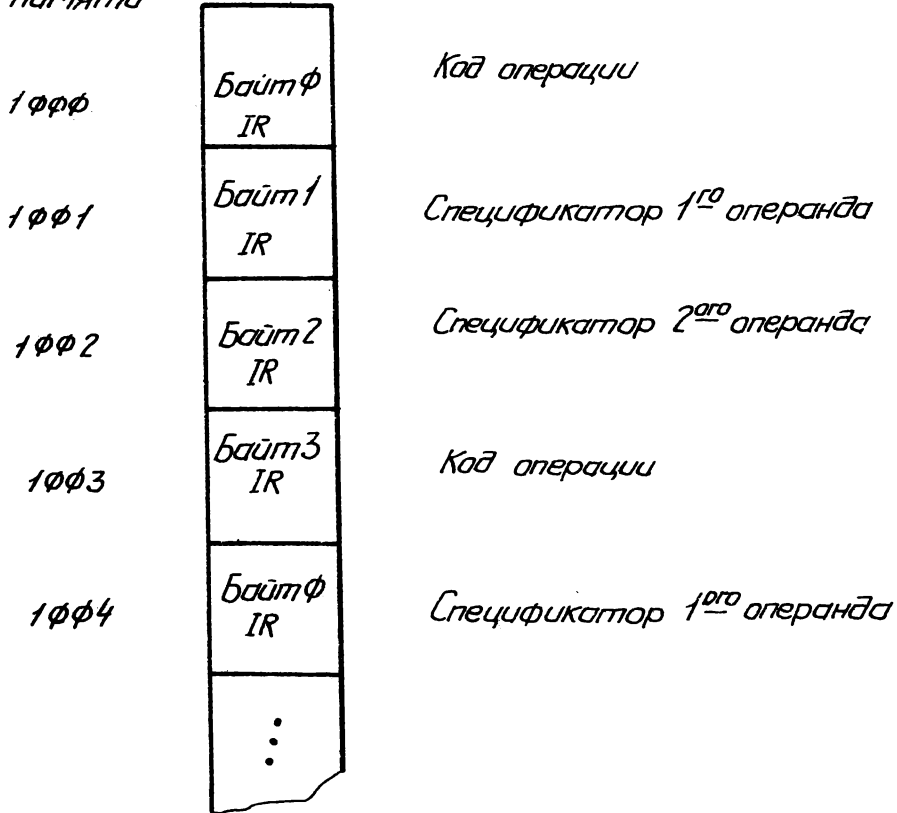


Рис. 10

Имя № подл.	Подп. и дата	Взем. инв. №	Инв. № дубл.
17-1076	[подпись] - 27.04.27		
Имя	Лист	№ докум.	Подп. Дата

3.030.012PЭI

Лист
14

Временная диаграмма операции загрузки PER

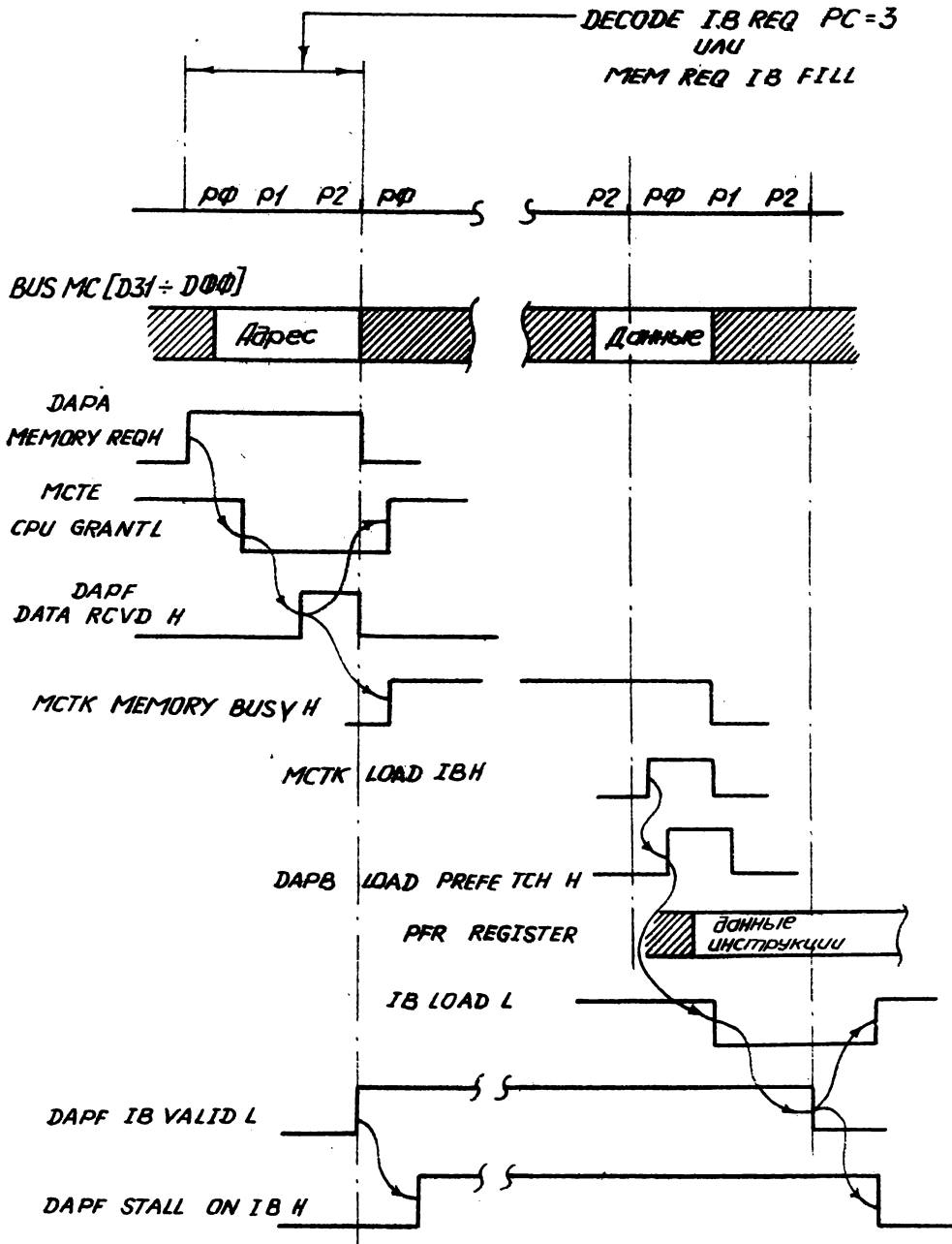


Рис. 11

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
11-1515	9.1 - 87.04.27			

Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист
15

Управляющая логика IB VALID

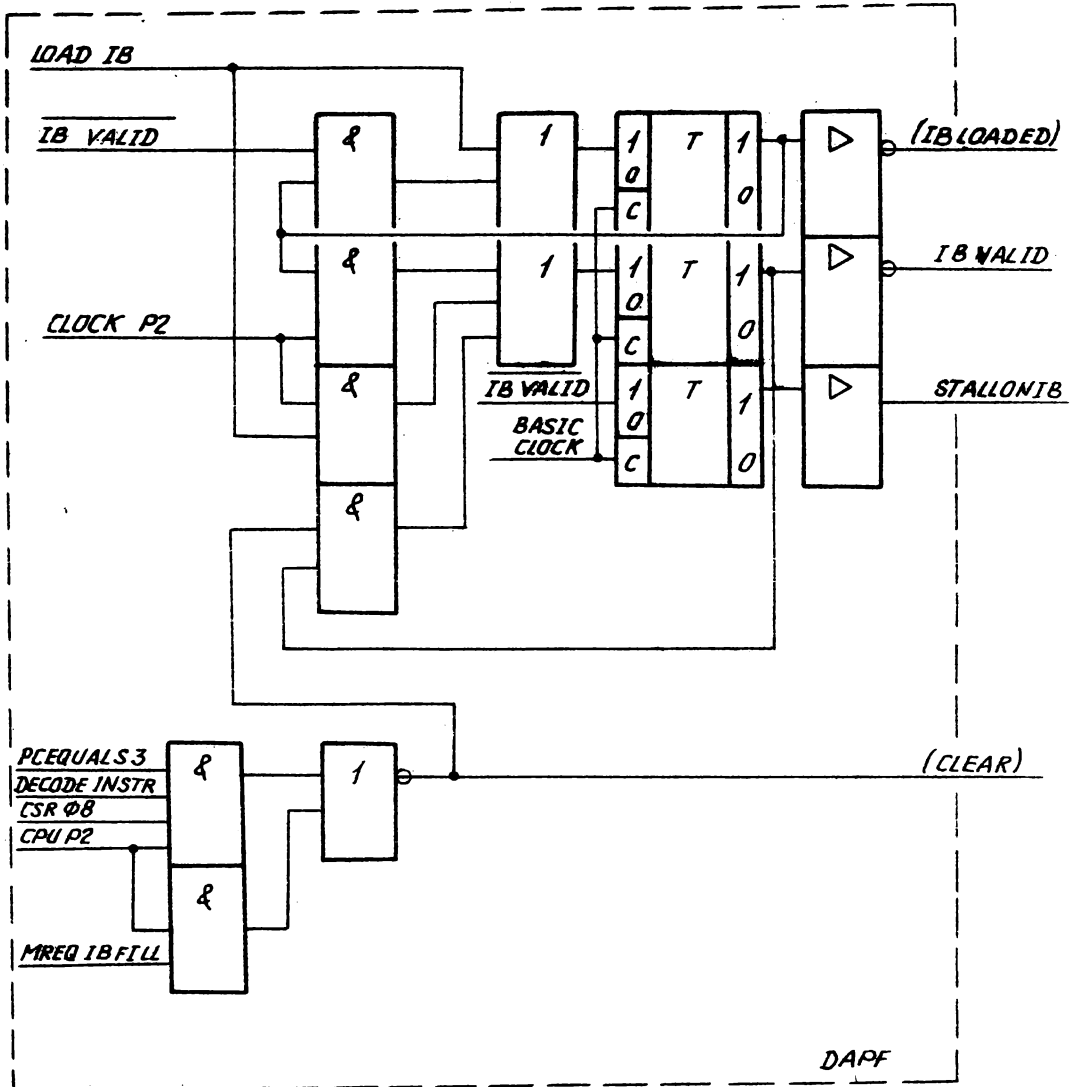


Рис. 12

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1575	87-04-27		
Имя	Лист	№ докум.	Подп.

3.030.012P9I

Лист
16

Управляющая логика PFR

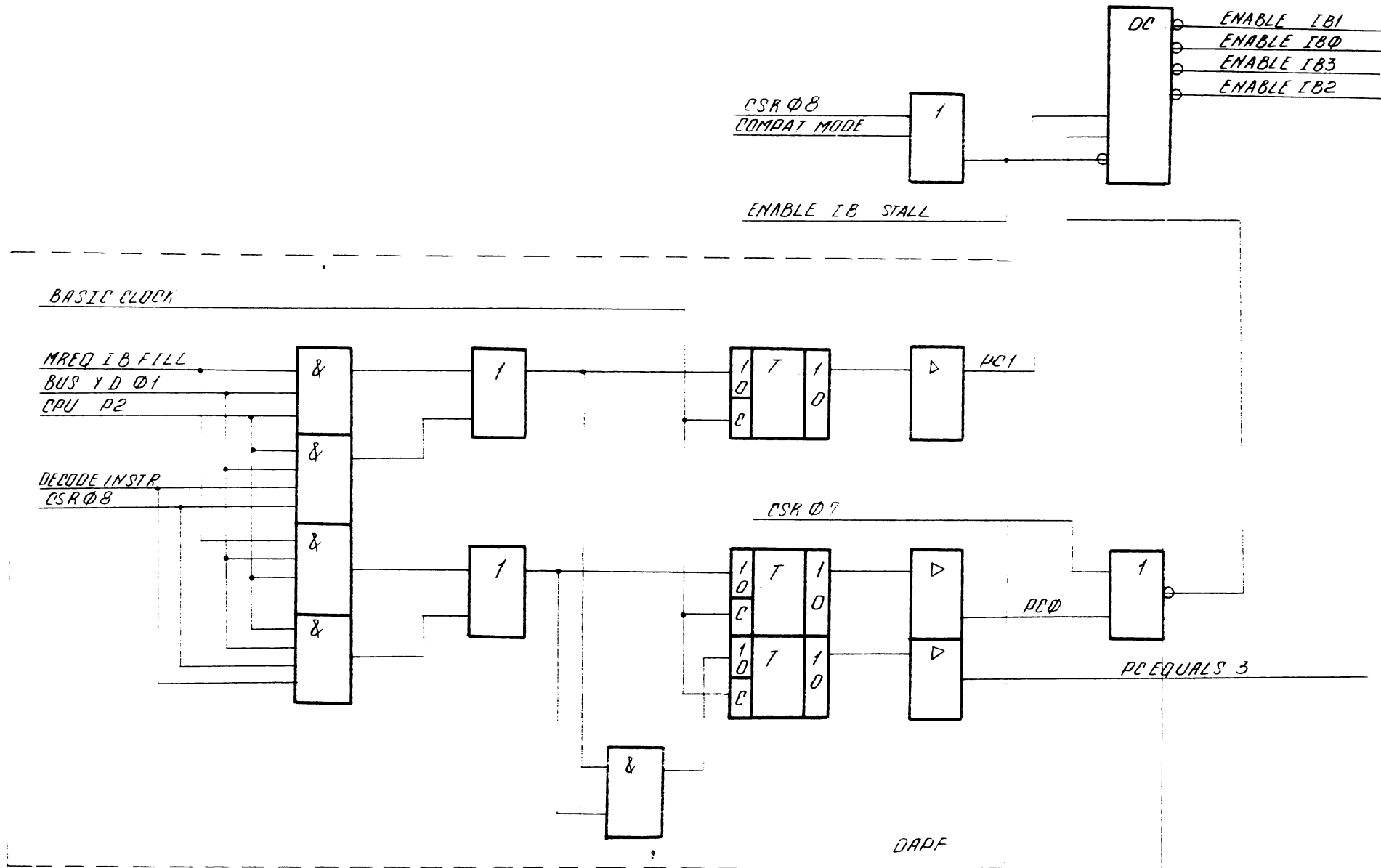


Рис. 13

OldPC.su
2137
музей компьютеров

Имя. № подл.	Подп. и дата	Взам. инв. №	Исх. № дубл.	Подп. и дата
17-1676	92-8704-27			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012P91

Лист
17

Копировал

Формат А3

*Адресация ПЗУ дешифрации
формат микроинструкций DECODE*

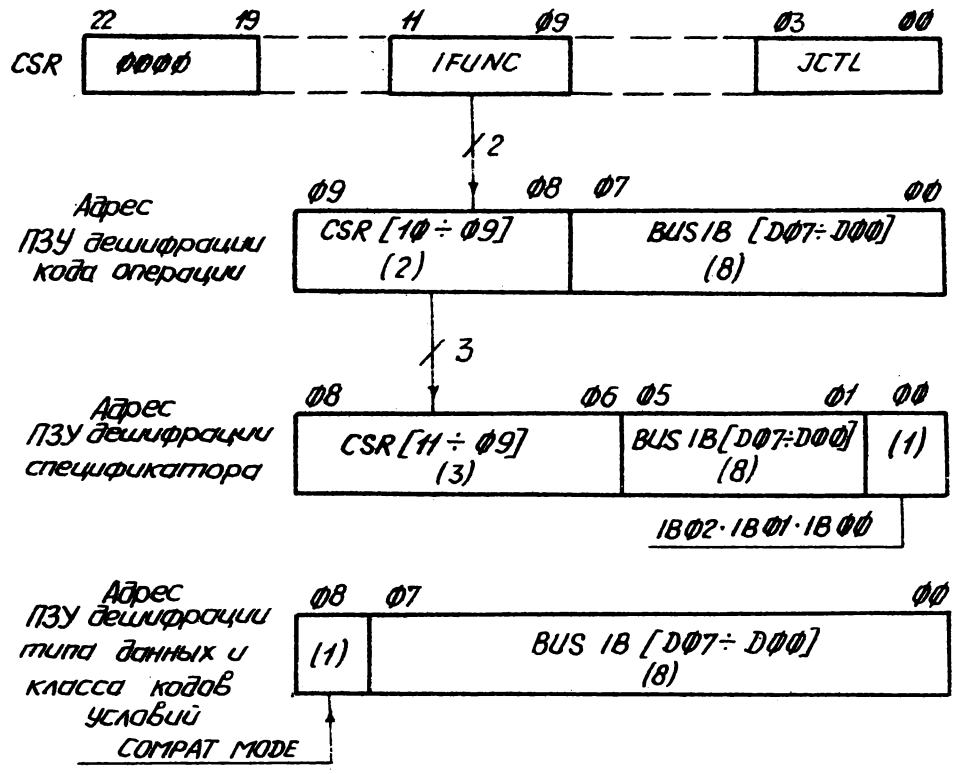


Рис. 14

Ина. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1575	Р. - 27.04.27			

Ина.	Лист	№ докум.	Подп.	Дата

3.030.012PЭI

Лист
18

Структура ПЗУ дешифраций

ПЗУ дешифрации кода операции (1К x 8 бит)

I FUNC	Код	Описание
0	000	CM EXEC
	0FF	
1	100	CM IRD
	1FF	
2	200	NATIVE EXEC
	2FF	
3	300	NATIVE IRD
	3FF	

ПЗУ дешифрации спецификатора (512 x 8 бит)

I FUNC	Код	Описание
0	000	SPEC
	03F	
1	040	FLOAT
	07F	
2	080	ASRC
	0BF	
3	0C0	INT TRAP BLOCK
	0FF	
4	100	VSRC
	13F	
5	140	ESRC
	17F	
6	180	CM DST
	1BF	
7	1C0	CM SINGLE
	1FF	

ПЗУ дешифрации типа данных и класса кодов условий (512 x 4 бита)

COMPAT MODE	Код	Описание
0	000	NATIVE MODE
	0FF	
1	100	CM
	1FF	

Рис. 15

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1575	[Подпись] 27.04.27	Инв. № дубл.	[Подпись]

Лист	№ докум.	Подп.	Дата
19			

3.030.012P9I

Структура дешифратора типа данных и
класса кодов условий

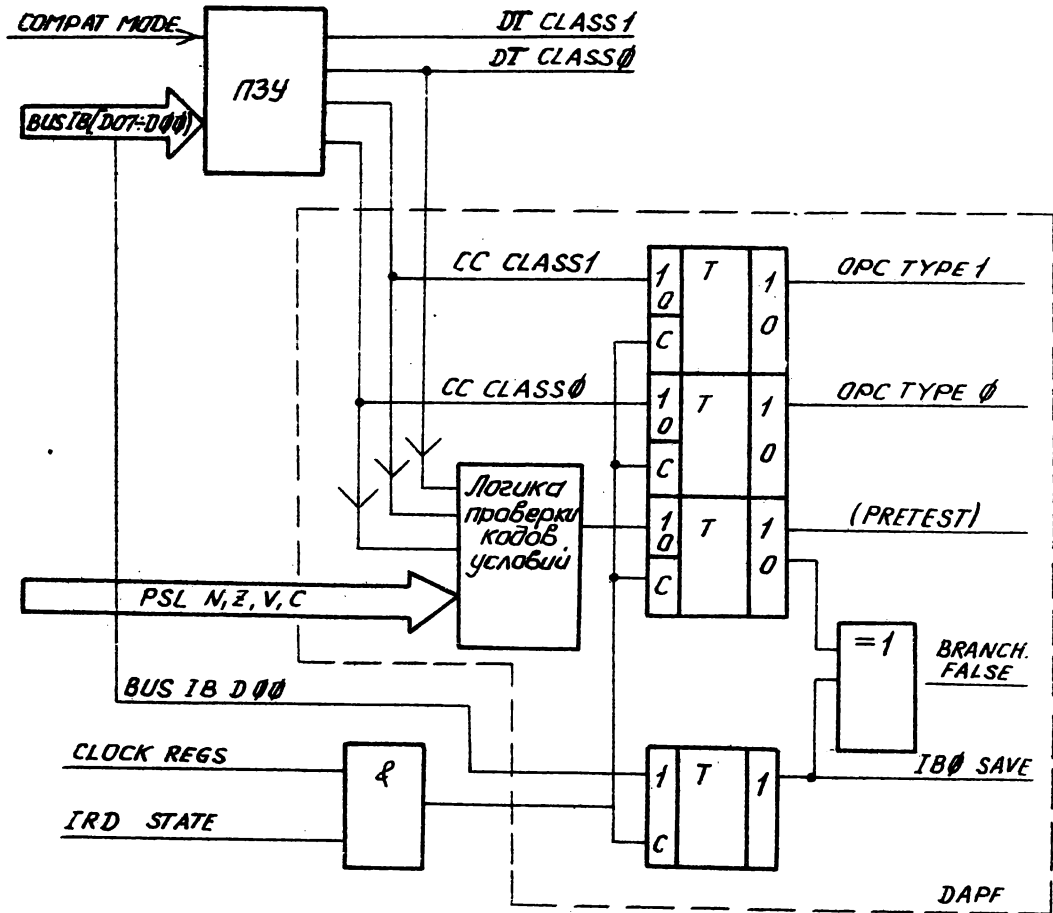


Рис. 16

Имя № подл.	Подп. и дата
МТ-1576	87-04-27
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Лист	№ докум.	Подп.	Дата

3.030.012PЭI

Лист
20

Управляющая логика GPR DEST

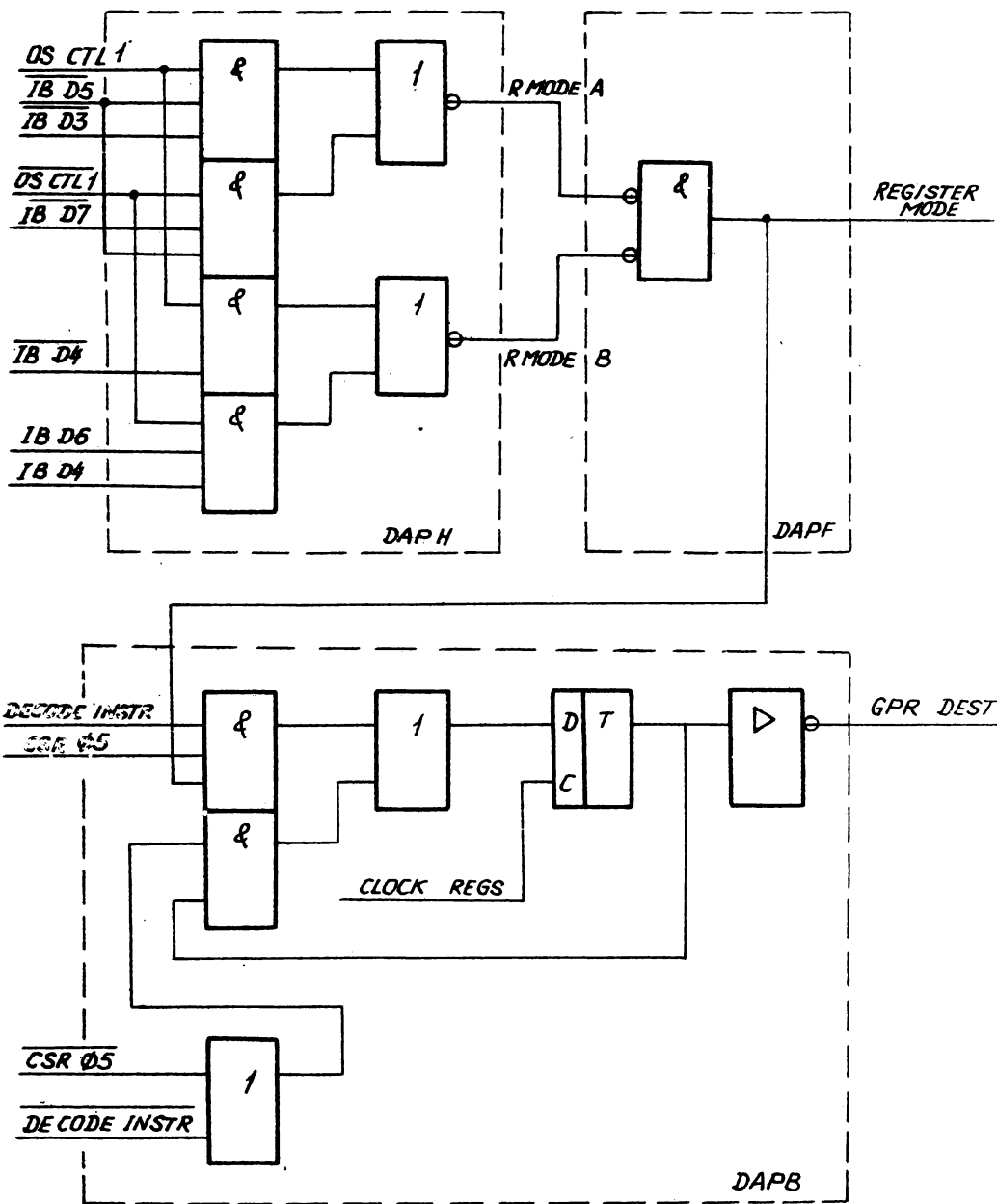


Рис. 17

Имя № подл. 17-1675	Подп. и дата 81.04.27	Взам. инв. №	Подп. и дата
Инв. № дубл.	Имя № дубл.	Подп. и дата	Имя № дубл.

Имя	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

3.030.012P9I

Лист
21

Управляющая логика RBKUP FLAG

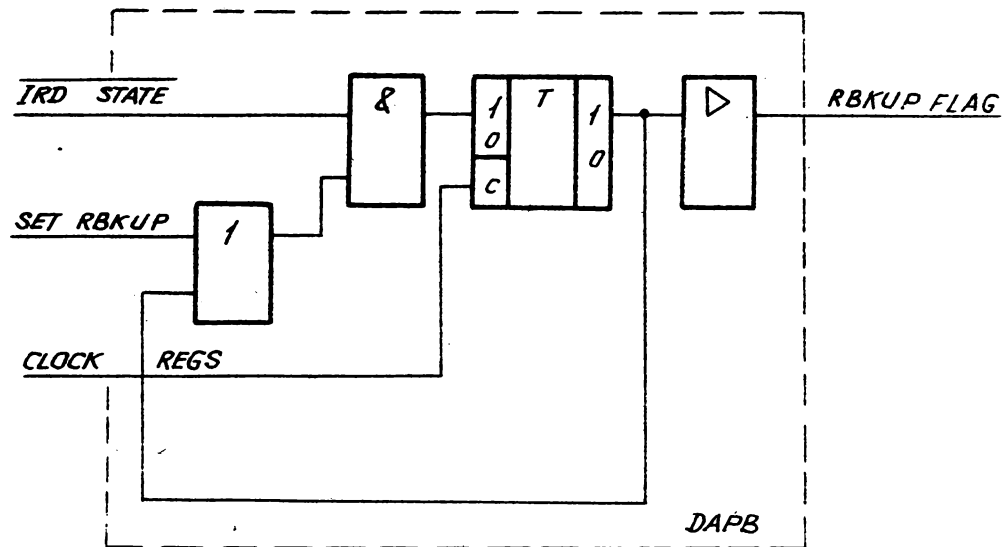


Рис. 18

Ина № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
11-1576	Ск - 27.04.27			

Лист	№ докум.	Подп.	Дата

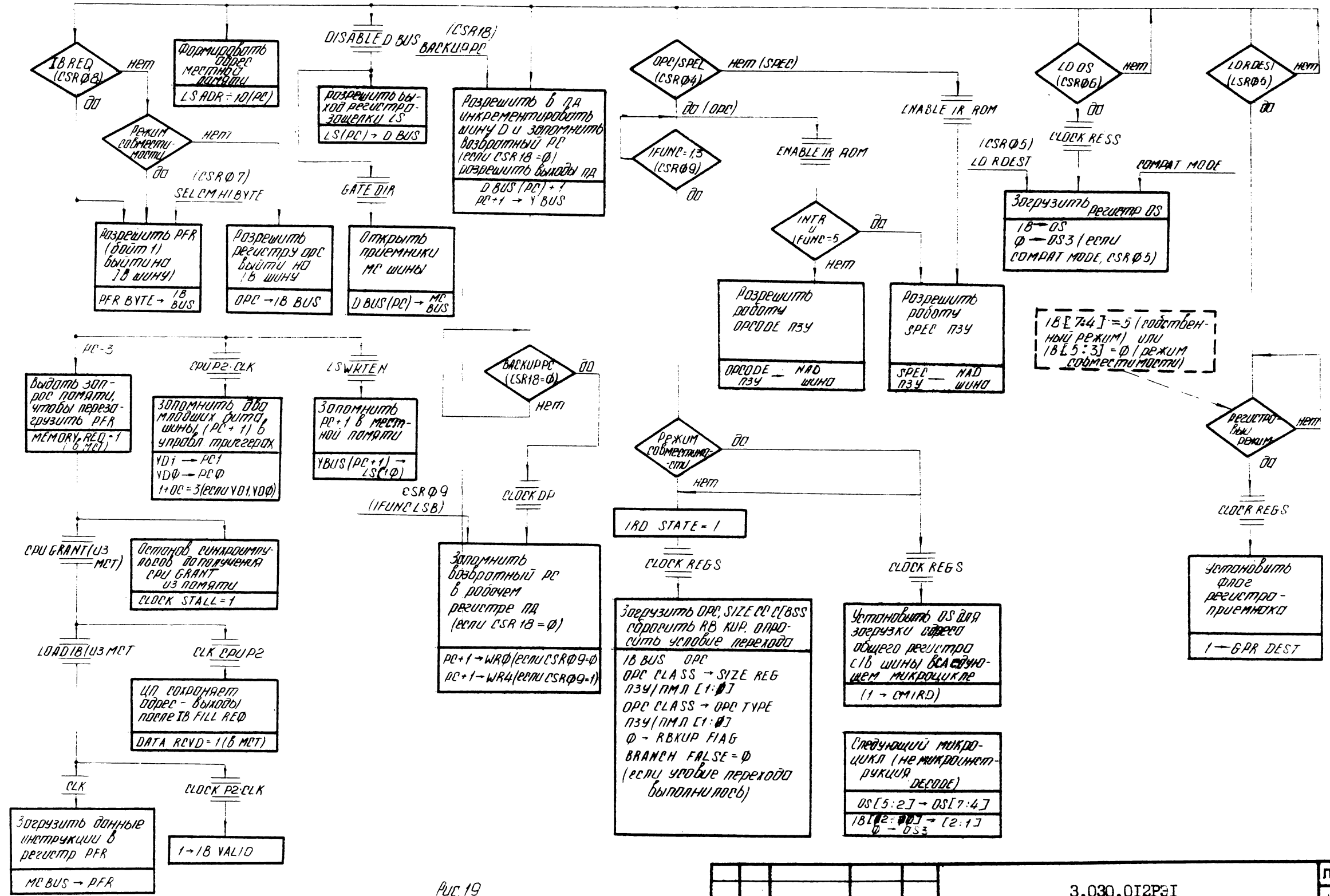
3.030.012PЭ1

Лист
22

DECODE

БЛОК-СХЕМА МИКРОИНТЕРПРЕТАЦИИ DECODE

CSR < 22 - 197 = 0000



Мис. № подл. 17-1575
 Подл. и дата 28.04.27
 Взам. инв. №
 Подл. и дата

Лист 19

Имя	Лист	№ докум.	Подл.	Дата

3.030.012PЭI

Лист 23

Копировал

Формат А3

Формирование номера общего регистра в OS

RRR (байты 3,2 или 1,0)

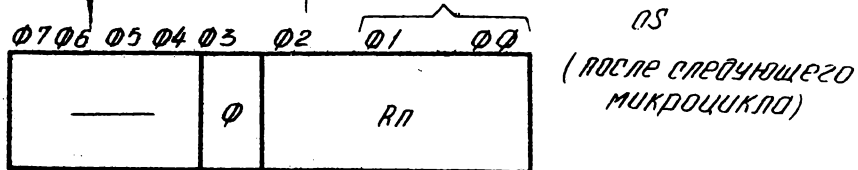
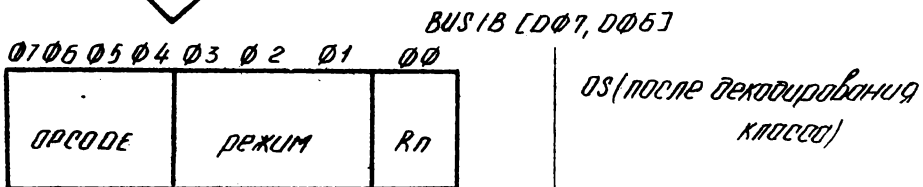
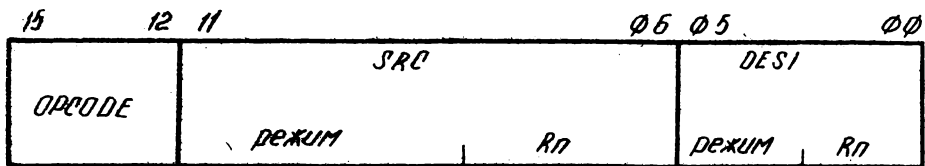


Рис. 20

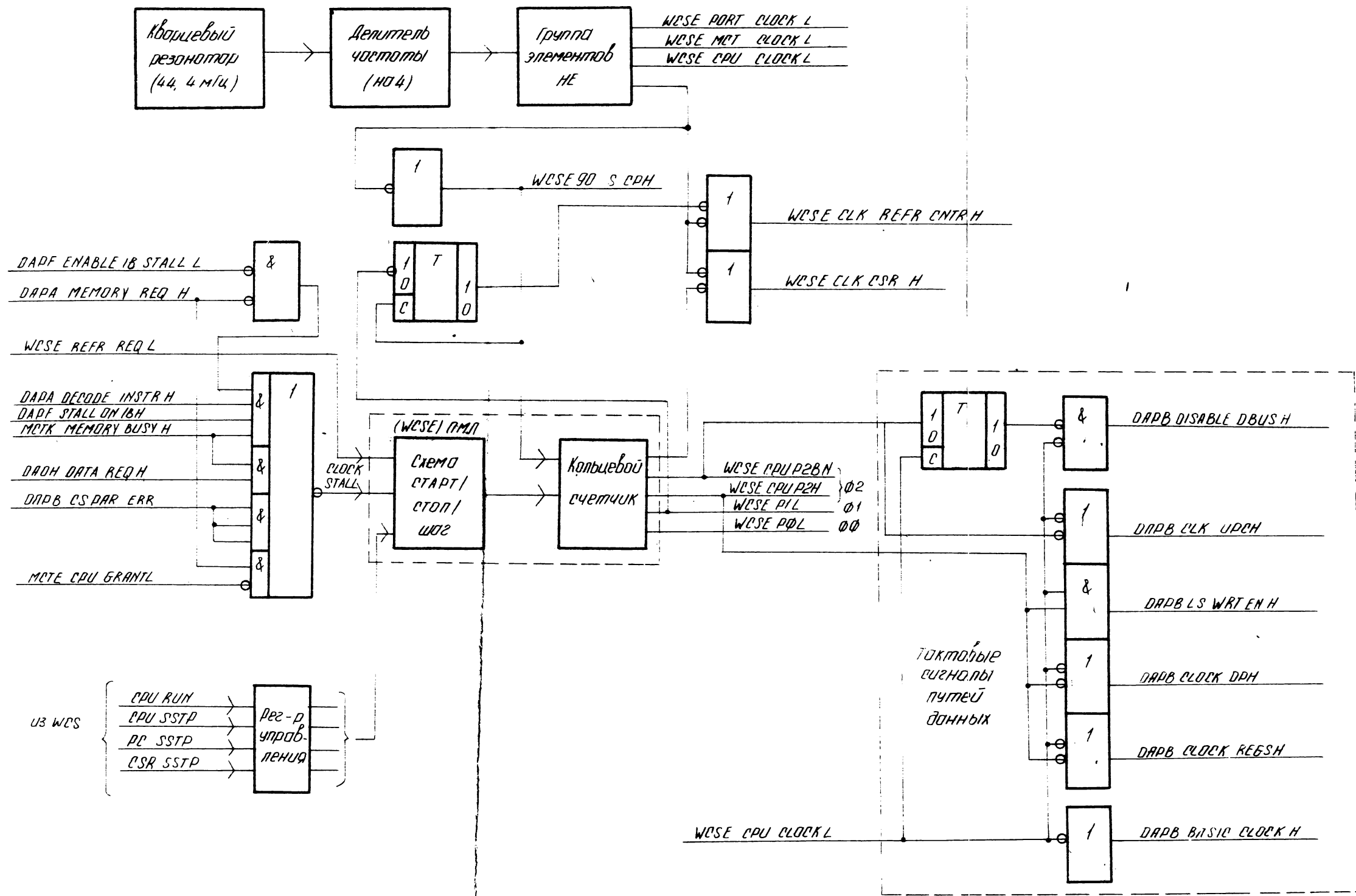
Имя № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата
№ 4875	88 - 87.04.27			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист
24

Блок-схема тактового генератора ЦП



Лист 21

Имя. № годл.	Подп. и дата	Имя. № дубл.	Подп. и дата
М-1515	СВ - 27.04.27		

Имя. № годл.	Подп. и дата	Имя. № дубл.	Подп. и дата

3.030.012P01

Лист 25

Копирован

Формат А3

временная диаграмма тактовых сигналов ЦП

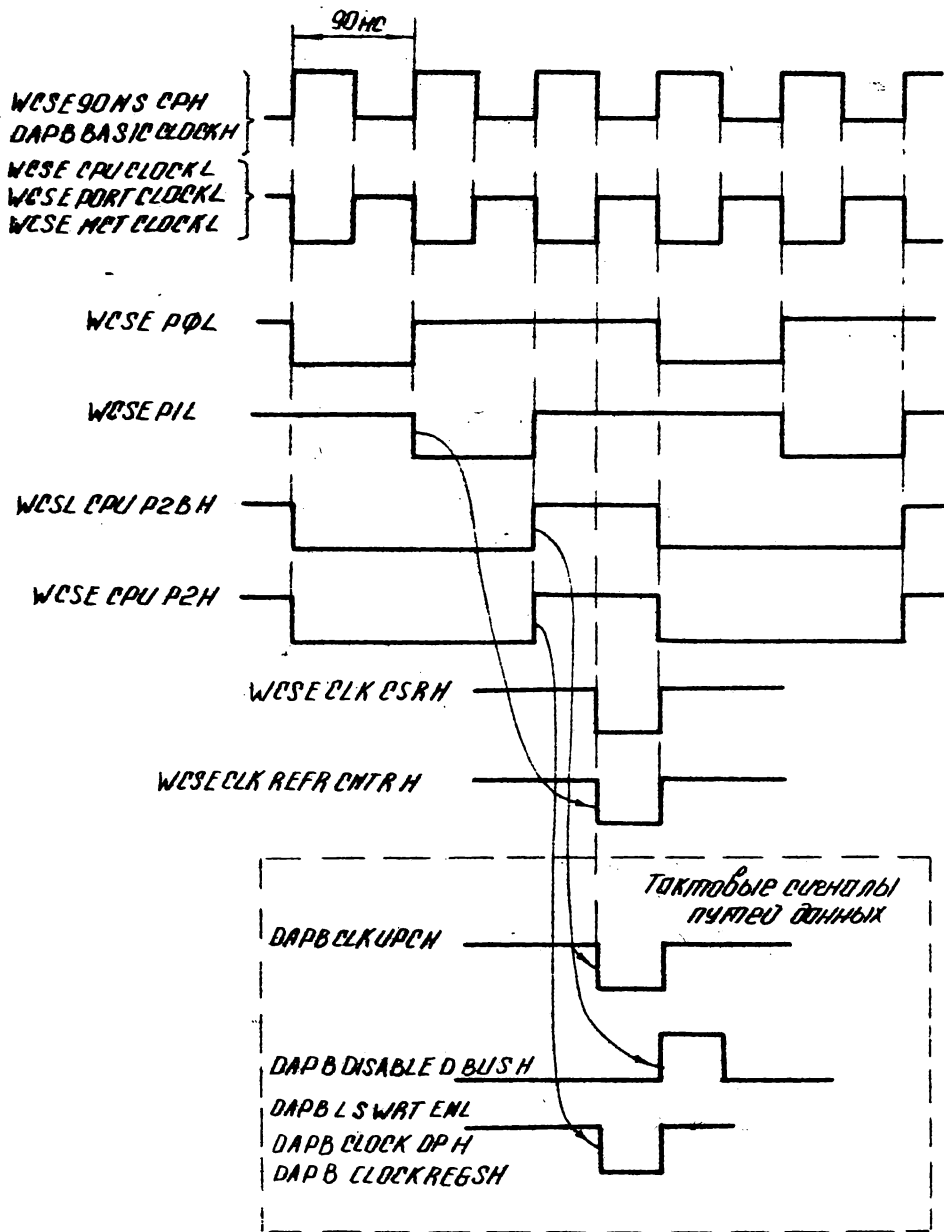


Рис. 22

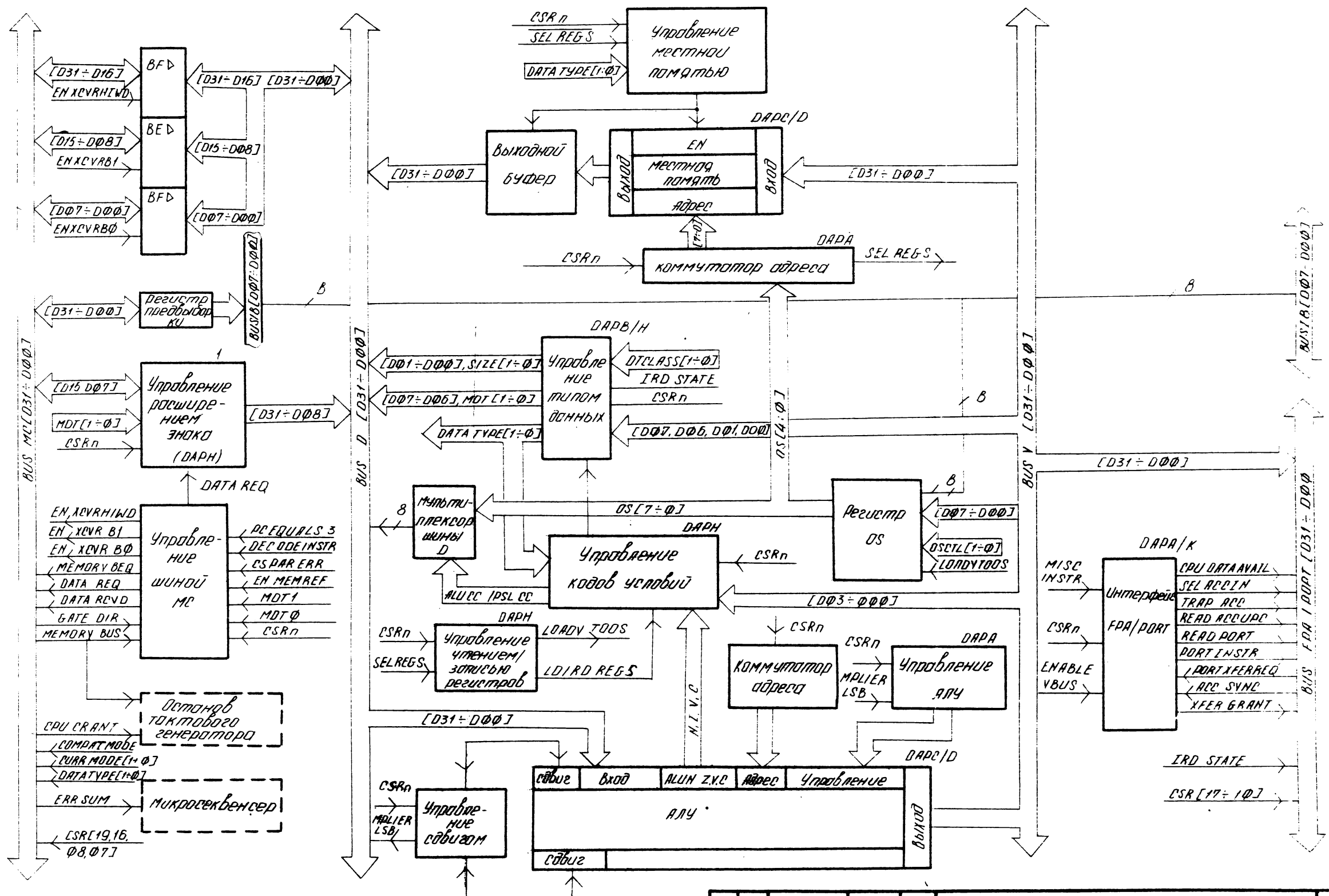
Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1075	87.04.27			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012P91

Лист
26

Блок-схема процессора



Имя, № подл.	17-1676
Имя, № инв.	81-04-27
Имя, № дубл.	
Подп. и дата	

Вис. 23

Имя	Лист	№ докум.	Подп.	Дата

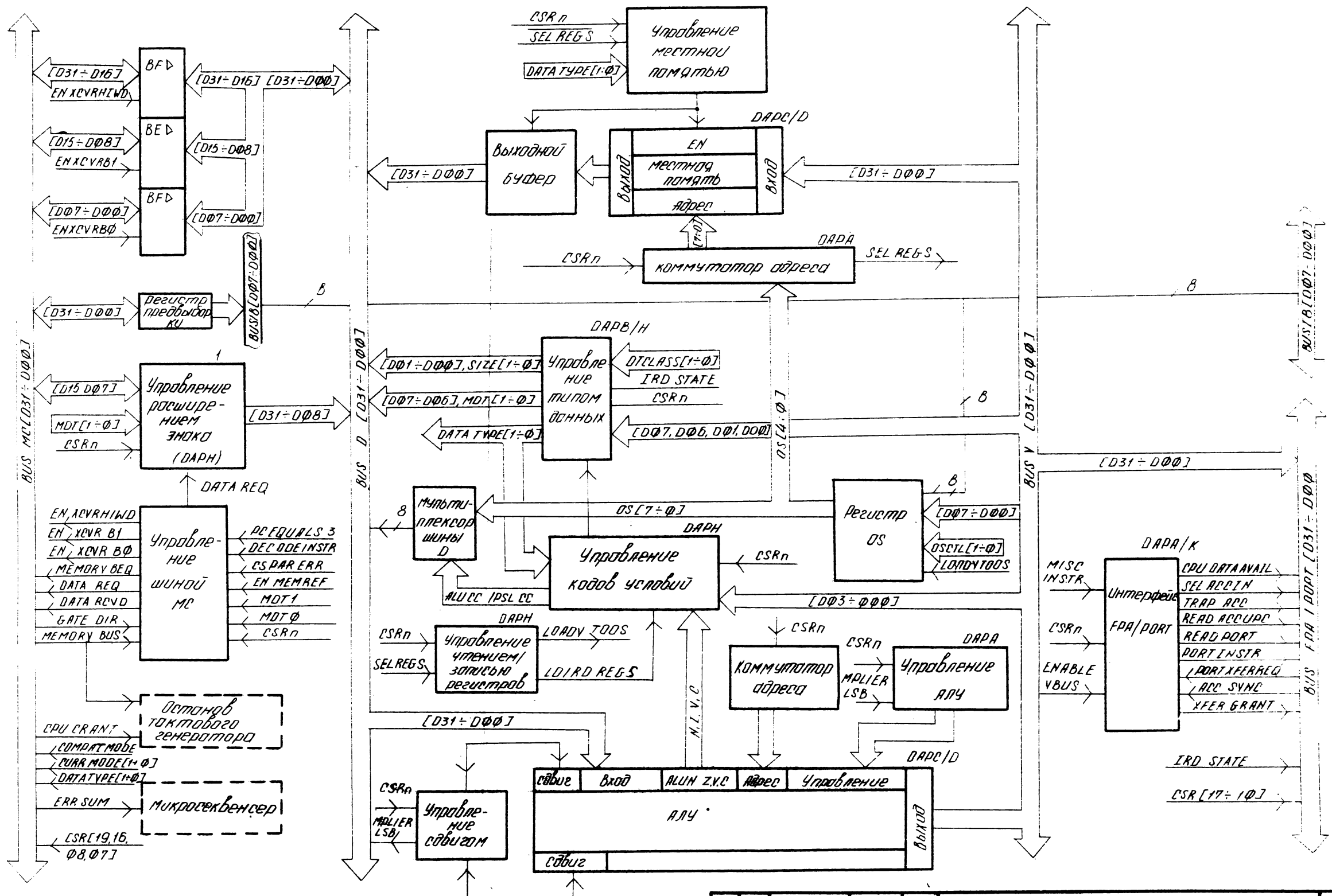
3.030.012PЭ1

Копировал

Формат А3

Лист	27
------	----

Блок - схема процессора



Имя, № подл.	17-1676
Имя, № инв.	87-04-27
В зам. инв. №	
Имя, № дубл.	
Подп. и дата	

Вкл. 23

Имя	Лист	№ докум.	Подп.	Дата

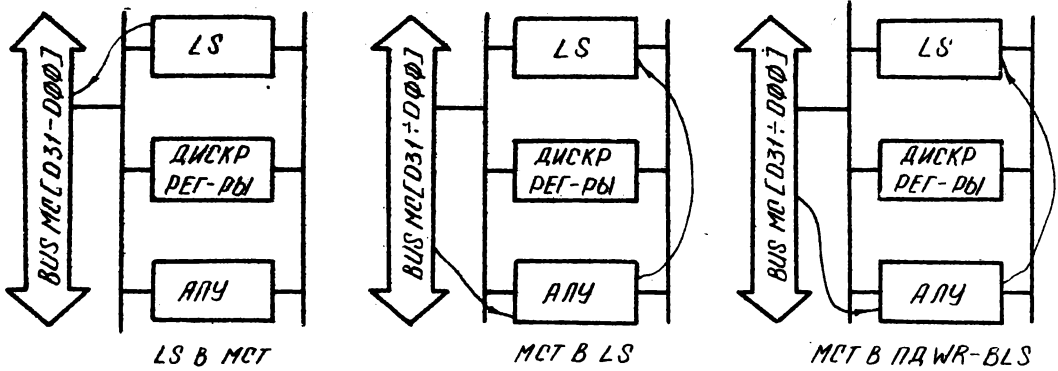
3.030.012P01

Лист 27
Формат А3

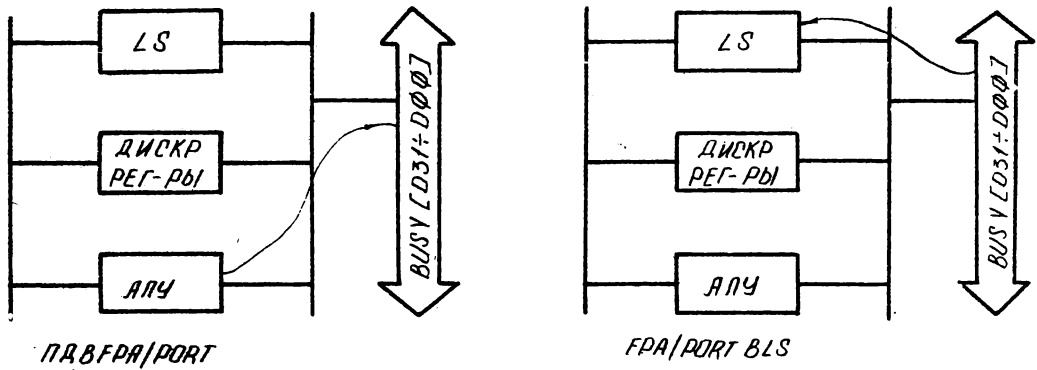
Копирован

Пересылка данных в базовой части ЦП

Обмен данными с памятью



Обмен данными с FPA/PORT



Основные пересылки данных между АЛУ и LS

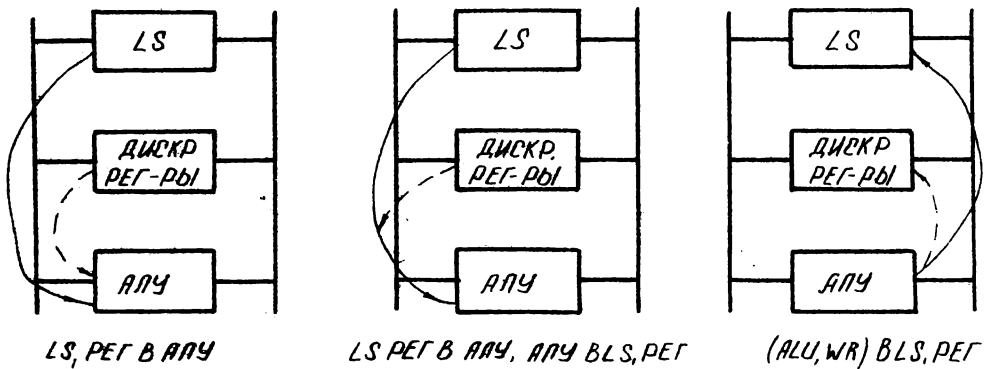


Рис. 24

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
ИТ-1075	87.04.27			

Лист	№ докум.	Подп.	Дата

3.030.012РЭ1

Лист
28

базовая синхронизация процессора данных

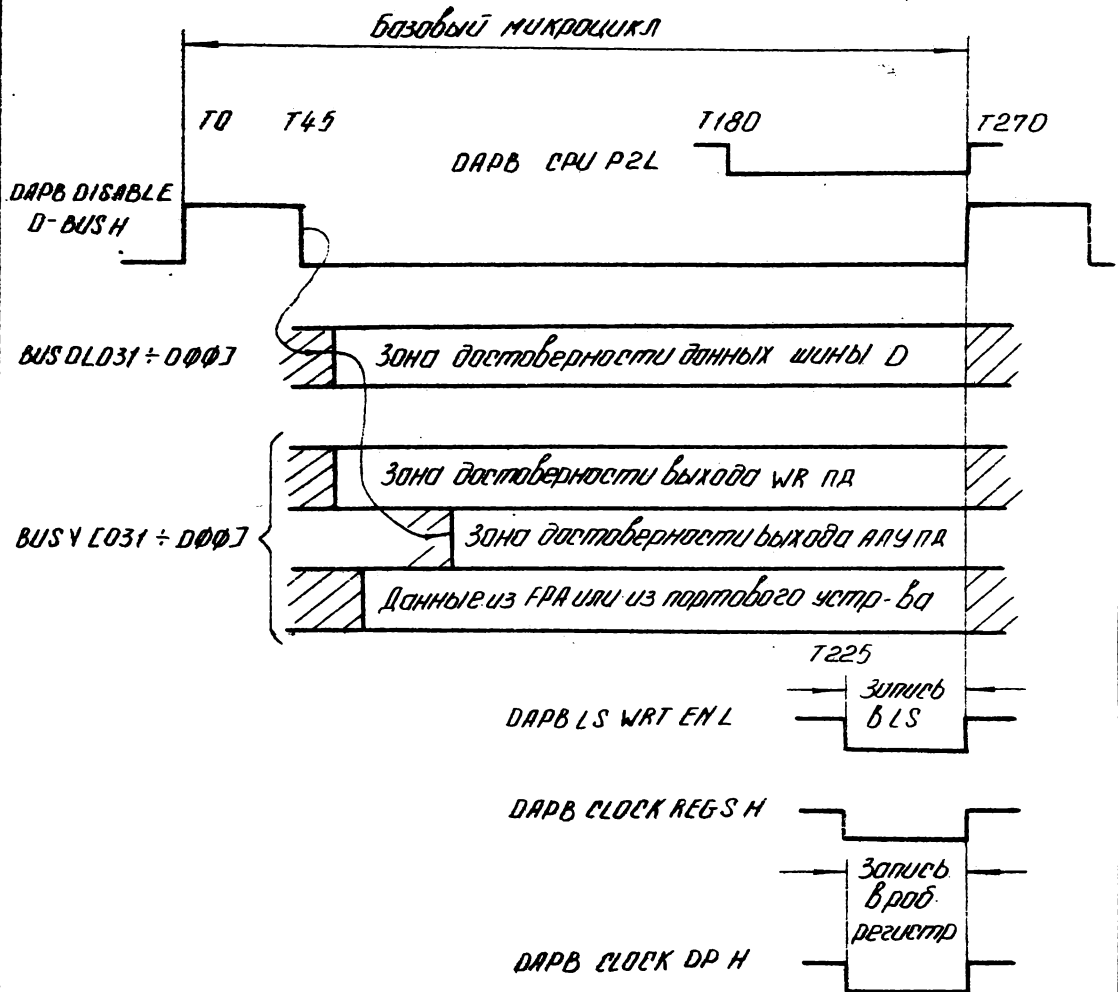


рис. 25

Ина № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1575	В. - 27.04.27			

Лист	№ докум.	Подп.	Дата

3.030.012РЭ1

Лист 29

Структура и управление арифметического - логического устройства

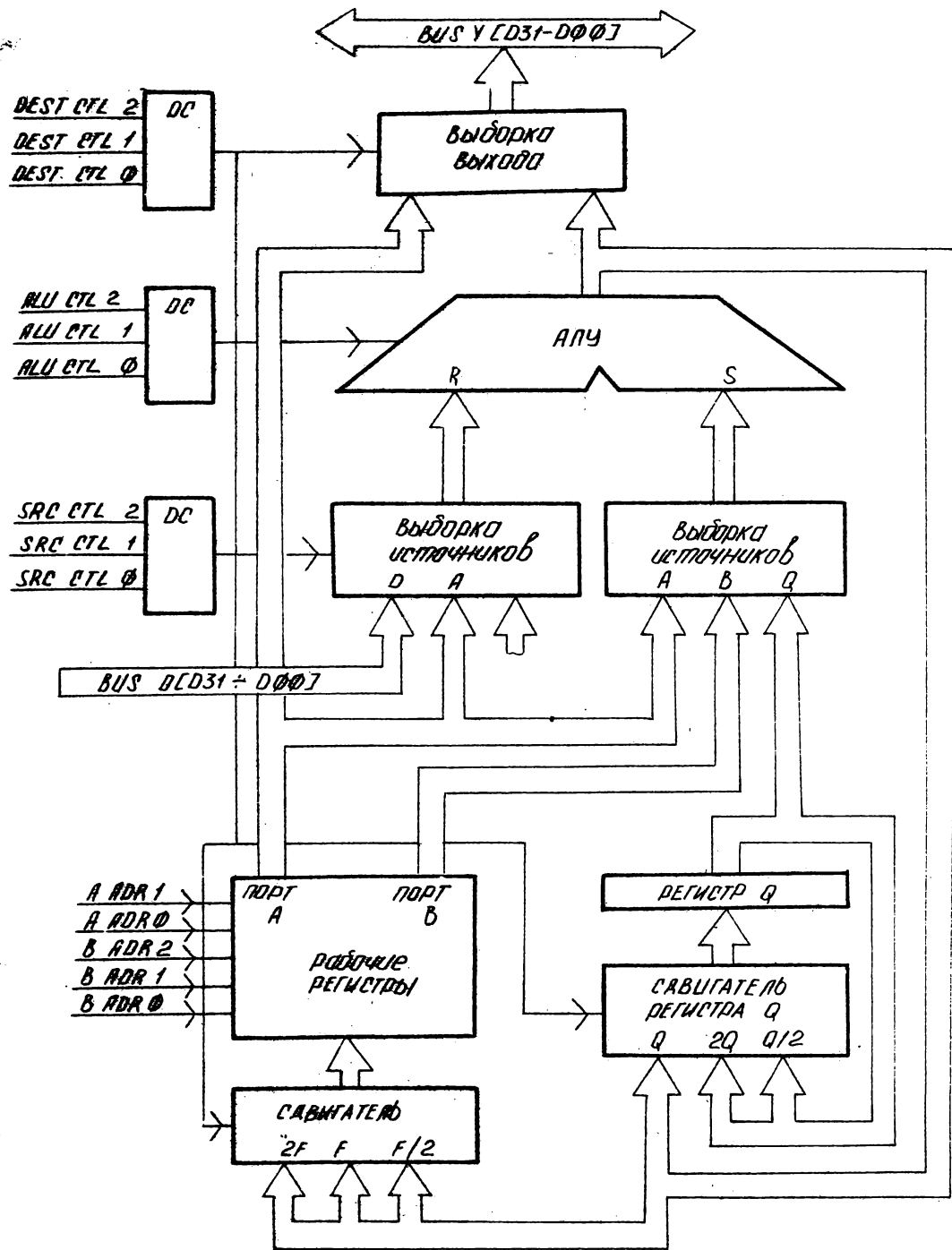


Рис. 26

Мин. № подл.	Подп. и дата
17-1676	81.04.87
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Лист	№ докум.	Подп.	Дата

3.030.012P9I

Лист
30

Управление переносом

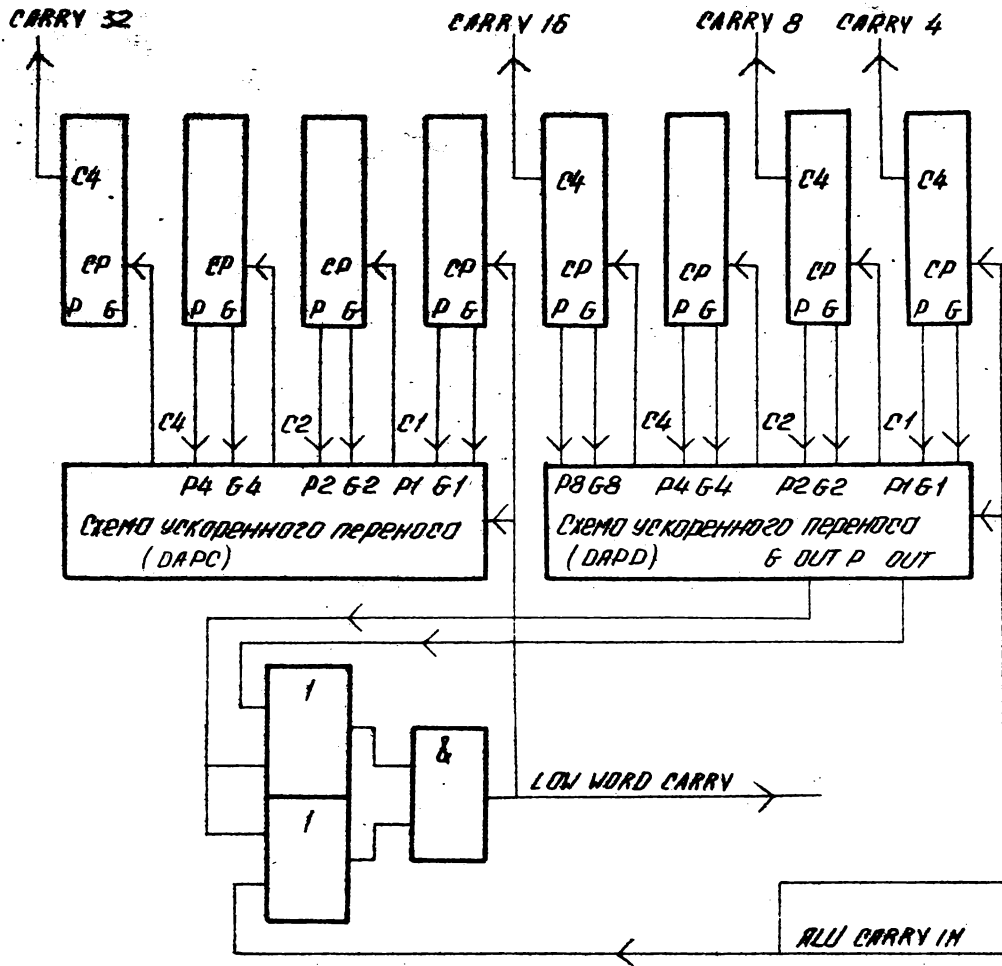


Рис. 27

Изм. № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1875	81.04.27	Инв. № дубл.	81.04.27

№	Лист	№ докум.	Подп.	Дата

3.930.012P9I

Лист
31

Управление сдвигом

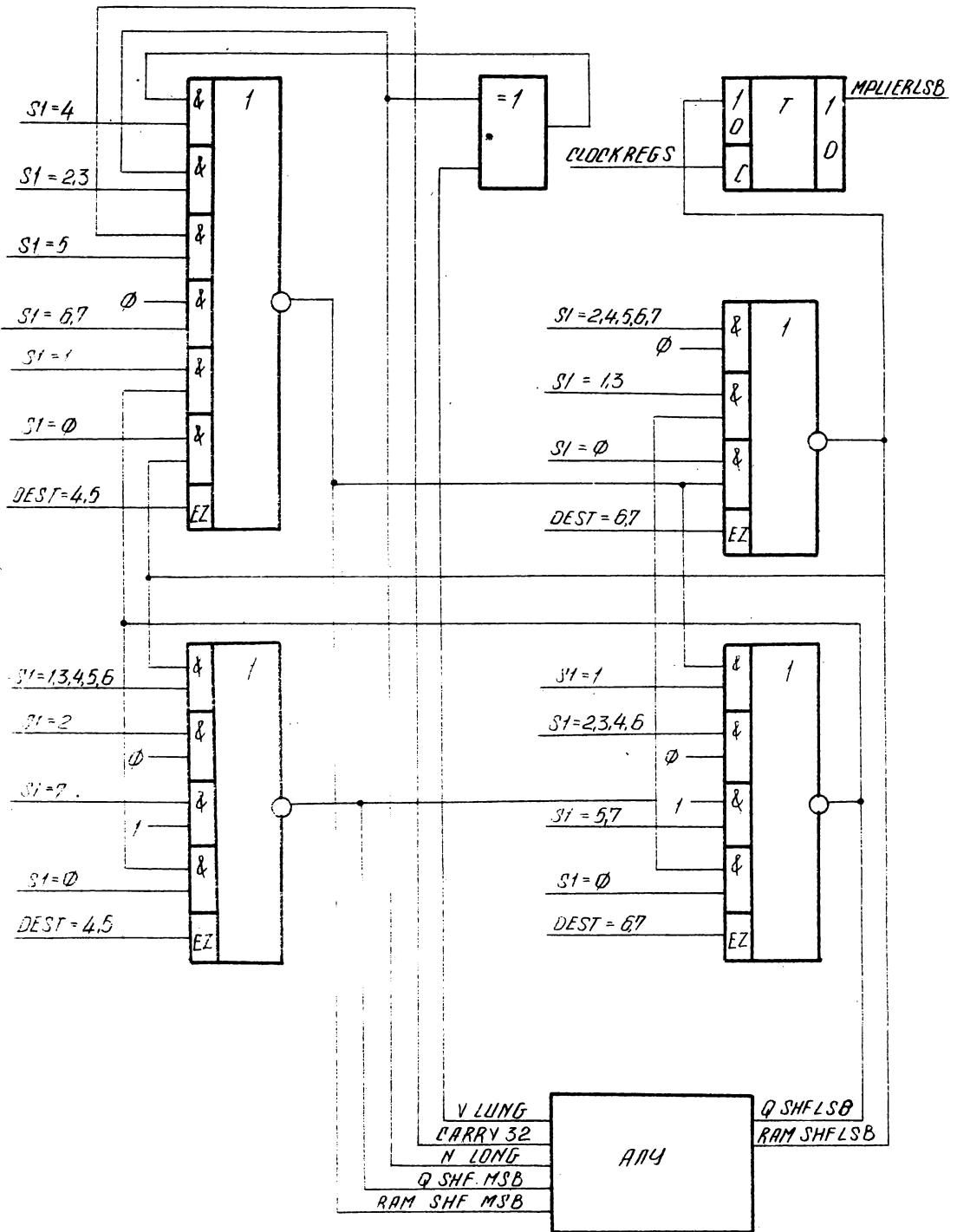


Рис. 28

Имя № подл. 17-1675	Подп. и дата 08-04-21	Взам. инв. №	Подп. и дата
Имя № дубл.	Имя № дубл.	Имя № дубл.	Имя № дубл.

Имя	Лист	№ докум.	Подп. Дата
-----	------	----------	------------

3.030.012PЭ1

Лист
32

Конфигурации связей

SI DEST

SI DEST

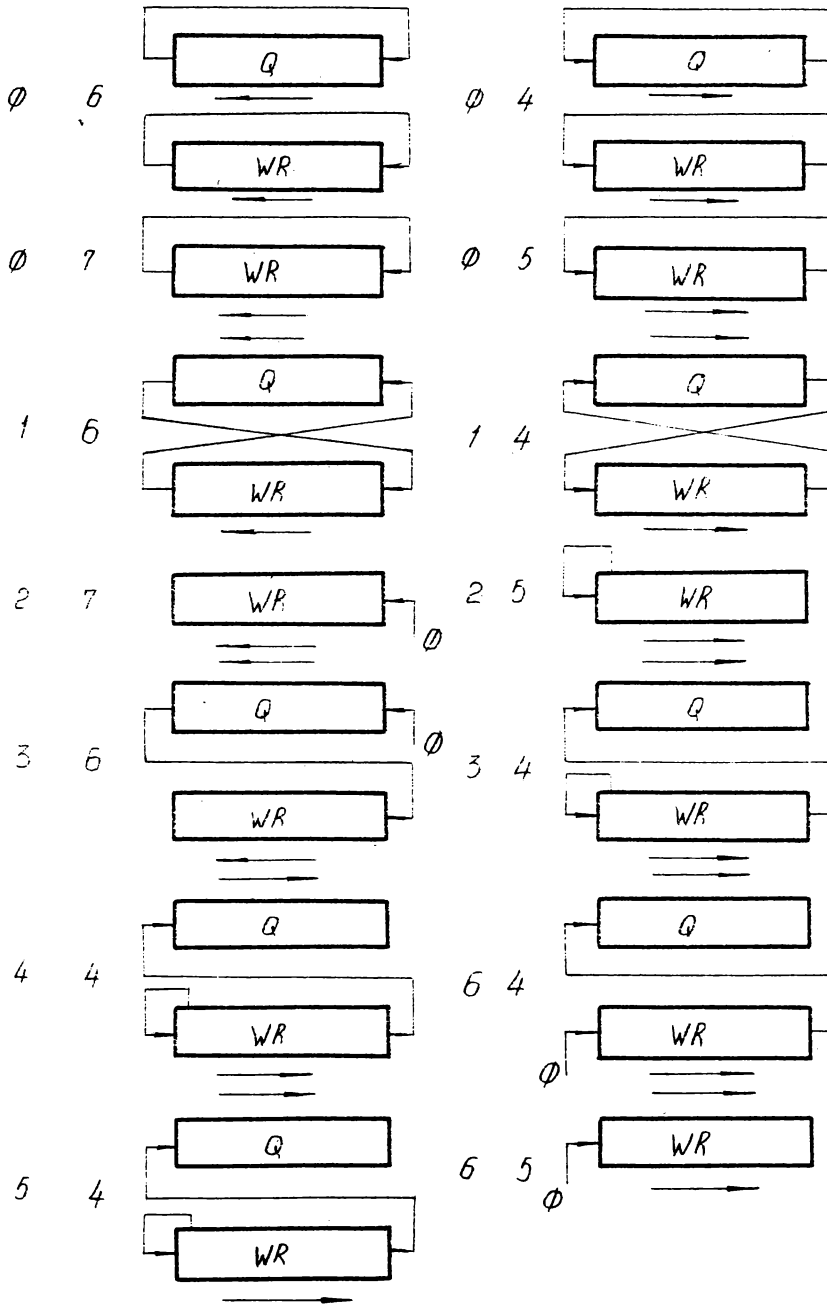


Рис. 29.

Ина № подл.	Подп. и дата
17-1875	12.04.87
Взам. инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Ина	Лист	№ докум.	Подп.	Дата

3.030.012PЭI

Лист
33

Конфигурация местной памяти

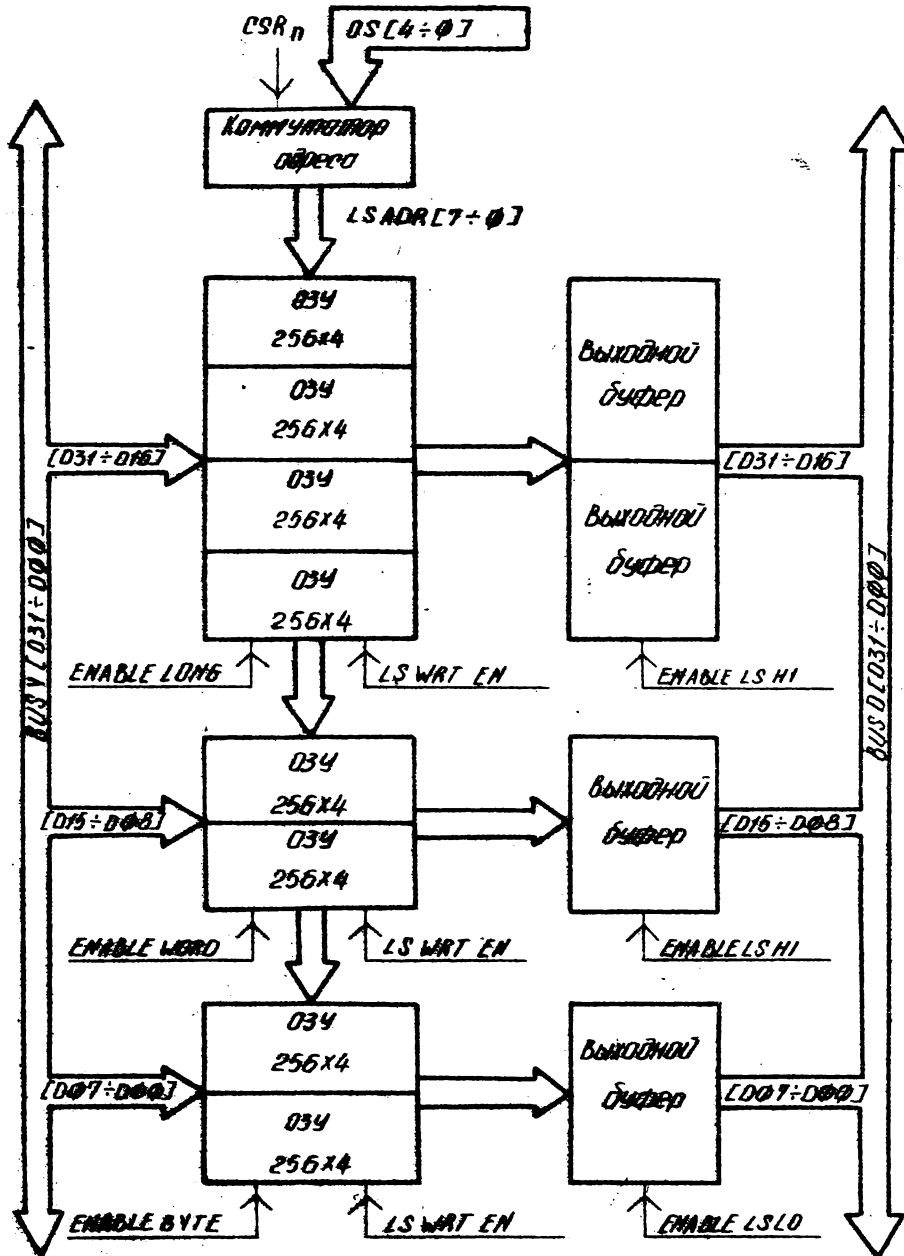


Рис. 30

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подл. и дата
17-1075	21.04.27			
Лист	№ докум.	Подп.	Дата	

3.030.012P01

Лист
34

УПРОБЛЕНИЕ ПЛУТОН ДАННЫХ

BASIC / MODE / EXTENDED

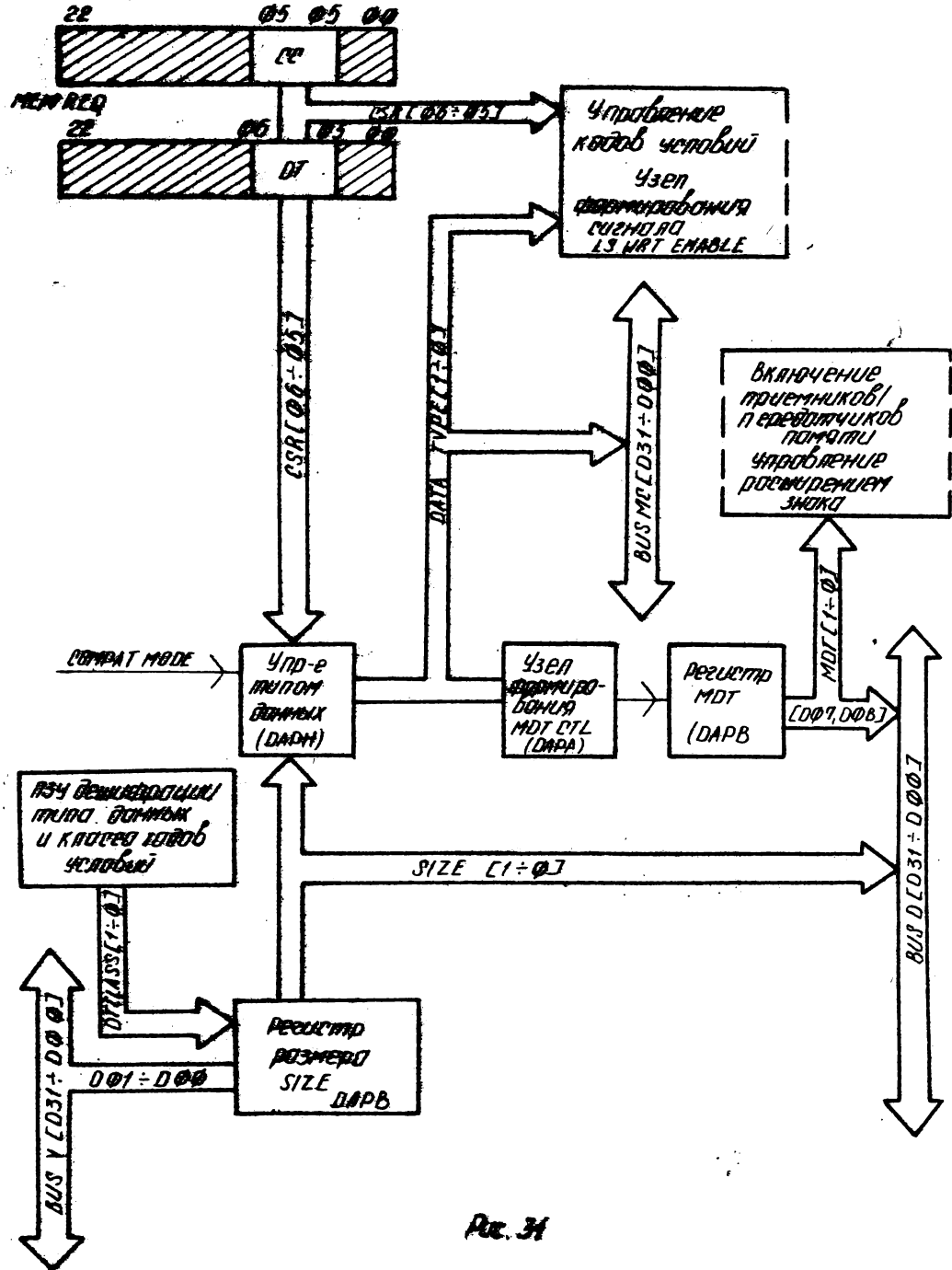


Рис. 34

Имя № подл.	Подп. и дата
77-1075	28-04-87
Взам. инв. №	Инв. № дубл.
Подп. инв. №	Подп. и дата
Лист	№ докум.
№	Лист

3.030.012P1

Регистры размера (SIZE) и
типа данных (MDT)

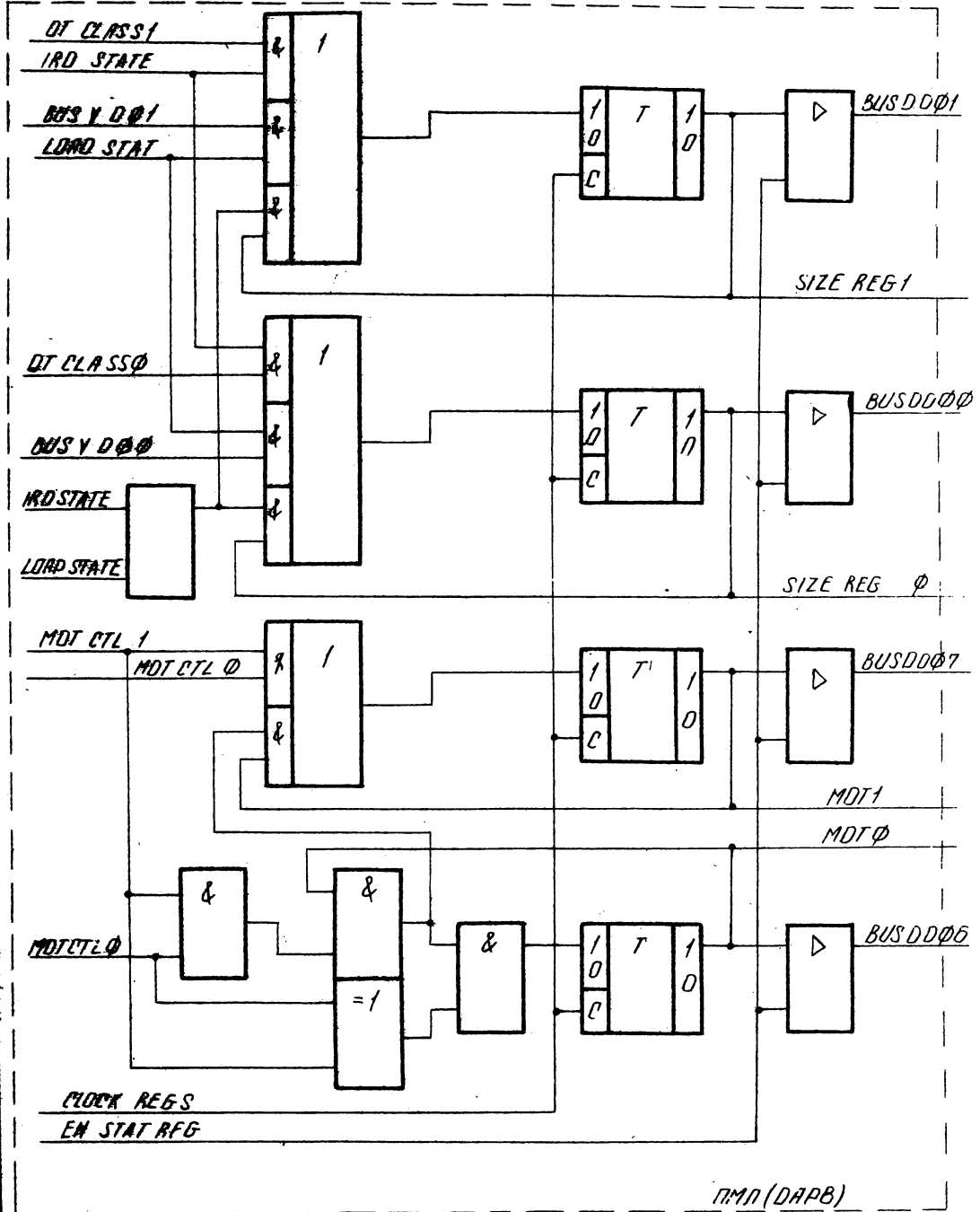


Рис. 32

Имя № подл.	Подп. и дата
49-1675	87.04.27
Взм. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

3.030.012PЭ1

Лист
36

АЛУЦИ управление кодов счетов

BASIC / MDRIE / EXTENDED

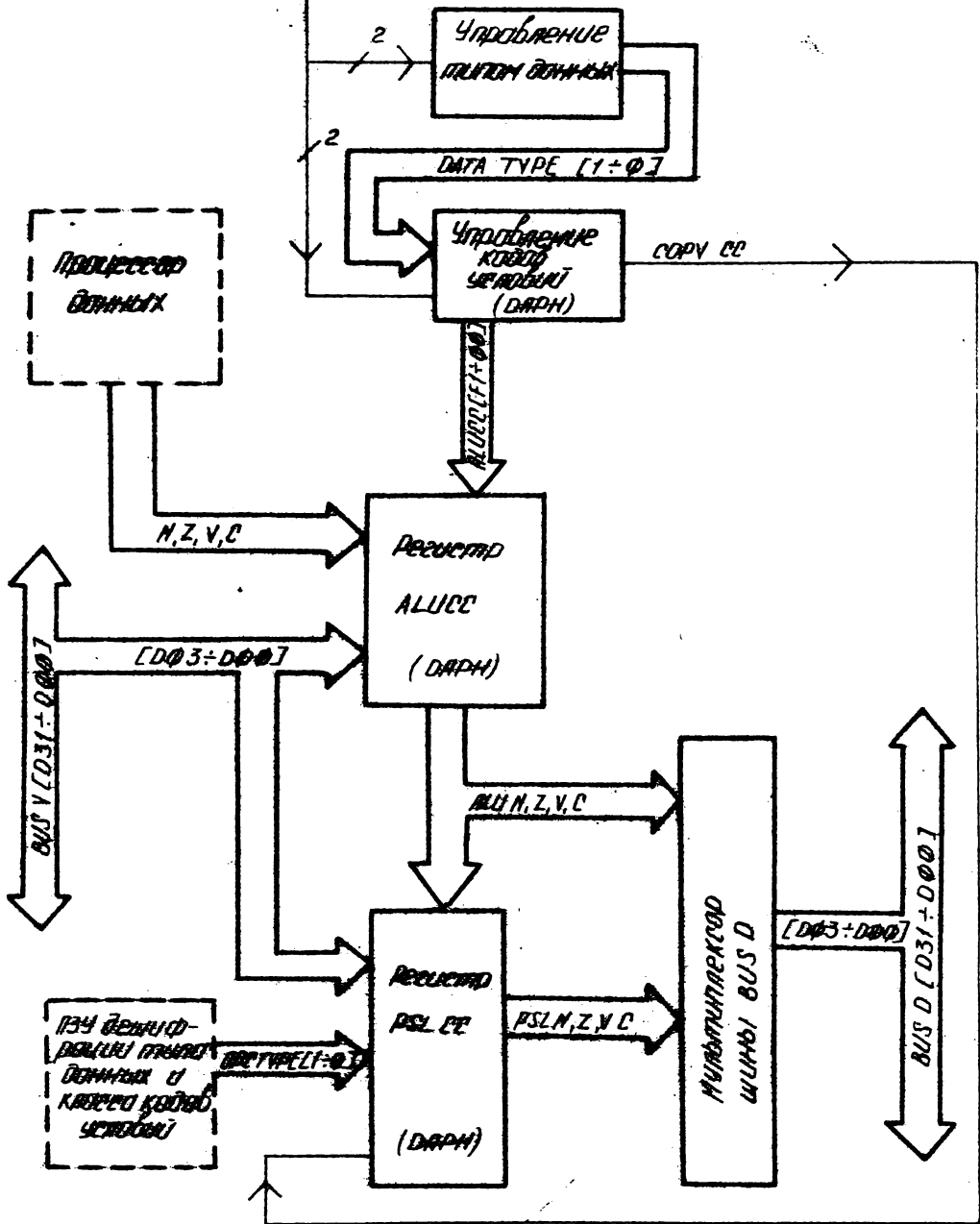


Рис. 33

Имя № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1575	27.04.27			
Лист	№ докум.	Подп.	Дата	

3.030.012P01

Регистр ALUCC

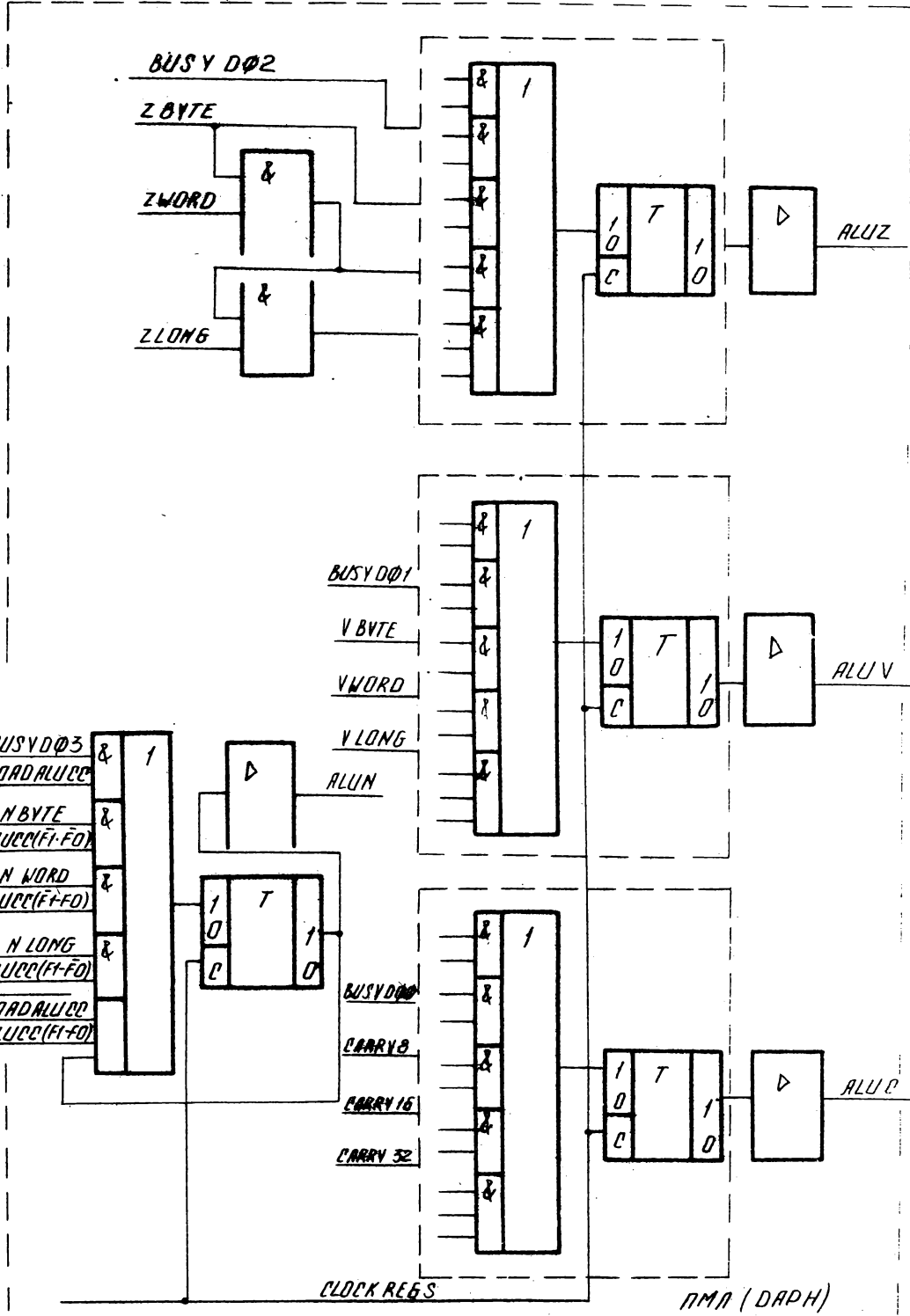


рис. 34

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1575	8.04.27		
Лист	№ докум.	Подп.	Дата

3.030.012PЭI

Лист
38

Результ PSL CC

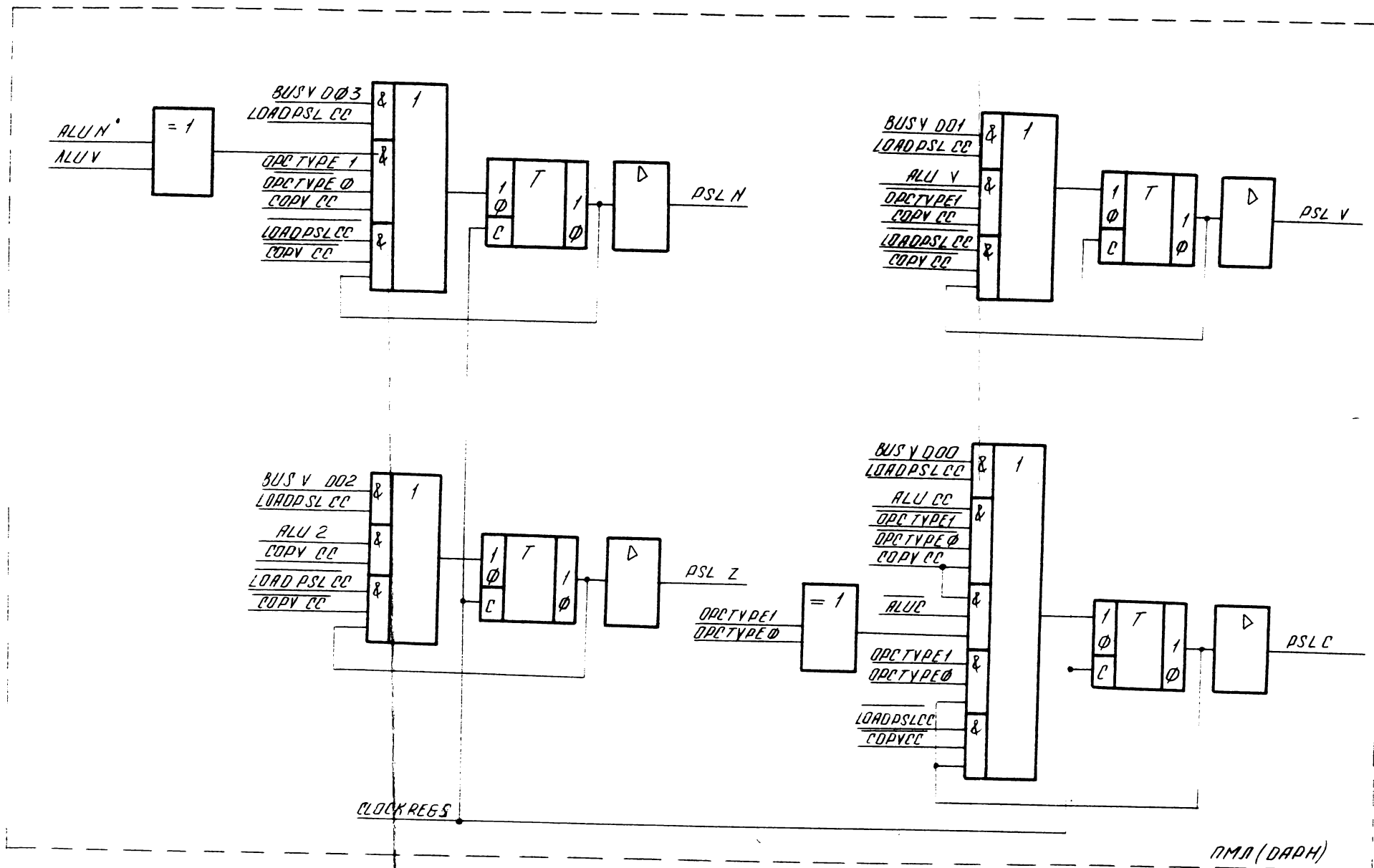


Рис. 35

Имя № подл.	Подл. и дата	Взам. инв. №	Инд. № дубл.	Подл. и дата
17-1575	87 04 27			

Имя	Лист	№ докум.	Подл.	Дата

3.030.012PЭ1

Лист
39

Копирован

Формат А3

Распределение разрядов дискретных регистров

D ADRS	4T/3П	Регистр	31	0807	00
7C	4T/3П	DS			
7D	4T	CRV/2	31	0807	00
7E	4T	STAT	31	08070605	020100
7D/7E	3П	STAT	31	020100	00
7F/FF	4T	PSL CD	31	0403	00
7F/FC/FF	3П	PSL CD	31	0403	00
FC	4T	CWR	31	0807	00
FE	4T	ALUCD	31	0403	00
FD/FE	3П	ALU CD	31	0403	00
7F/FC/FF	3П	PSL	31	30262524232120	1615

CM
CUR MODE

рис. 36

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1576	87.04.27		
Имя	Лист	№ докум.	Подп.

3.030.012PЭ1

Лист
40

Логика управления чтением/записью регистров

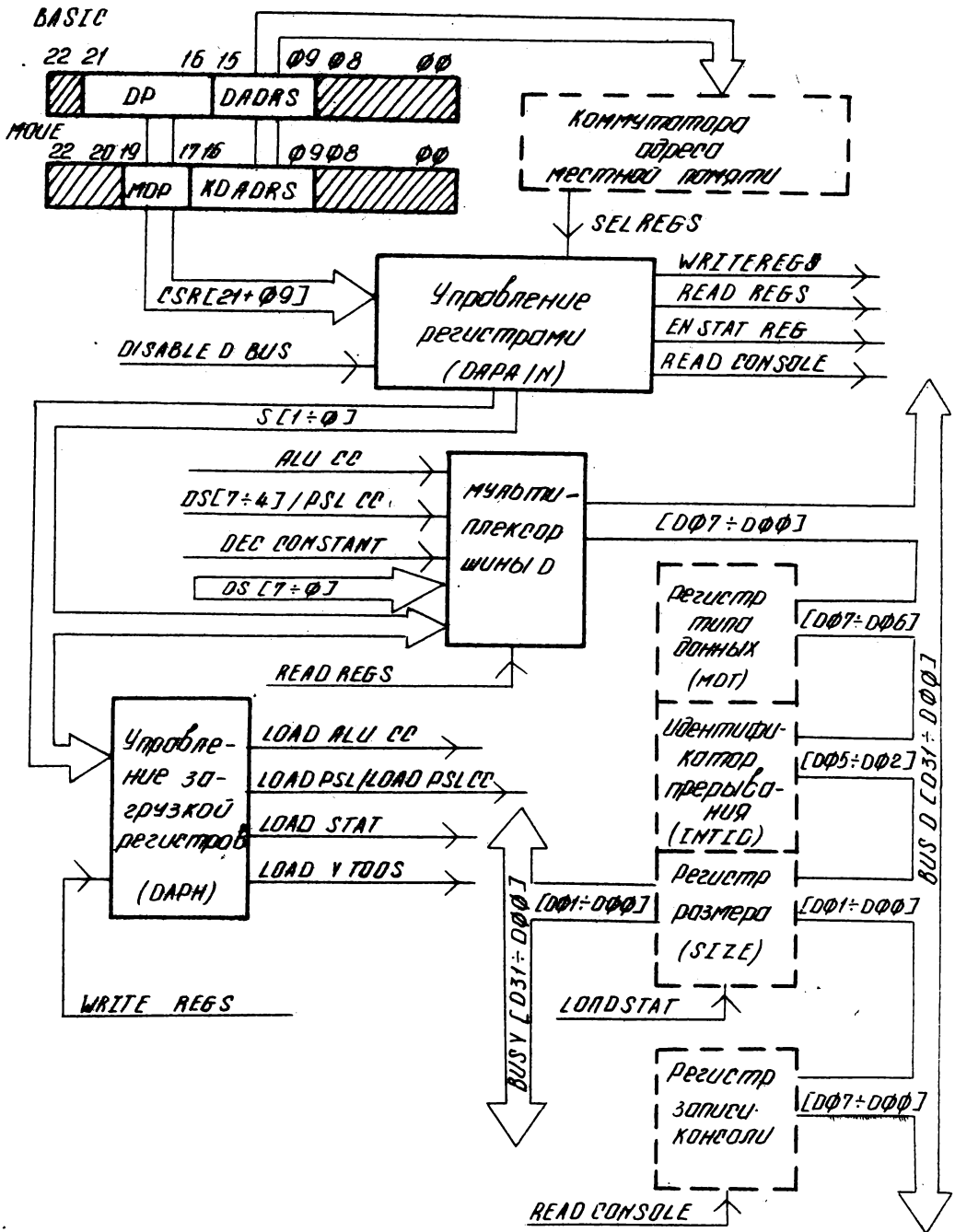


Рис. 37

Ив. № подл.	Подп. и дата
17-1676	9/ - 31.04.77
Взам. инв. №	Инв. № дубл.
Ив. Лист	№ докум.
Подп.	Дата

3.030.012PЭ1

Лист
4I

Логика управления расширением знака

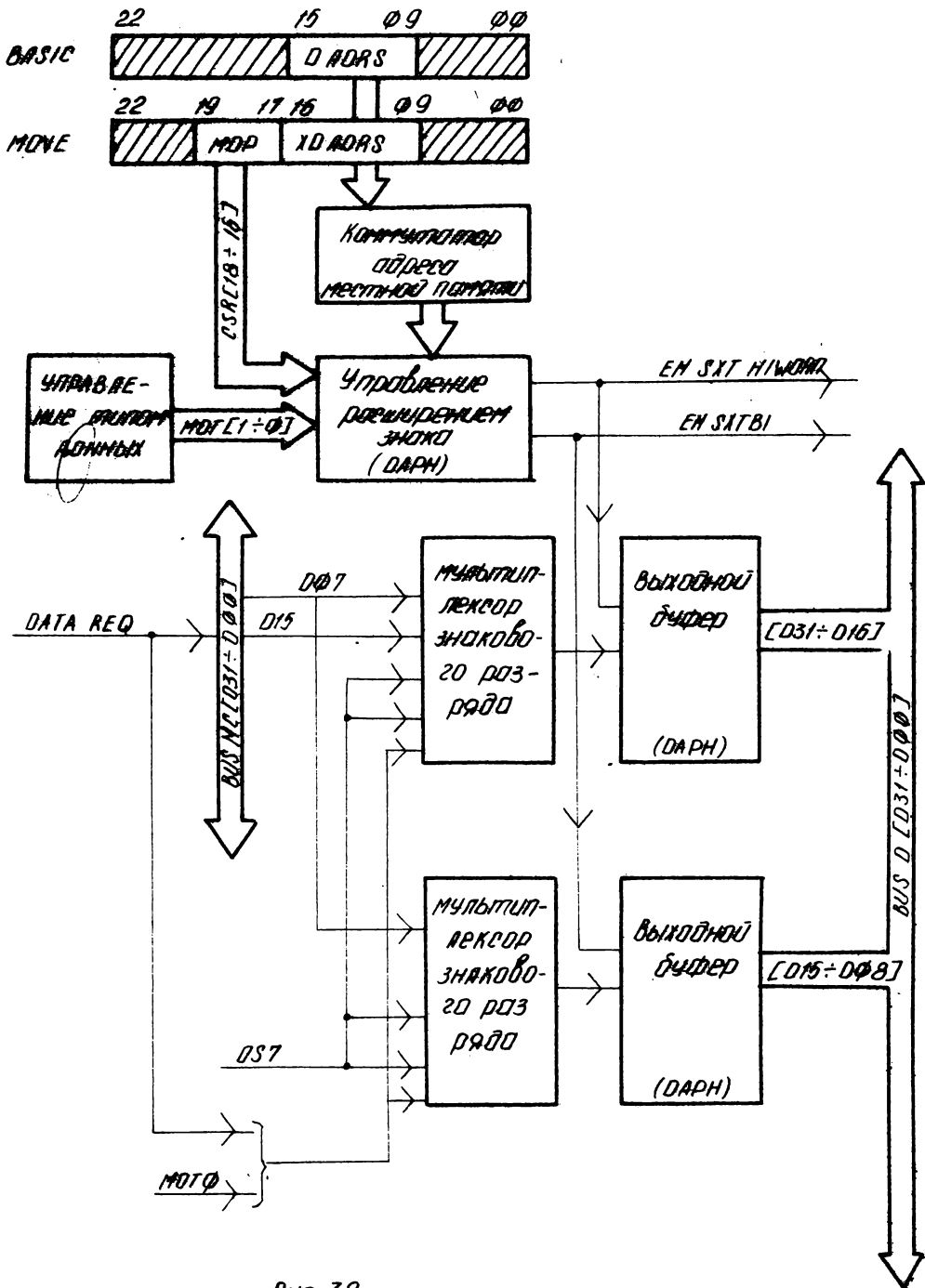


Рис. 38

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1875	8.04.87		
Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата

3.030.012PЭ1

Лист
42

временные диаграммы обращения к памяти

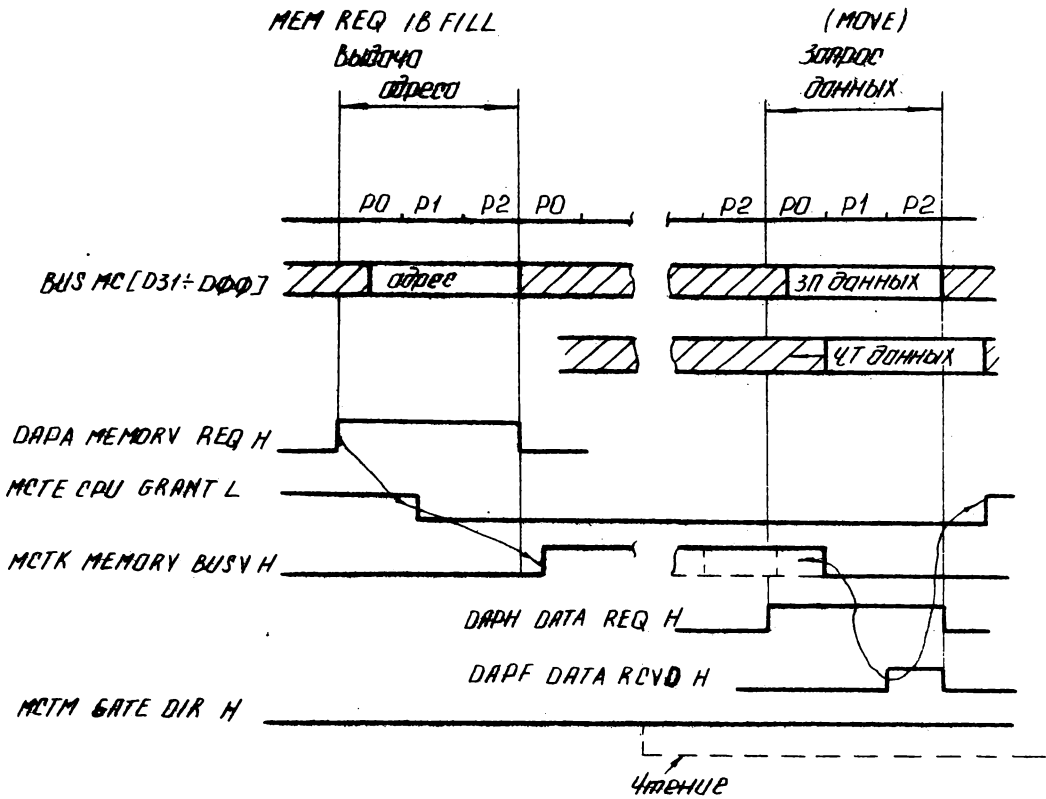


Рис. 39

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1575	СЛ - 81.04.27			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист
43

БЛОК-СХЕМА МИКРОИНСТРУКЦИИ MEM REQ

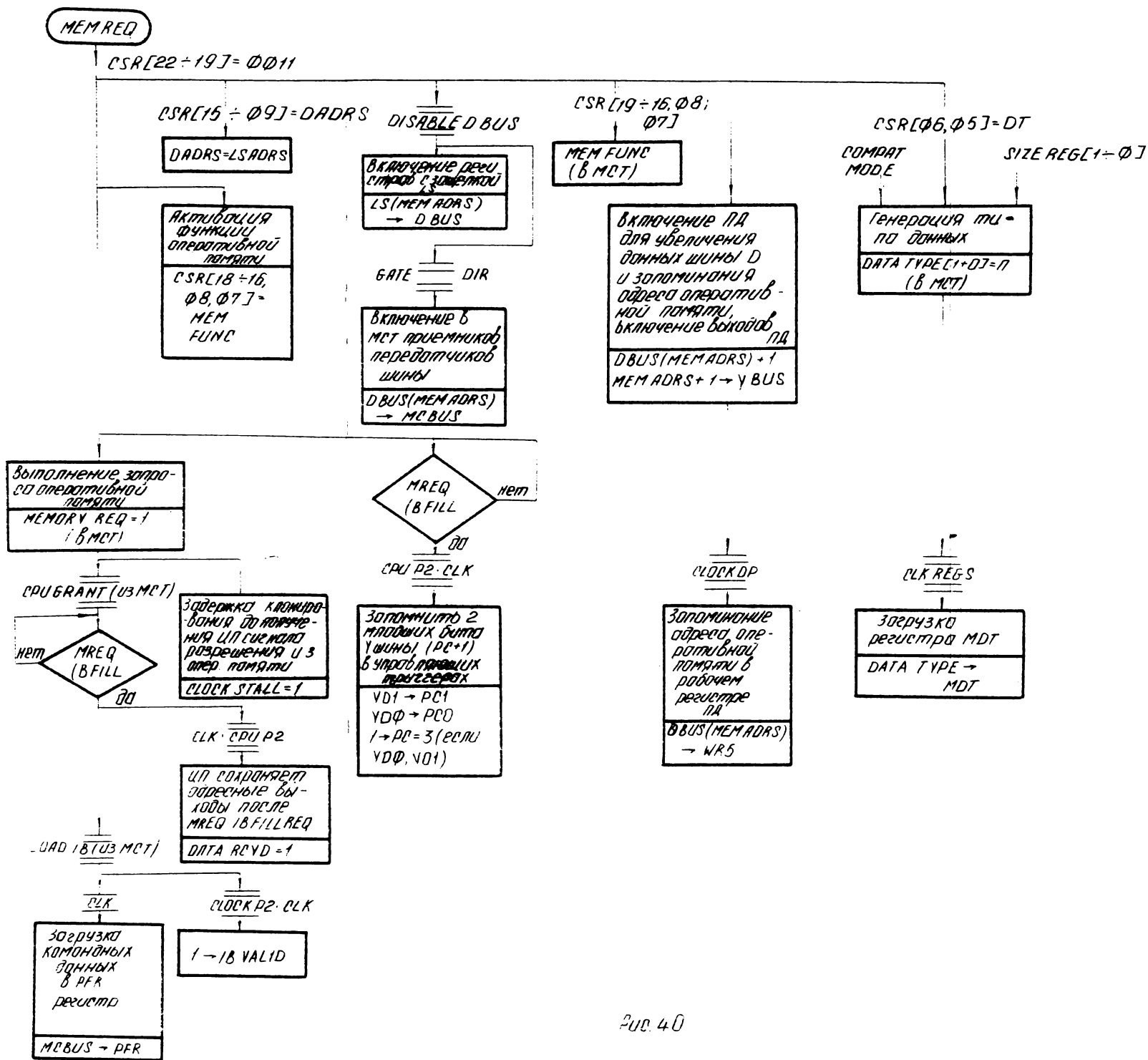
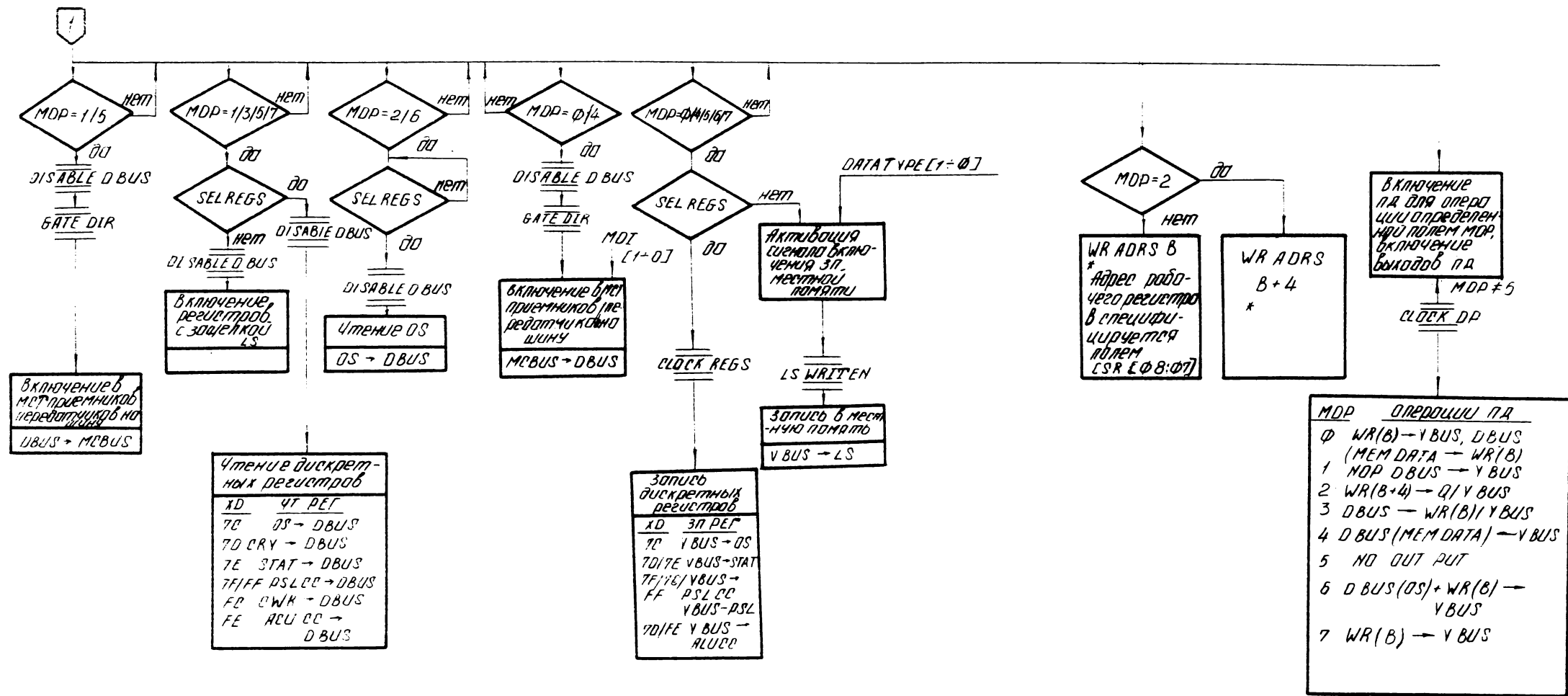


Рис. 40

Имя, № подл.	Подл. и дата
17-1576	87.04.27
Взам. инв. №	Подл. и дата
Име. № дубл.	Подл. и дата

БЛОК-СХЕМА МИКРОИНСТРУКЦИИ MOVE



Дж. 41 (Лист 2)

Име. № подл.	Подл. и дата
17-1676	31.14.21
Взам. или №	Подл. и дата
Име. № дубл.	Подл. и дата

Име.	Име.	№ докум.	Порр.	Дата

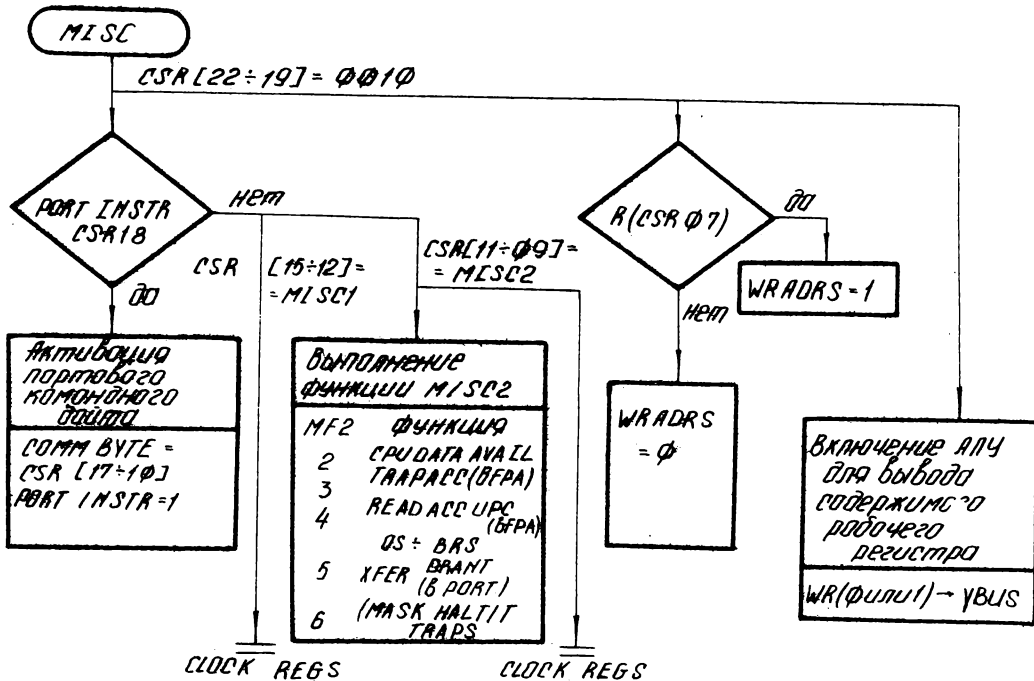
3.030.012PЭ1

Лист 46

Формат А3

Копирован

БЛОК - СХЕМА МИКРОИНТЕГРАЦИИ MISC/PORT



Активация портового компонента
 CSR [17:10]
 PORT INSTR=1

Выполнение функции MISC2
 MF2 ФУНКЦИЯ
 2 CPU DATA AVAIL
 3 TRAP ACC (BFPA)
 4 READ ACC UPG (BFPA)
 5 XFER BRANT (B PORT)
 6 (MASK HALT) TRAPS

Включение АЛУ для вывода содержимого регистра
 WR(ФУНУ1) -> YBUS

Выполнение функции MISC1

0	00	STATE [1:0]
1	01	STATE [1:0]
2	10	STATE [1:0]
3	0	STATE 0
4	0	STATE 1
5	1	STATE 0
6	1	STATE 1
7	1	РВКУР FRAG
8	1	CEL ACC IN
9	0	SEL ACC IN
A	0	WCS PAGE
B	1	WCS PAGE
C	0	SPU RTN
D	0	SPU REK
E	1	SPU RTN
F		NOP

Выполнение функции MISC2

0	NOP
1	1 - MASK INTS
7	YBUS - CSR REG

Дис. 42

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
47-1070	87.04.27			

3.030.012PЭ1

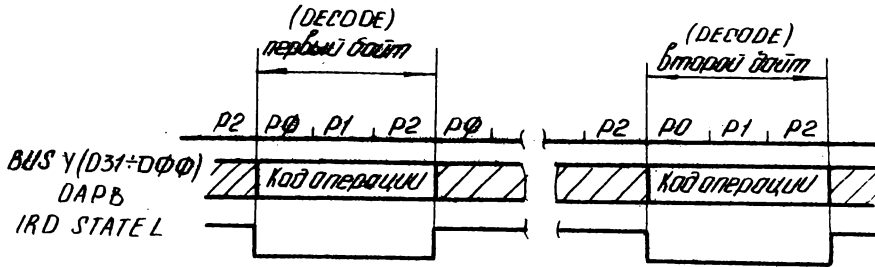
Лист 47

Копировал

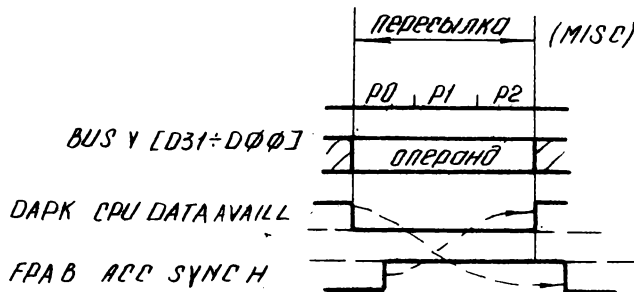
Формат А4

временные диаграммы пересылок между процессором (DAP) и процессором программируемой памяти (FPA)

Пересылка кода операции в FPA



Пересылка операнда в FPA



Получение результата из FPA

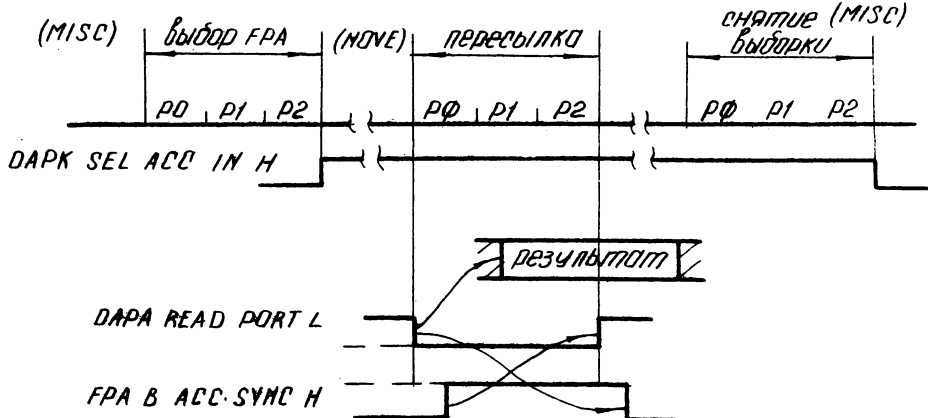


Рис. 43 (лист 1)

Ина № подл.	Подп. и дата
17-1575	81-81.04.21
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

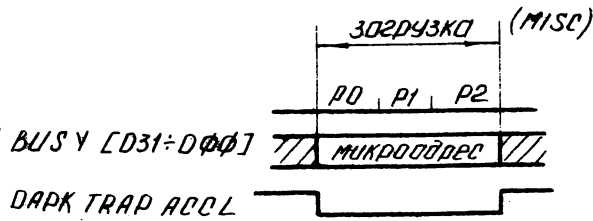
Лист	№ докум.	Подп.	Дата
------	----------	-------	------

3.030.012PЭ1

Лист
46

Временные диаграммы переделок между
процессором (DAP) и процессором питающей
зоплатой

Загрузка микроадреса в FPA



Чтение микро-РС FPA в ЦП

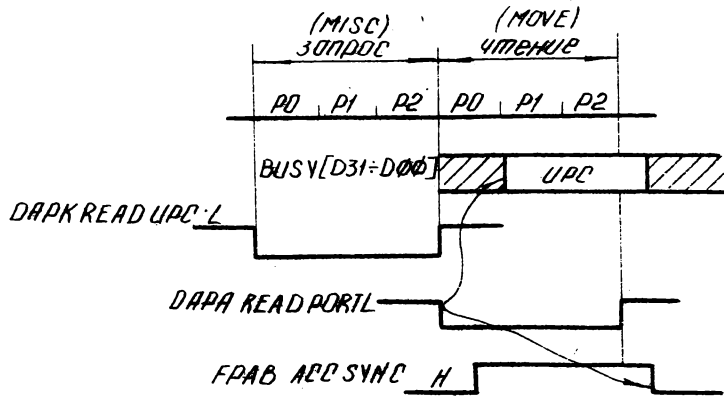


Рис. 43 (лист 2)

Изна № подл. 17-15716	Подп. и дата Ск - 27.04.27	Взам. инв. №	Инв. № дубл.	Подп. и дата
--------------------------	-------------------------------	--------------	--------------	--------------

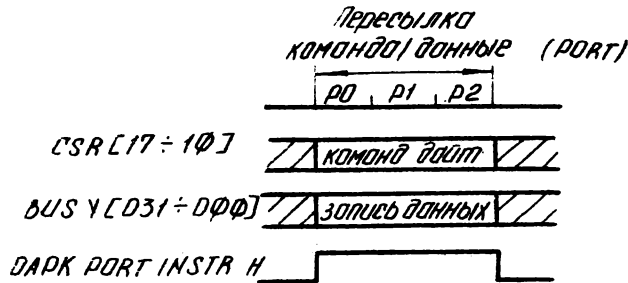
Изна № подл.	Лист	№ докум.	Подп.	Дата
--------------	------	----------	-------	------

3.030.012P9I

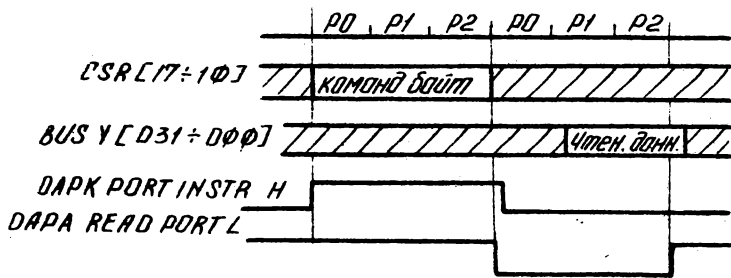
Лист
49

Временные диаграммы пересылок данных между процессором (DAP) и портовым устройством

Пересылка команд / данных в портовое устройство



Чтение данных из портового устройства (байт)



Чтение данных из портового устройства (длинное слово)

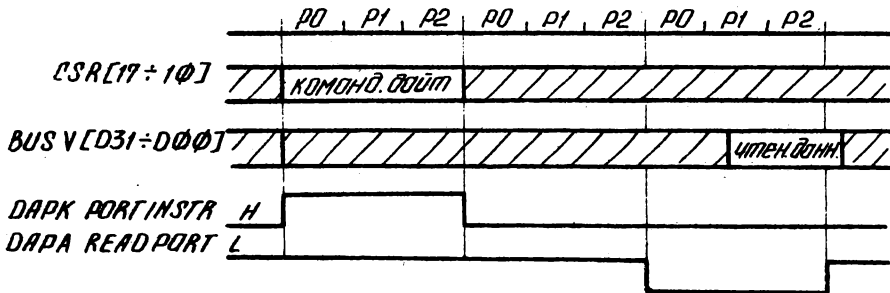


Рис. 44

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1575	27.04.27			

№	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1

Лист 50

Блок-схема аппаратуры обработки прерываний

Регистр запроса прерываний

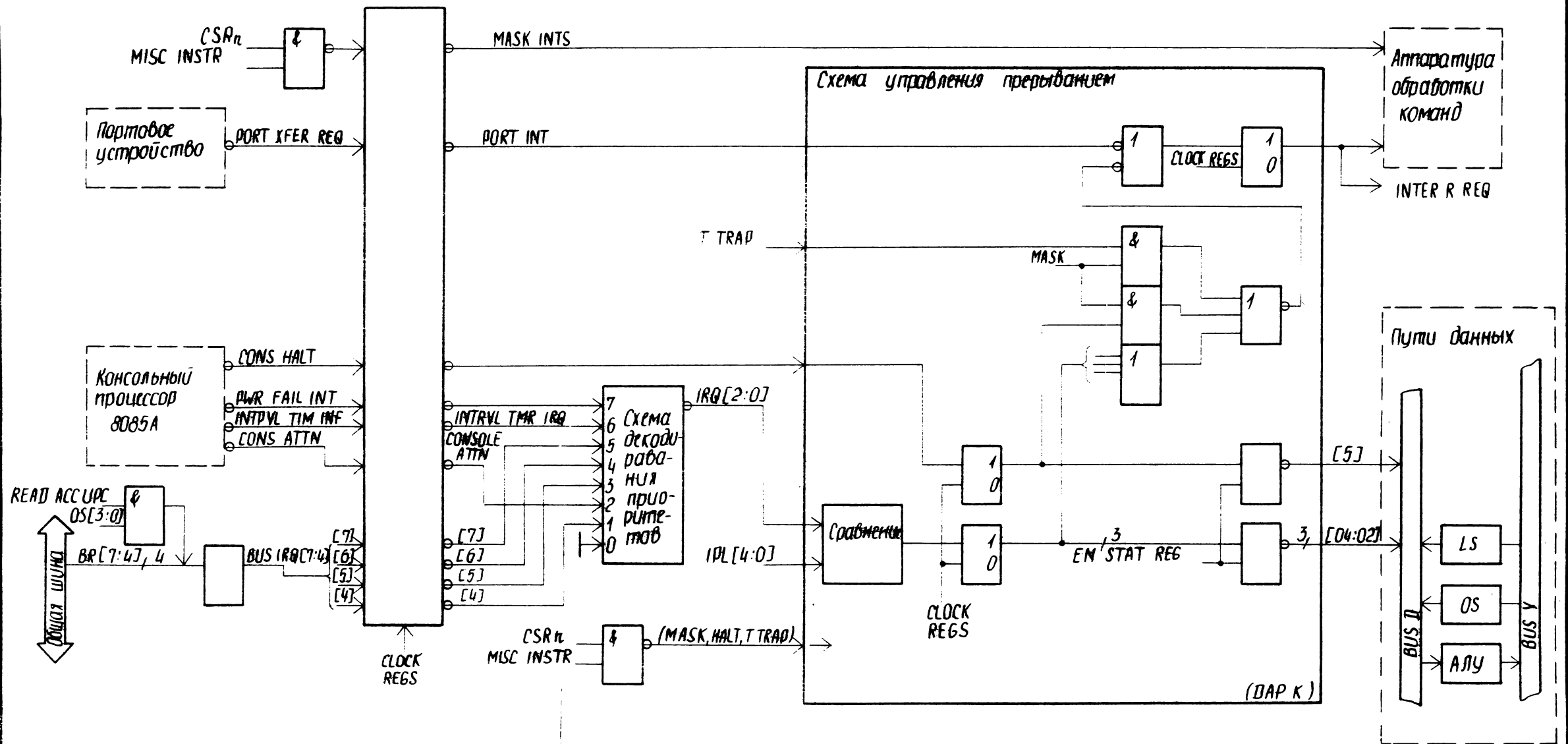


Рис. 45

Имя, № подл.	Подп. и дата
47-1575	81.04.21
Взам. инв. №	Имя, № дубл.
Подп. и дата	Подп. и дата

Имя	Подп.	Дата

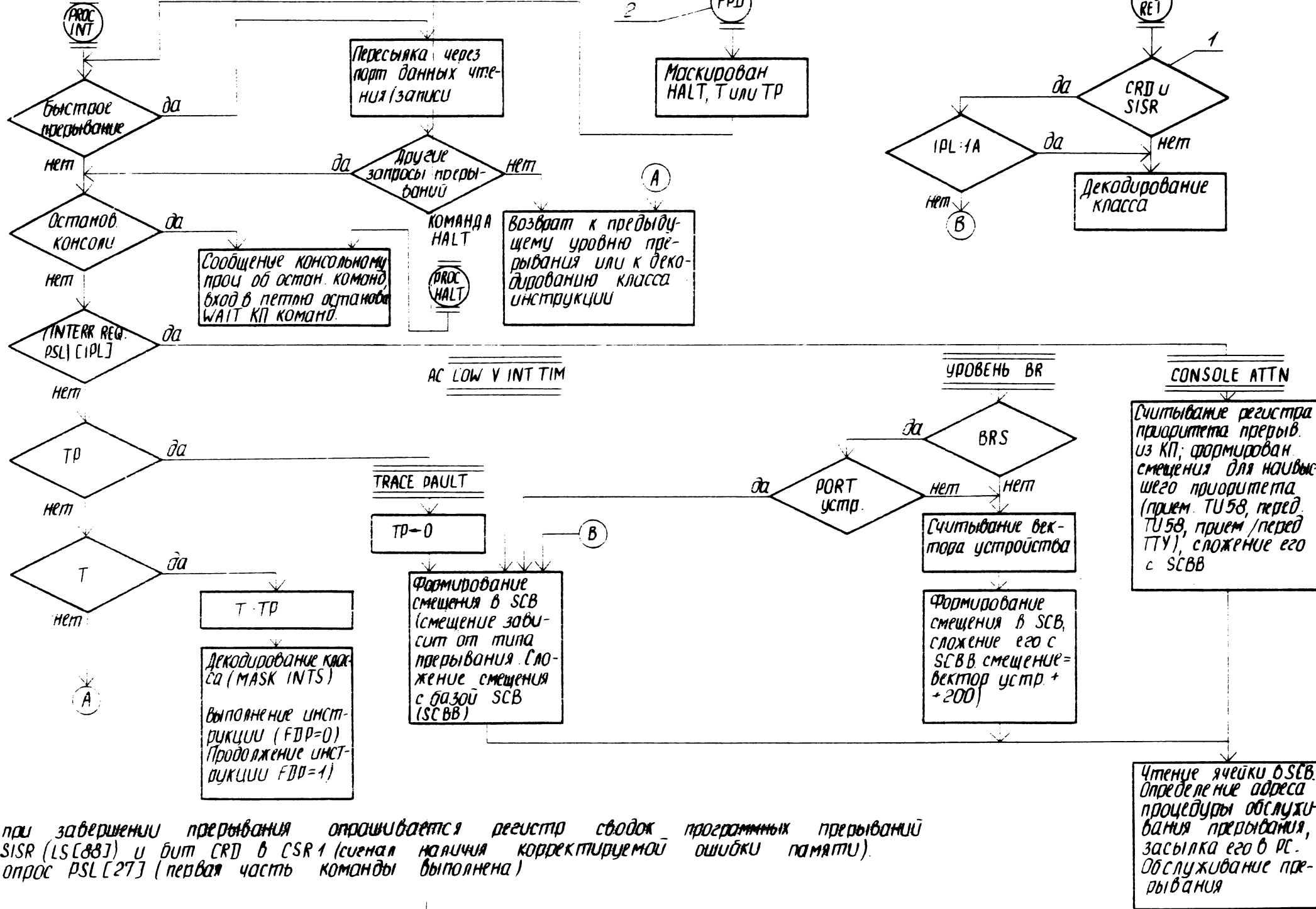
3.030.012PЭ1

Обслуживание прерываний микрокодом ЦП

Прерывание происходящее во время операции декодирования класса

Прерывание происходящее во время выполнения команды

Концы REI



1- при завершении прерывания отправляется регистр сводок программных прерываний SISR (LS[88]) и бит CRD в CSR1 (смена наличия корректируемой ошибки памяти).
 2- опрос PSL[27] (первая часть команды выполнена)

Рис 46

Имя № посыл.	17-1979
Имя № инв.	81.04.27
Имя № дубл.	
Имя № инв. №	
Имя № дубл.	
Имя № инв.	
Имя № дубл.	
Имя № инв.	
Имя № дубл.	
Имя № инв.	
Имя № дубл.	

Обработка запросов прерывания общей шины

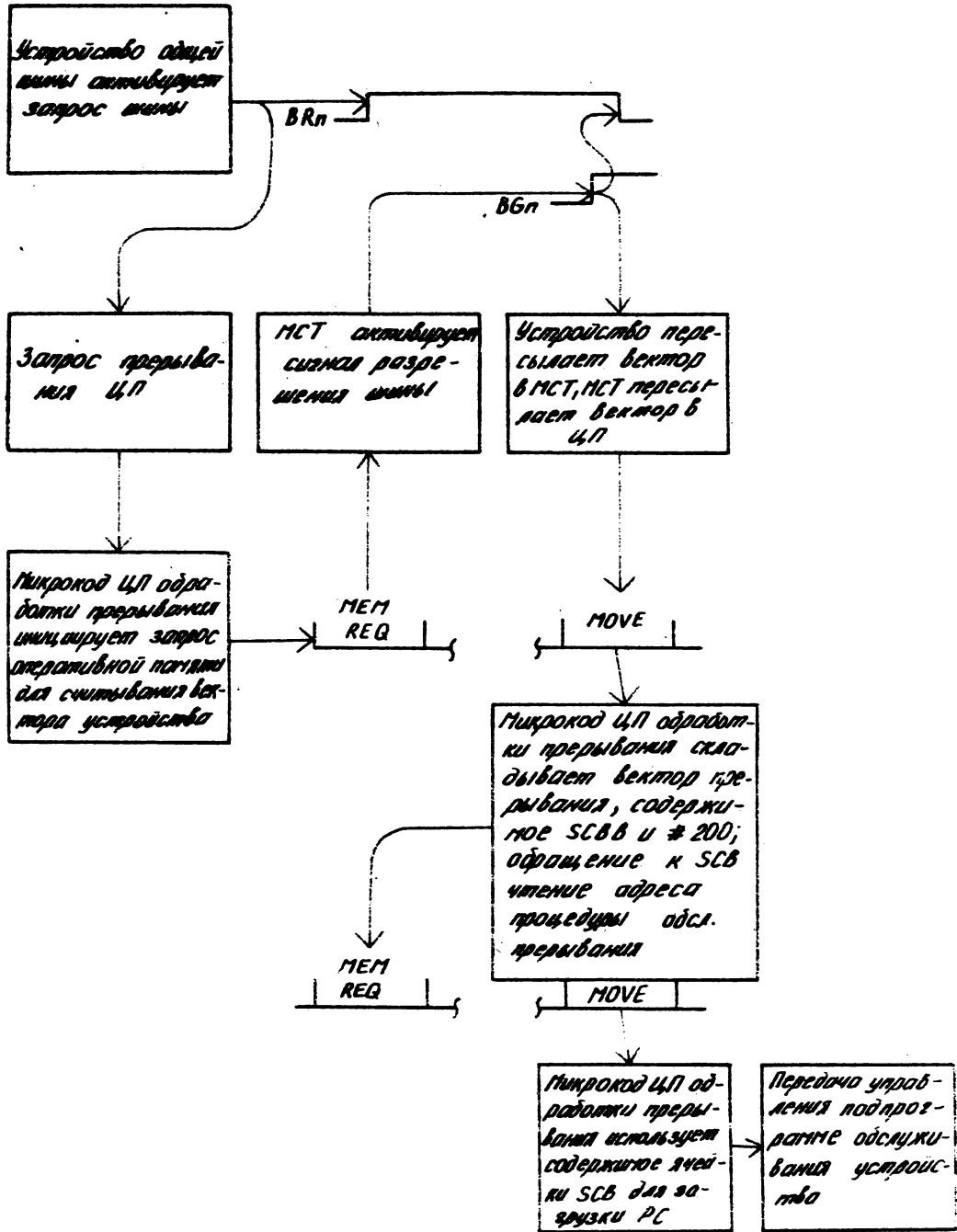


Рис. 47

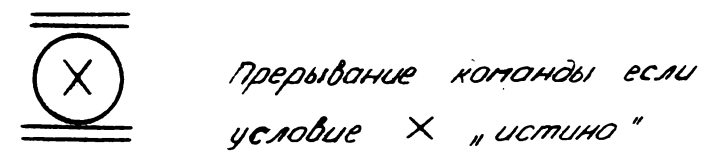
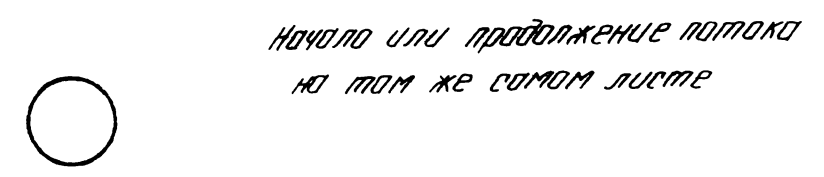
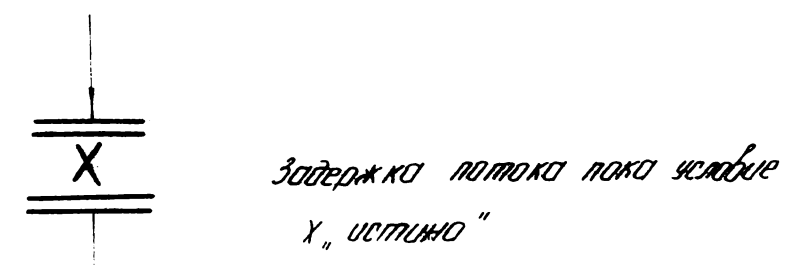
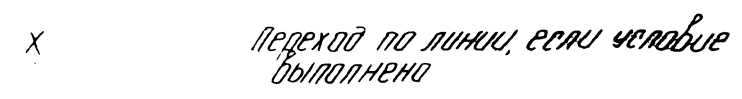
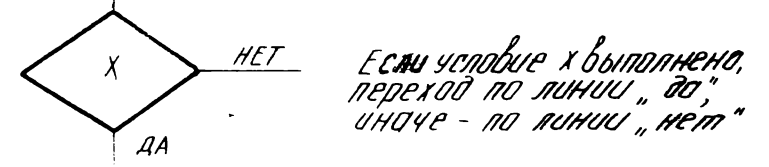
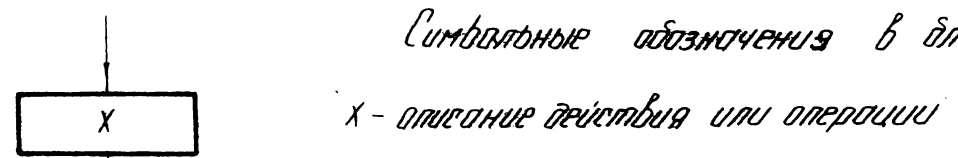
Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1575	87.04.27			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012PЭ1.

Лист
50

Символьные обозначения в блок-схемах микроинструкций



Имя № подл.	Подл. и дата	Взам. инв. №	Имя № дубл.	Подл. и дата
17-1575	21-04-21			

Имя	Лист	№ докум.	Подп.	Дата

3.030.012P01

