

КОМПЛЕКС ВЫЧИСЛИТЕЛЬНЫЙ СМ 1700

Заводской № 0580 Год выпуска 1989

ПРОЦЕССОР ПЛАВАЮЩЕЙ ЗАПЯТОЙ СМ 2700.2008

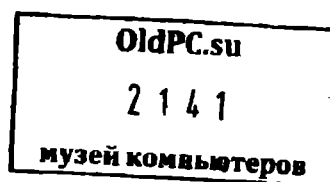
Руководство по эксплуатации

1Э3.050.001 РЭ1

Часть 2

Приложение

Книга



Утвержден
ГЗЗ.050.001РЗ-ЛУ

ПРОЦЕССОР ПЛАВАЮЩЕЙ ЗАПЯТОЙ
СМ 2700.2008

Руководство по эксплуатации

Часть 2

Приложение

З.050.001РЗ1

Имя. № подл.	Подп. и дата	Всех. инв. №	Имя. № дубл.	Подп. и дата
11-1008	РЗ - 27.04.88			

OldPC.su
2141
музей компьютеров

1987

СОДЕРЖАНИЕ

	Лист
Рис. 1. Блок-схема процессора плавающей запятой	5
Рис. 2. Формат данных одинарной точности	6
Рис. 3. Формат данных двойной точности	6
Рис. 4. Формат данных с расширенным порядком	6
Рис. 5. Формат данных четверенной точности с расширенным порядком	7
Рис. 6. Формат целого лжста	8
Рис. 7. Сигналы сопряжения между процессором плавающей запятой и процессором	9
Рис. 8. Декодирование кода операции	10
Рис. 9. Загрузка операндов	10
Рис. 10. Запомявание результата	11
Рис. 11. Управление записью микроадреса	11
Рис. 12. Управление чтением микроадреса	12
Рис. 13. Алгоритм выполнения команды сложения	13
Рис. 14. Алгоритм выполнения команды сложения (программа SUM, DIF)	14
Рис. 15. Алгоритм выполнения команды сложения (программа вычитания при равенстве порядков)	15
Рис. 16. Алгоритм выполнения команды сложения (программы SET SIGN и LONG ADDM)	16
Рис. 17. Алгоритм выполнения команды сложения (однократное выполнение программы ONE-TST)	17

Пере. примен.
 Справ. №

Подп. и дата
 Изм. № дубл.
 Взам. инв. №
 Подп. и дата
 Инв. № подл.

	Изм.	Лист	№ докум.	Подп.	Дата	3.050.001P31			
Разраб.				<i>В.Косов</i>	<i>8/19/88</i>	ПРОЦЕССОР ПЛАВАЮЩЕЙ ЗАПЯТОЙ СМ 2700.2008			
Пров.				<i>В.В.В.</i>	<i>8.19.88</i>	Лит.	Лист	Листов	
Н. контр.				<i>С.Ф.Шош</i>			2	44	
Утв.						Руководство по эксплуатации Часть 2 Приложение			

Копировал

Формат А4

Рис. 18.	Алгоритм выполнения команды сложения (подпрограмма FET..FLT)	18
Рис. 19.	Структурная схема процессора плавающей запятой	19
Рис. 20.	Загрузка операнда с одинарной точностью	20
Рис. 21.	Загрузка операнда с двойной точностью	21
Рис. 22.	Логика формирования синхроимпульсов	22
Рис. 23.	Синхронизация FPA во время цикла процессора PHO	23
Рис. 24.	Синхронизация FPA во время цикла процессора PHI	24
Рис. 25.	Синхронизация FPA во время цикла процессора PHZ	25
Рис. 26.	Схема формирования импульсов длительностью 270 и 180наносекунд	26
Рис. 27.	Временная диаграмма быстрого цикла	27
Рис. 28.	Синхронизация FPA путем установки прерывания или чтения со стороны процессора во время цикла FPA PHO	28
Рис. 29.	Синхронизация FPA путем установки прерывания или чтения со стороны процессора во время цикла FPA PHI	29
Рис. 30.	Логика декодирования команды	30
Рис. 31.	Формирование микроадреса по коду операции	31
Рис. 32.	Сигнальные входы мультиплексора декодирования инструкции	32
Рис. 33.	Логика микросеквенсера	33
Рис. 34.	Микропрограммный секвенсер	34

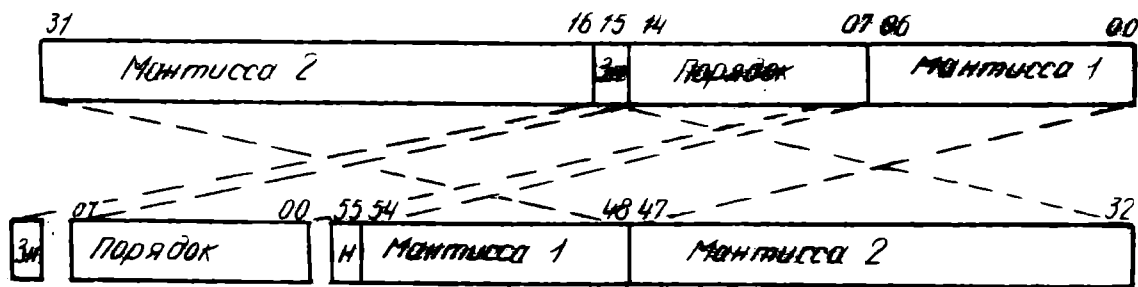
Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1603	31-01-89			

	Лист
Рис. 35. Схема управляющей памяти	35
Рис. 36. Формат микрокоманды	36
Рис. 37. Схема путей данных I	37
Рис. 38. Схема путей данных 2	38
Рис. 39. Блок-схема микропроцессора KT804BCI	39
Рис. 40. Схема путей данных для обработки порядка	40
Рис. 41. Логика формирования знака	41
Рис. 42. Управление записью и чтением микроадреса	42
Рис. 43. Поля управляющей памяти, контролируемые битами паритета P0 и P1	43

Имя № подл.	Подп. и дата	Взам. инв. №	Изм. № дубл.	Подп. и дата
17-1603	Р. 87.04.88			

					3.050.00IPЭI	Лист
№	Лист	№ докум.	Подп.	Дата		4

Формат данных одинарной точности

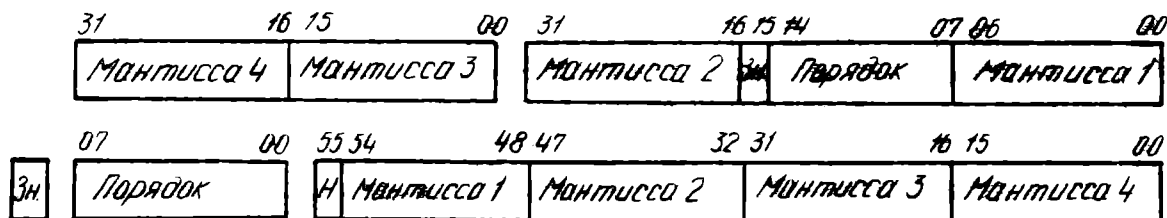


Формат данных, запоминаемых в оперативной памяти

Перепозиционирование данных в процессе плавающей запятой

Рис. 2

Формат данных двойной точности

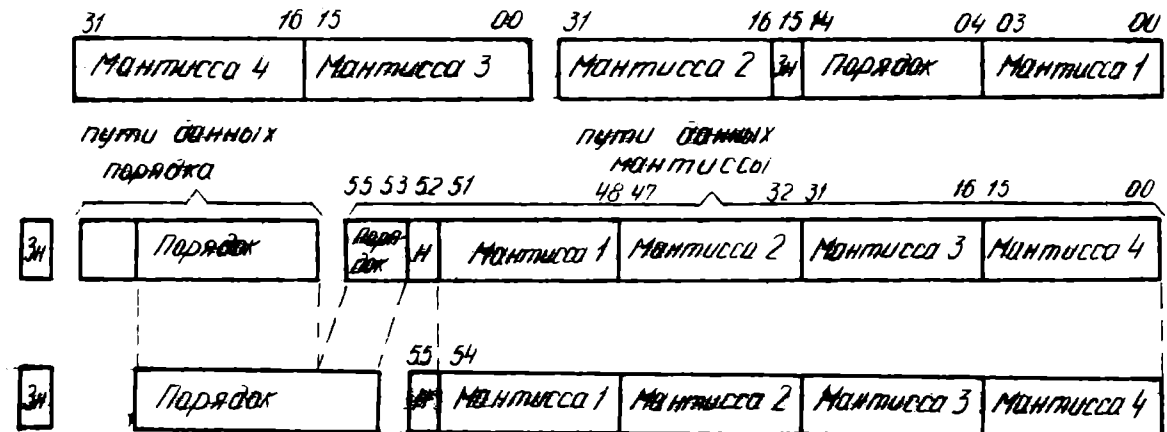


Формат данных, запоминаемых в оперативной памяти

Перепозиционирование данных в процессе плавающей запятой

Рис. 3

Формат данных с расширенным порядком



Формат данных, запоминаемых в оперативной памяти

Формат данных первоначально запоминаемых в процессе плавающей запятой

Перепозиционирование данных в процессе плавающей запятой

Рис. 4

Имя, № подл. 17-1603
 Подл. и дата 81.04.25
 Взам. инв. №
 Имя, № дубл.
 Подл. и дата

Имя	Лист	№ докум.	Подл.	Дата

3.050.00IPЭI

Лист 6

Формат данных учетверенной точности с расширенным порядком

Формат данных, запоминаемых в оперативной памяти



Разряды BUS FPA

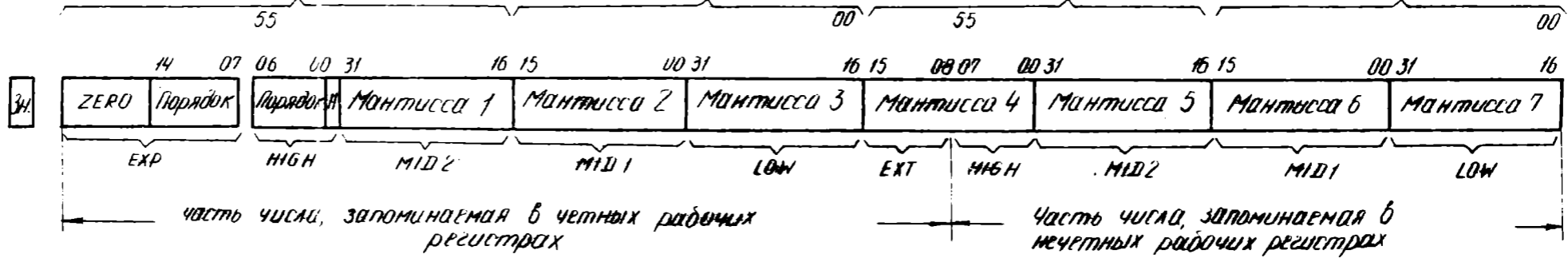
I-ая загрузка

II-ая загрузка

III-ая загрузка

IV-ая загрузка

Формат данных, первоначально запоминаемых в процессоре плавающей запятой



Нормализованный операнда

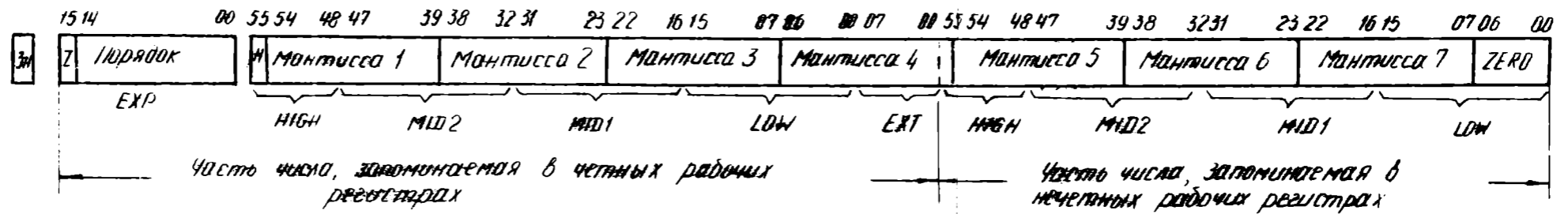


Рис. 5.

Подп. и дата
Имя, № дубл.
Взам. инв. №
Подп. и дата
Имя, № подл.

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

3.050.00IPЭI

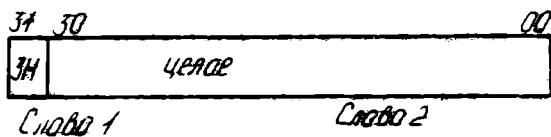
Лист
7

Копирован

Формат А 3

Формат целого числа

Целое (длинное слово)



Формат числа, запоминаемого в оперативной памяти



Формат числа, запоминаемого и обрабатываемого схемой путей данных машины процессора плавающей запятой

Рис. 6

Изм.	Лист	№ докум.	Подп.	Дата
17-1603	8	8104 29		
Изм.	Лист	№ докум.	Подп.	Дата

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001РЭ1				Лист
				8

Копировал

Формат А4

Сигналы сопряжения между процессором и процессором
плавящейся запытой

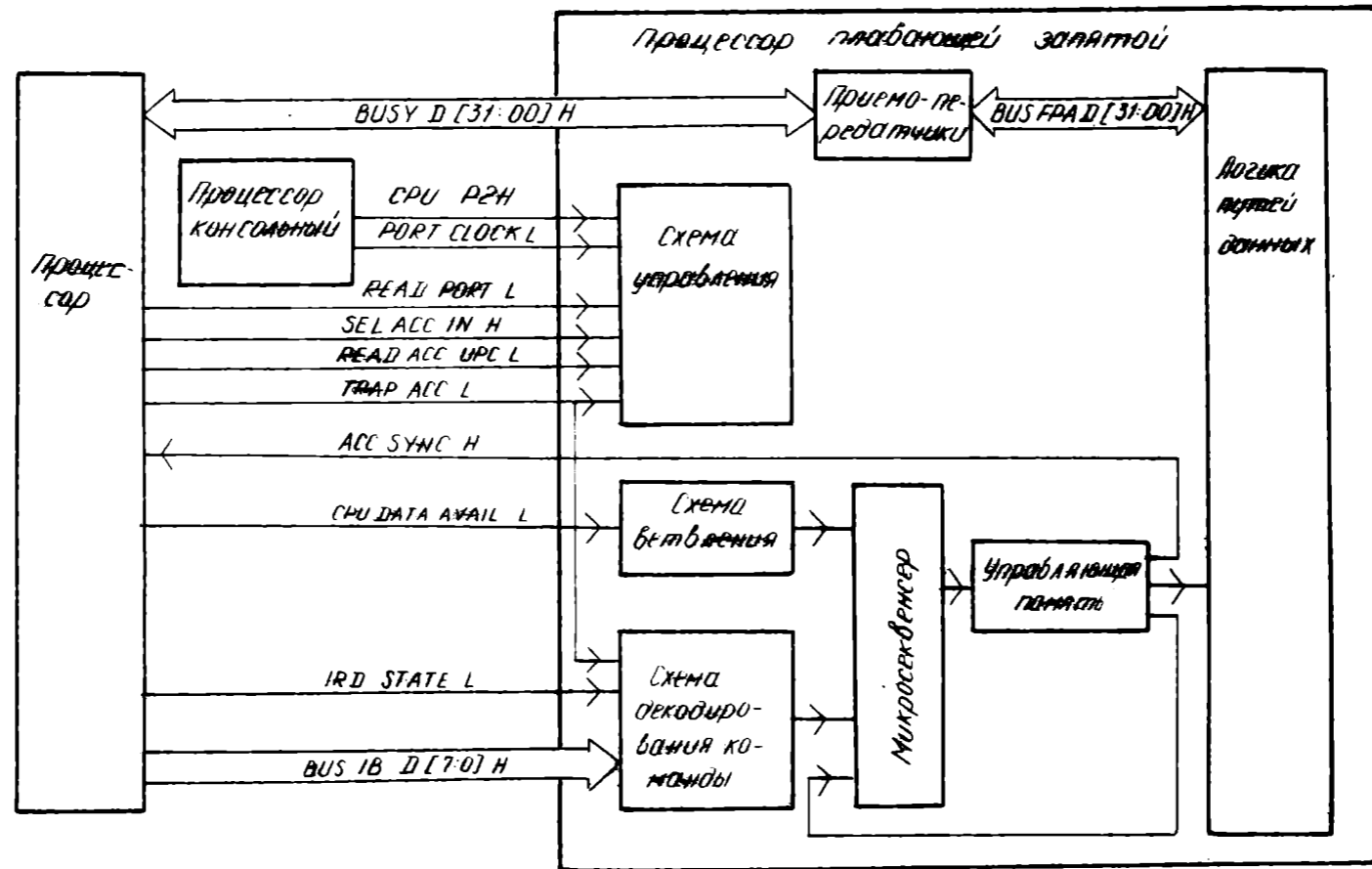


Рис. 7

Примечание: Интерфейс между процессором и процессором плавящейся запытой осуществляется через линии порта (кроме линии BUS IB)

Изм. № подл.	Подп. и дата	Взам. инв. №	Изм. № подл.	Подп. и дата
17-1603	87.04.28			

Изм. № подл.	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист
9

Копировал

Декодирование кода операции

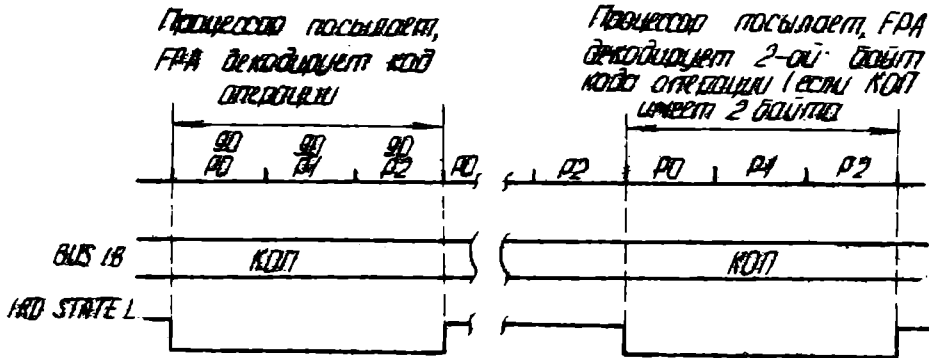


Рис. 8

Примечание: Микрокоманда декодирования

Загрузка операндов

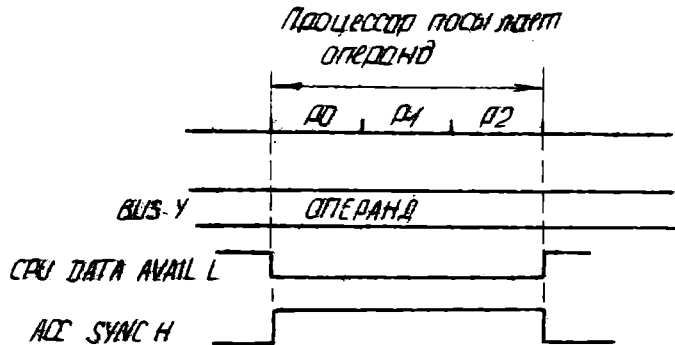


Рис. 9

Примечание. ACC SYNC устанавливается в 0, если FPA занят. Если FPA свободен от операндов, ACC SYNC устанавливается в 1.

Имя, № подл.	Взам. инв. №	Имя, № дубл.	Подп. и дата
11-1608			
			98-07-04-89

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист
10

Застаповленне прыкладання

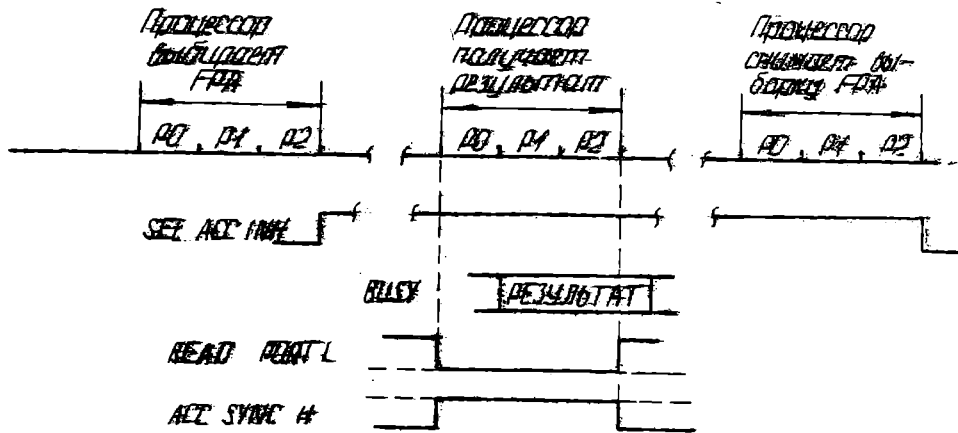


Рис. 10

Устаўленне заціска мікрапрацэсара

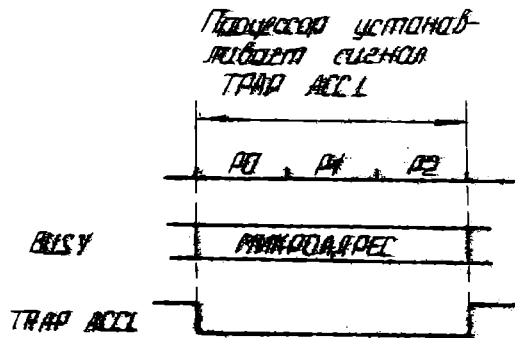


Рис. 11

№-1603	Подп. и дата 20.04.89	Взам. инв. №	Ине. № дубл.	Подп. и дата
--------	--------------------------	--------------	--------------	--------------

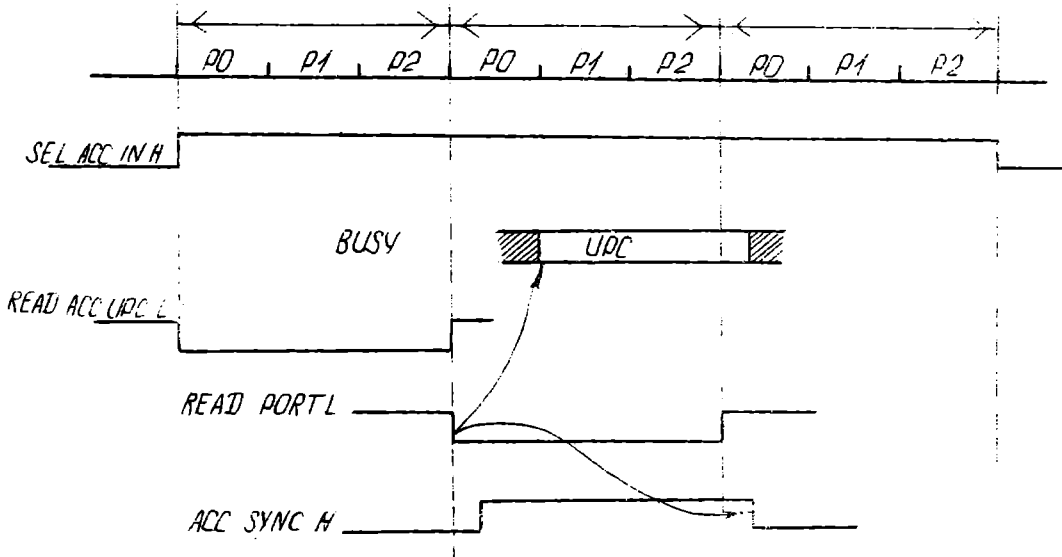
Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

3.050.001РА1

Лист
4

Управление чтением
микроадреса

Процессор же - Процессор по- Процессор
 лает прочесть лучает микро- снимает
 микроадрес адрес управ- сигнал
 управляющей ляющей памяти выборки FPA
 памяти FPA FPA



Микрокоманда MISC
 Микрокоманда MOVE

Рис. 12

Изм. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата
11-1603	02-27.04.23			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001РЭ1

Лист
12

Алгоритм выполнения команды сложения (подпрограмма SUM.DIF)

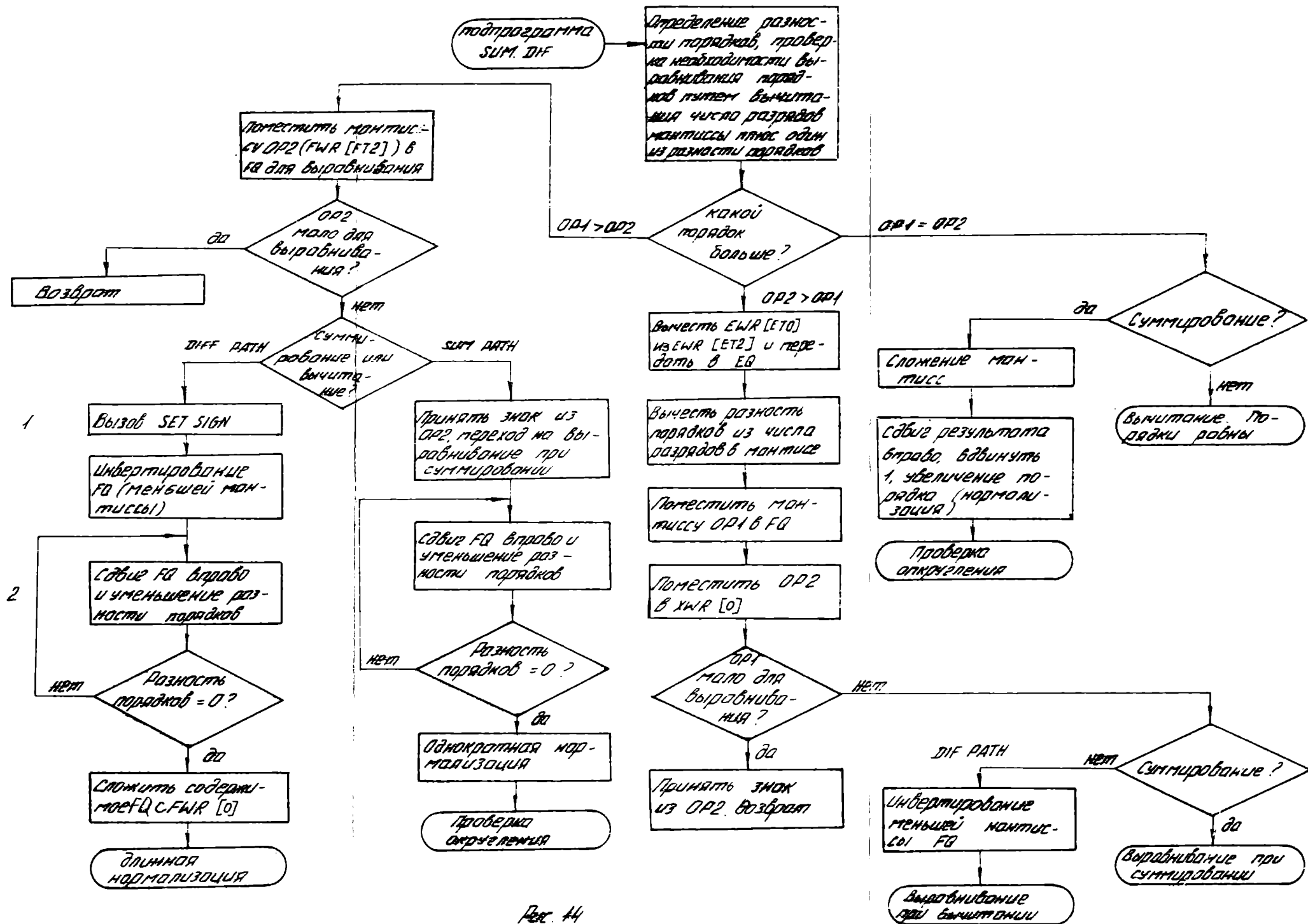


Рис. 14

- 1- SET SIGN - подпрограмма установки знака
- 2- выравнивание порядка при вычитании.

Имя, № подл. 11-1603
 Подп. и дата
 Взам. инв. №
 Инв. № дубл.
 Подп. и дата 29.04.79

Алгоритм выполнения команды сложения
(подпрограмма вычитания при равенстве
порядков).

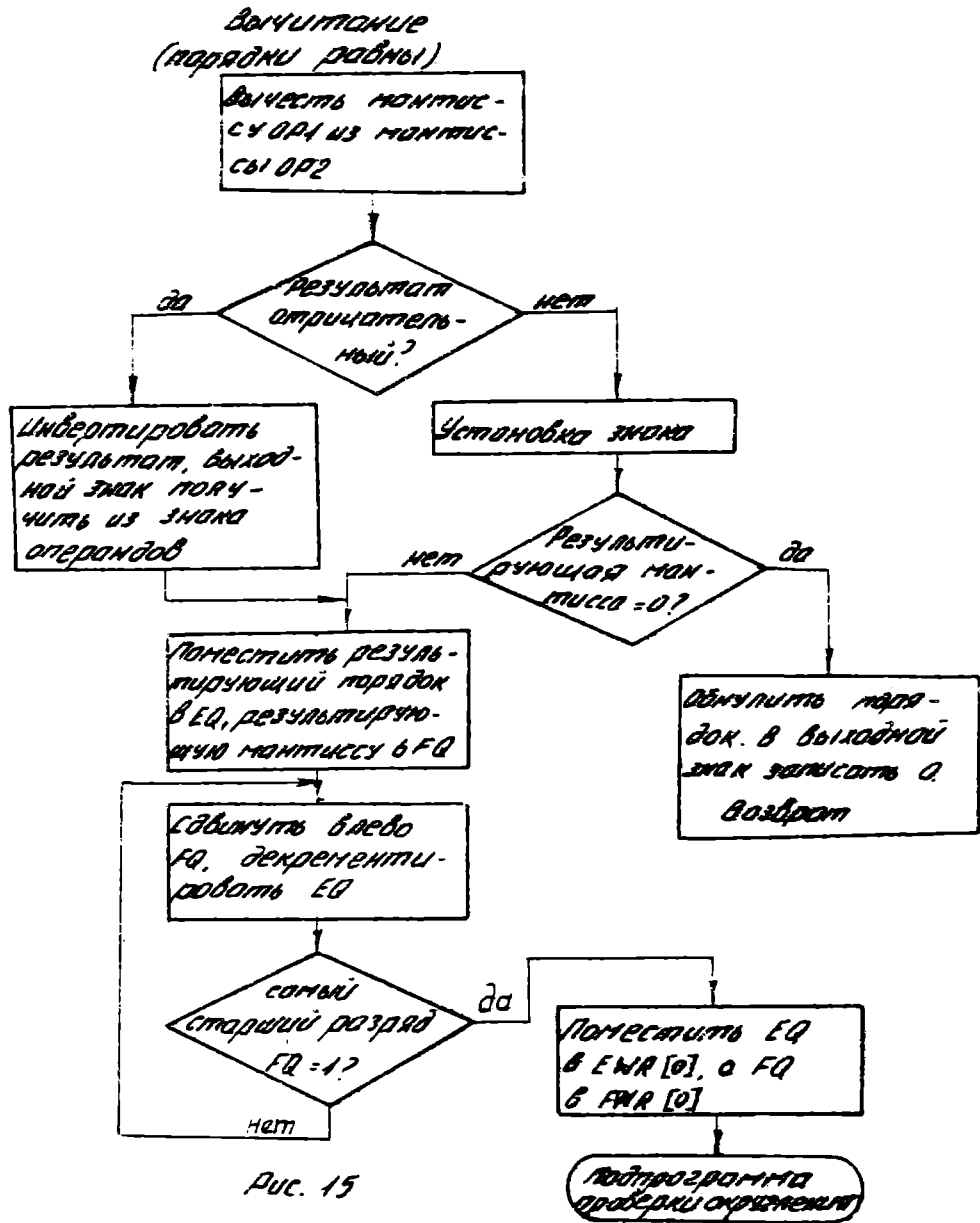


Рис. 15

Ина № подл.	Подп. и дата
№ 1603	СА. 27.04.29
Изм.	Подп.
Лист	Дата
№	Ина. № дубл.
Взам. инв. №	Подп. и дата

3.050.001РЭ1

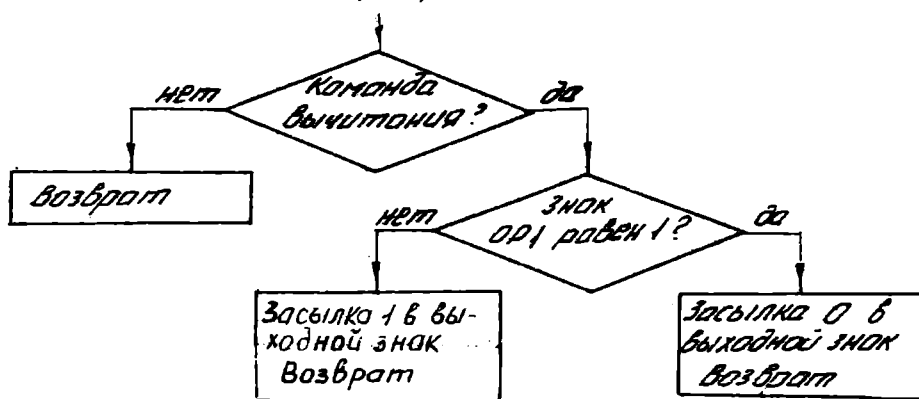
Лист
15

Копировал

Формат А4

Алгоритм выполнения команды сложения (подпрограммы SET SIGN и LONG NORM)

Подпрограмма SET SIGN



Подпрограмма LONG NORM

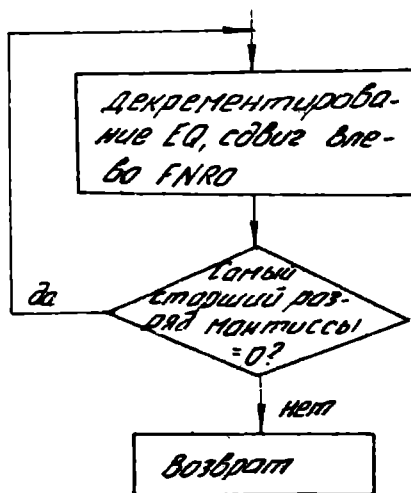


Рис. 16

Примечание. Когда подпрограмма SET SIGN вызывается, разряд выходного знака содержит знак операнда ОП1

Изм. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата
17-1003	02-87 04-29			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.00IPЭI

Лист
16

Алгоритм выполнения команды
стопения (однократное выполнение
подпрограммы RND.TST)

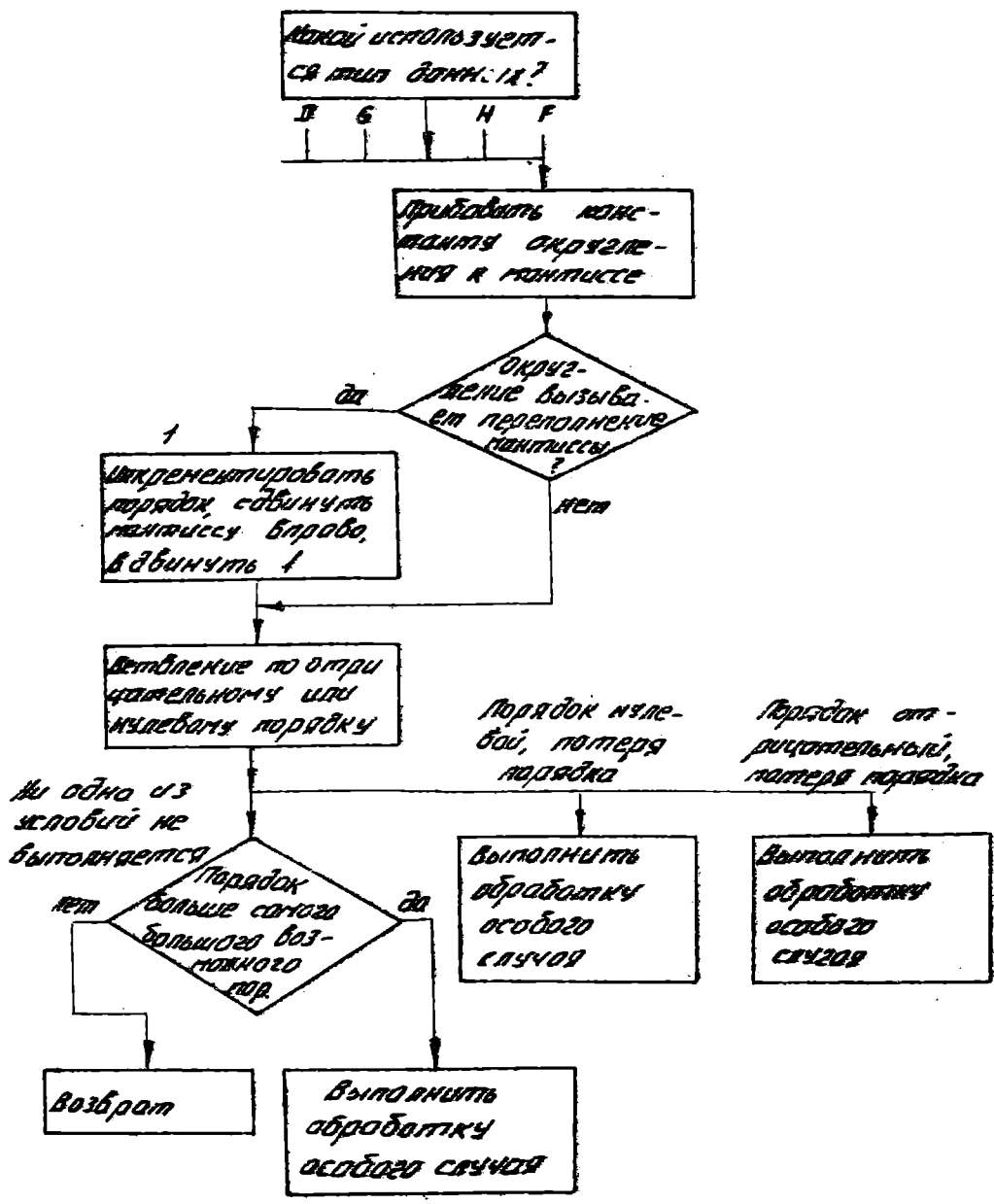


Рис. 17

1 - нормализация переполненной матрицы

Изм. № подл.	17-1609
Изм. № докум.	3.050.00IPЭ1
Изм. № инв.	17-1609
Изм. № дубл.	
Изм. № инв. №	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	

Изм. № подл.	17-1609
Изм. № докум.	3.050.00IPЭ1
Изм. № инв.	17-1609
Изм. № дубл.	
Изм. № инв. №	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	

Изм. № подл.	17-1609
Изм. № докум.	3.050.00IPЭ1
Изм. № инв.	17-1609
Изм. № дубл.	
Изм. № инв. №	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	
Изм. № инв.	
Изм. № дубл.	

Алгоритм выполнения команды сложения (подпрограмма FET.FLT)

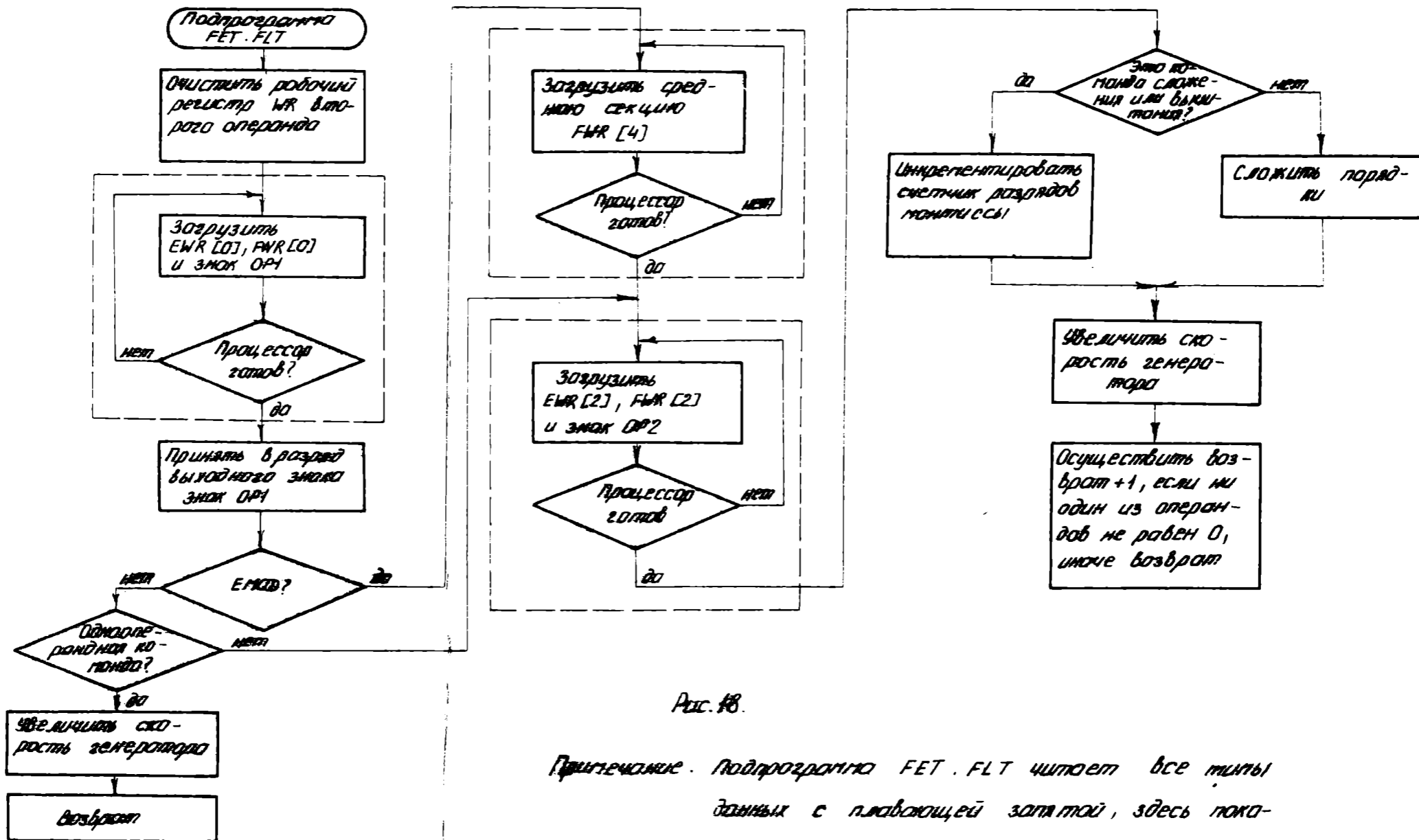


Рис. 18.

Примечание. Подпрограмма FET.FLT читает все типы данных с плавающей запятой, здесь показан только формат F

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
11-1603	87-04-29			

Изм.	Лист	№ докум.	Подп.	Дата

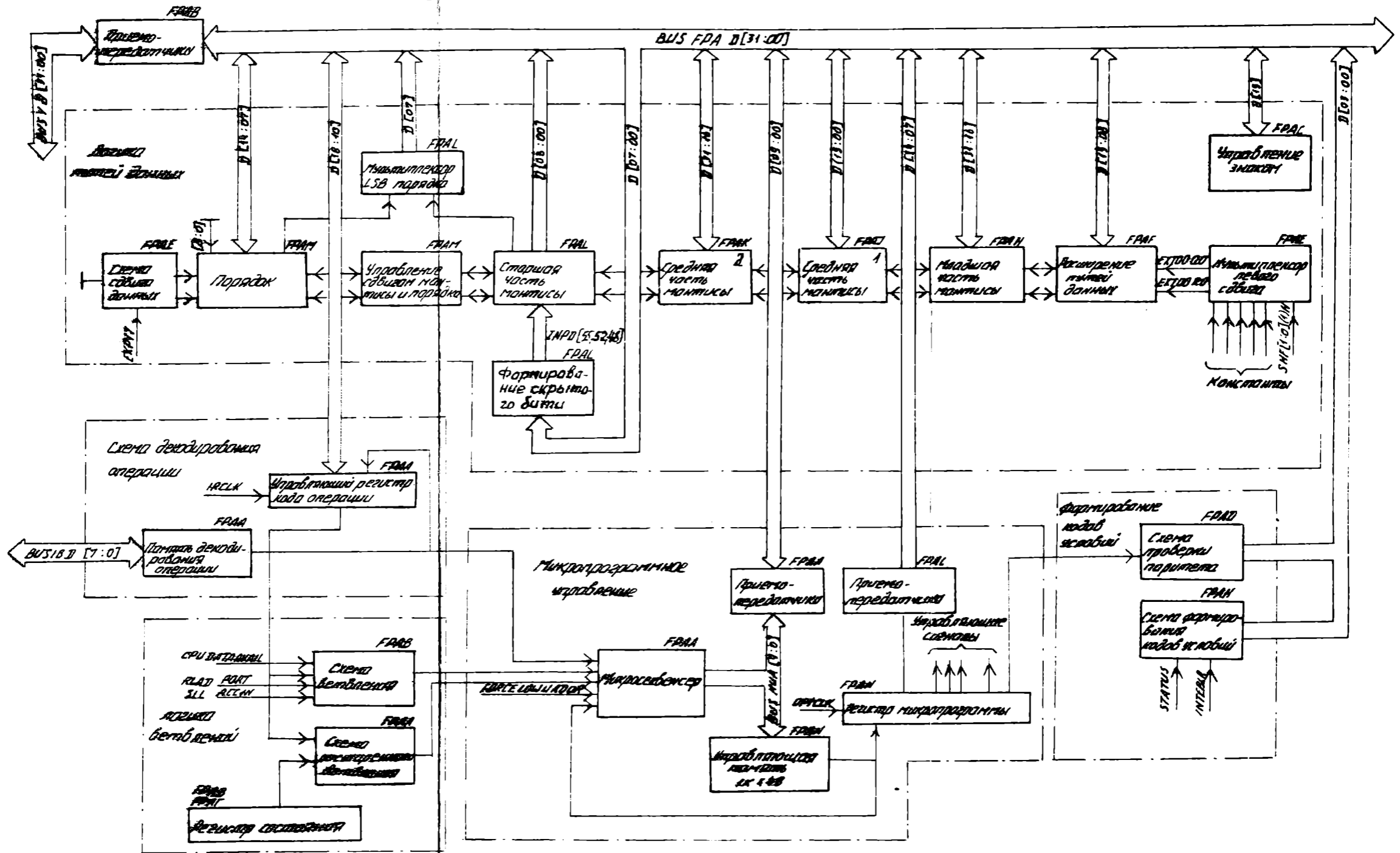
3.050.00IPЭ1

Лист
18

Копировал

Формат А3

Структурная схема процессора любяющей заглавной



Лист 19

Изм. № подл.	17-1603
Изм. инв. №	87.04.28
Взам. инв. №	
Изм. инв. № дубл.	
Подп. и дата	

Изм. Лист	№ докум.	Подп.	Дата	3.050.00IPЭ1	Лист 19
-----------	----------	-------	------	--------------	---------

Загрузка операндов одинарной точностью

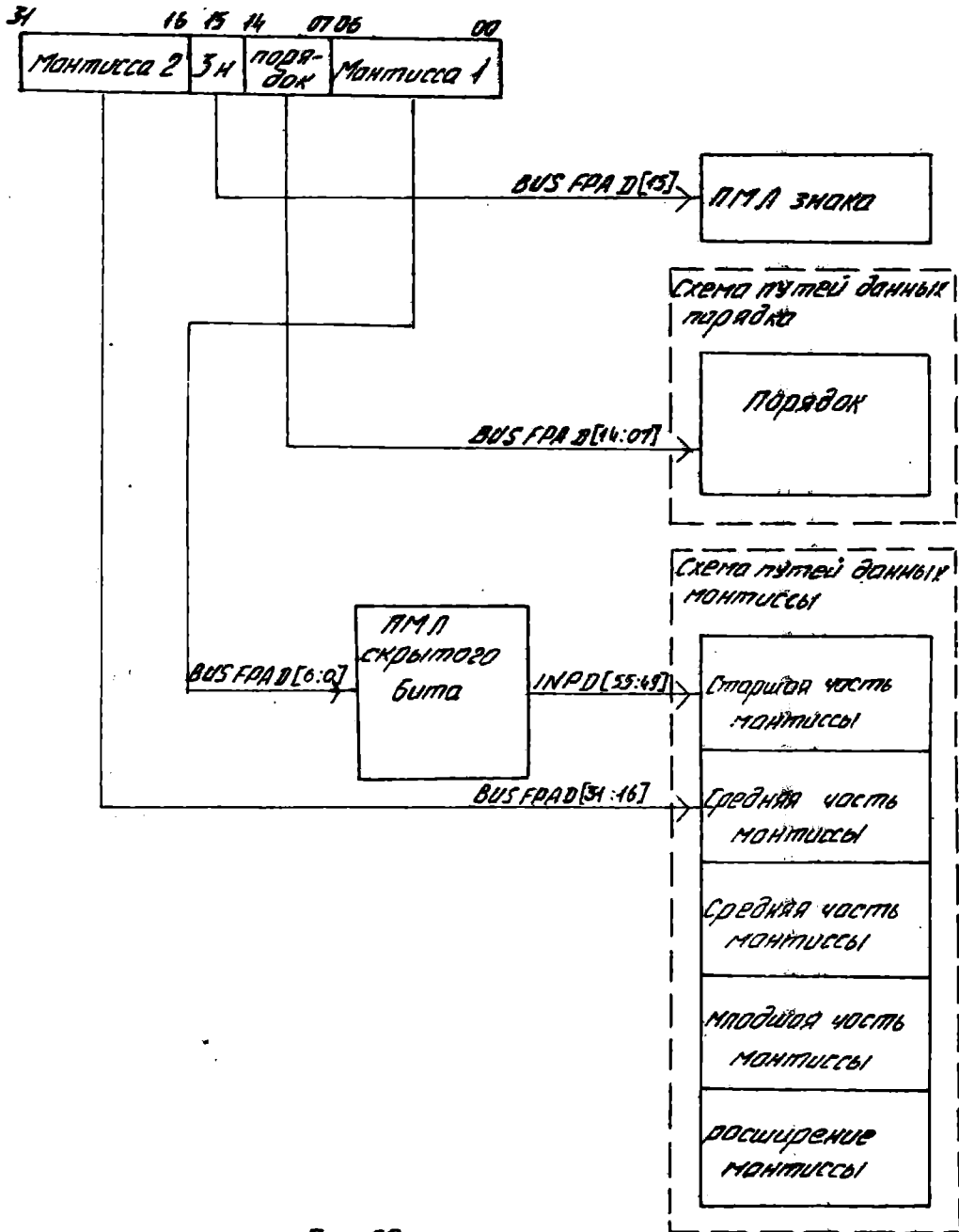


Рис. 20

Имя, № подл.	Взам. имя, №	Подп. и дата	Подп. и дата
17-1603		87.04.29	

Изм.	Лист	№ докум.	Подп.

3.050.00IPЭI

Лист
20

Задружна опредања с двојном поклоном

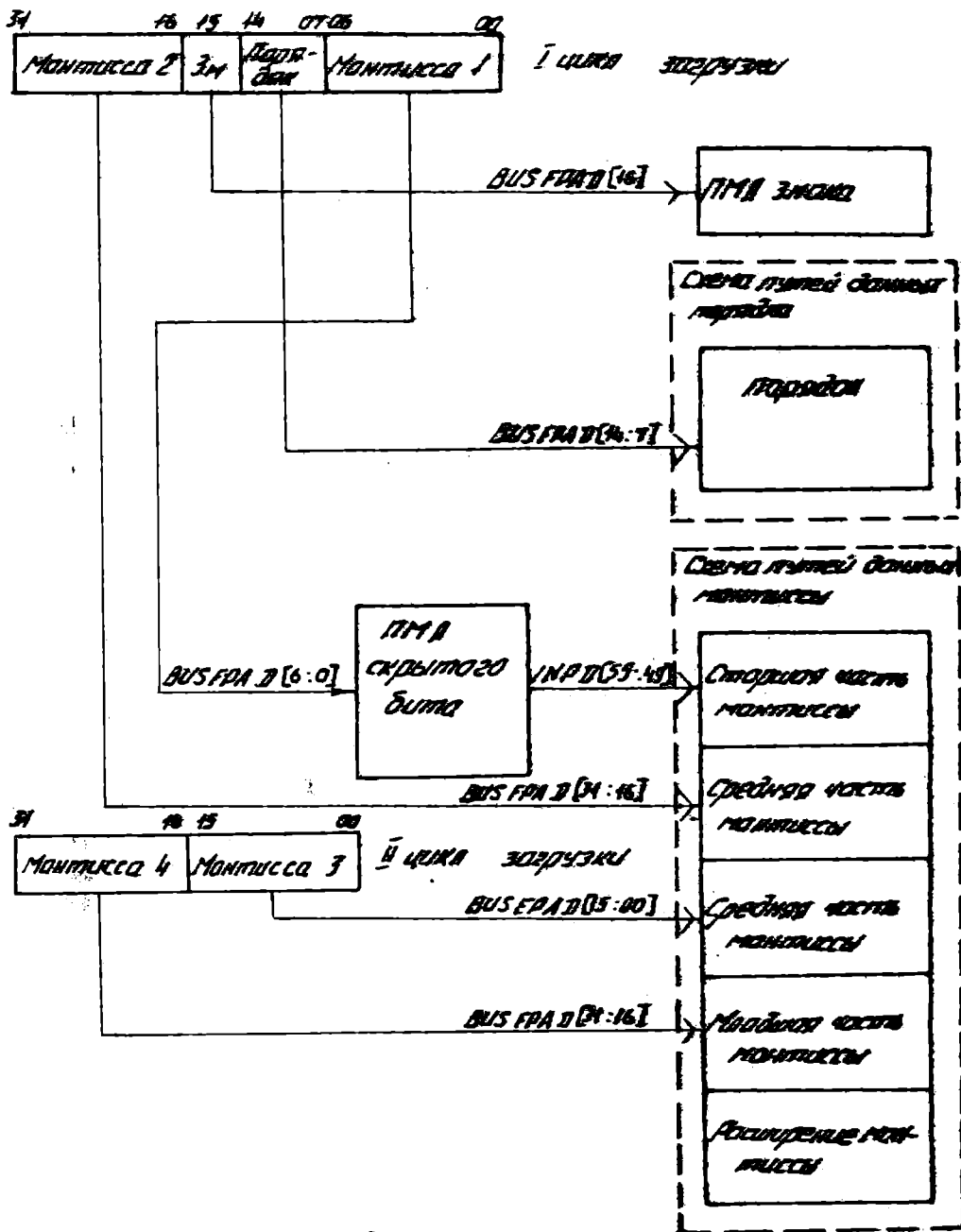


Рис. 21

Инд. № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
11-1603	28.04.28		
Изм.	Лист	№ докум.	Подп.
			Дата

3.050.00IPЭ1

Лист
21

ЛОГИКА ФОРМИРОВАНИЯ СИНХРОСИГНАЛОВ

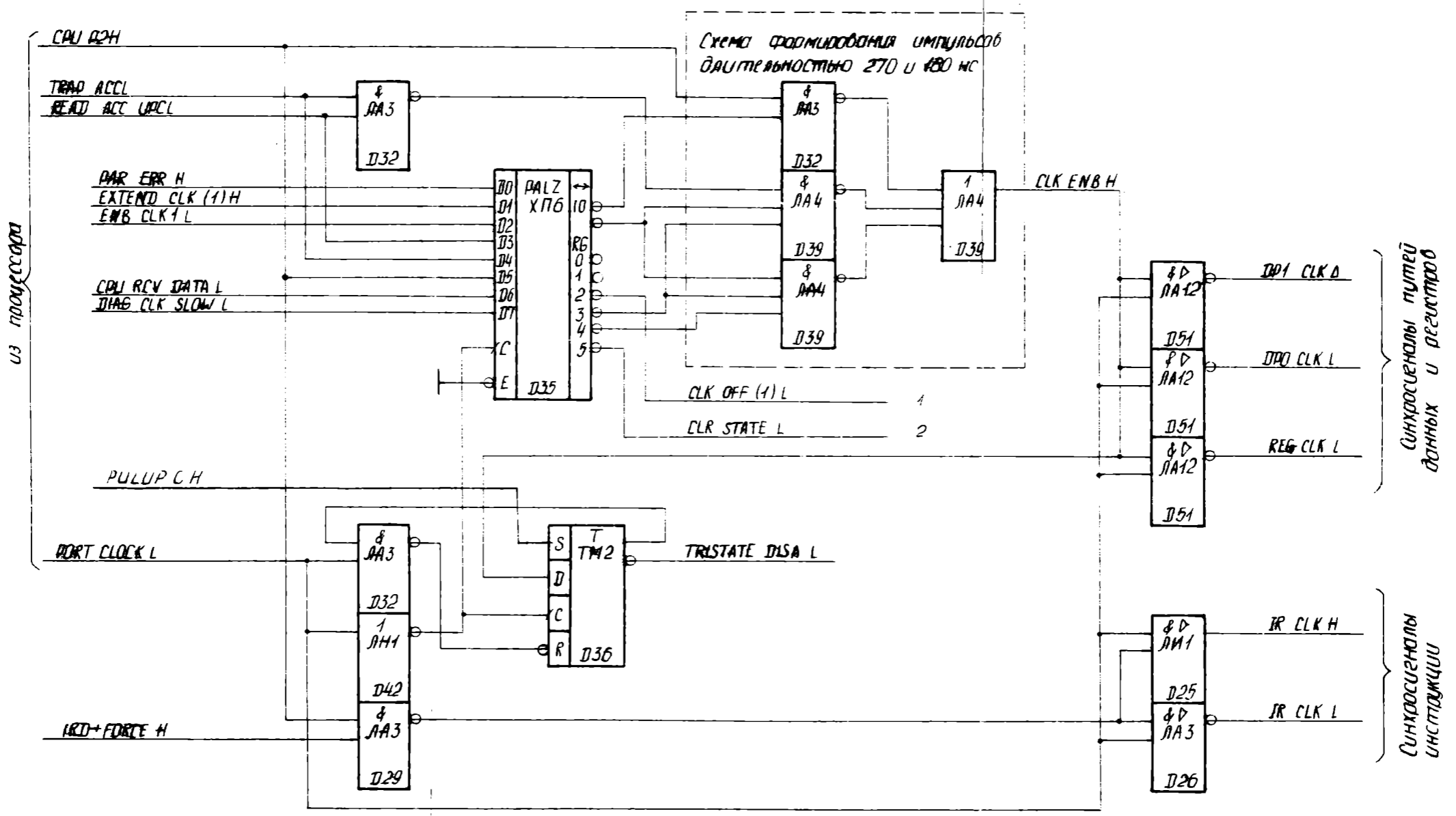


Рис. 22

- 1- CLK OF (1) идет к схеме контроля и установки микроадреса
- 2- CLR STATE L идет к ПМД для обеспечения расширенных функций.

Изм. № подл. 14-1609
 Дата: 01.04.89
 Подп. и дата
 Взам. инв. № 111
 Подп. и дата

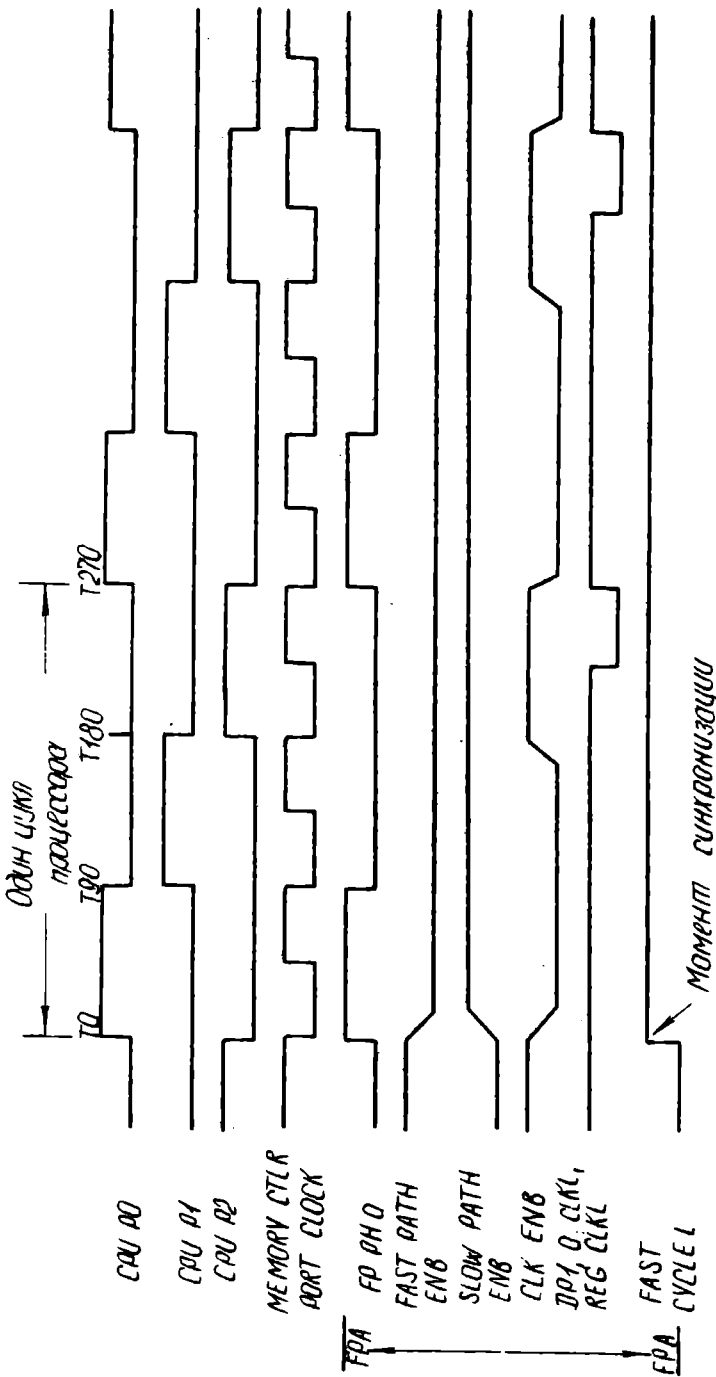
Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

3.050.00IPЭ1

Лист 22

Изм.	Лист	№ докум.	Подп.	Дата
Ив. № подл.	Подп. и дата	Взвм. инв. №	Ив. № дубл.	Подп. и дата
17-1603	21.01.01.29			

Синхронизация FPA во время цикла процессора PNO



Лист

3.050.001PЭ1

Лист
23

Копировал

Формат А4

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
№ 1903	08.07.04.25			

Синхронизация FPA во время цикла процессора РМ1

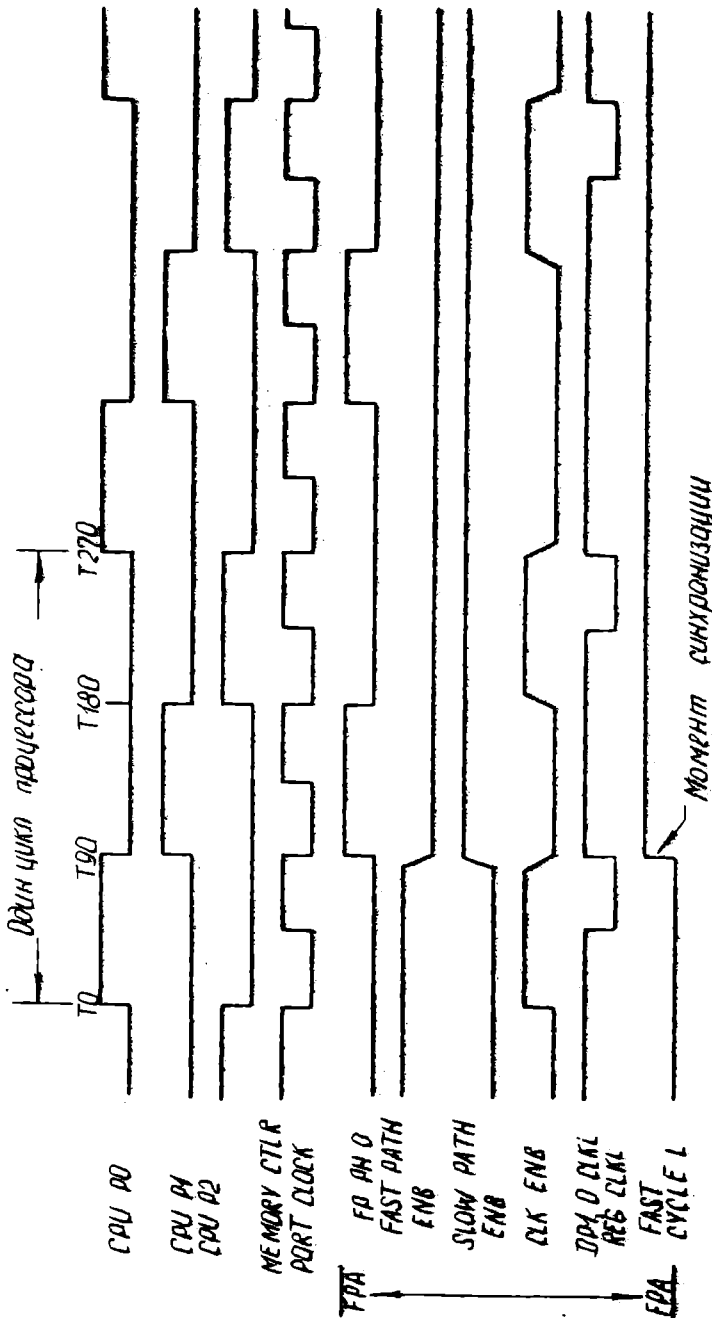


рис. 24

3.050.00IPЭ1

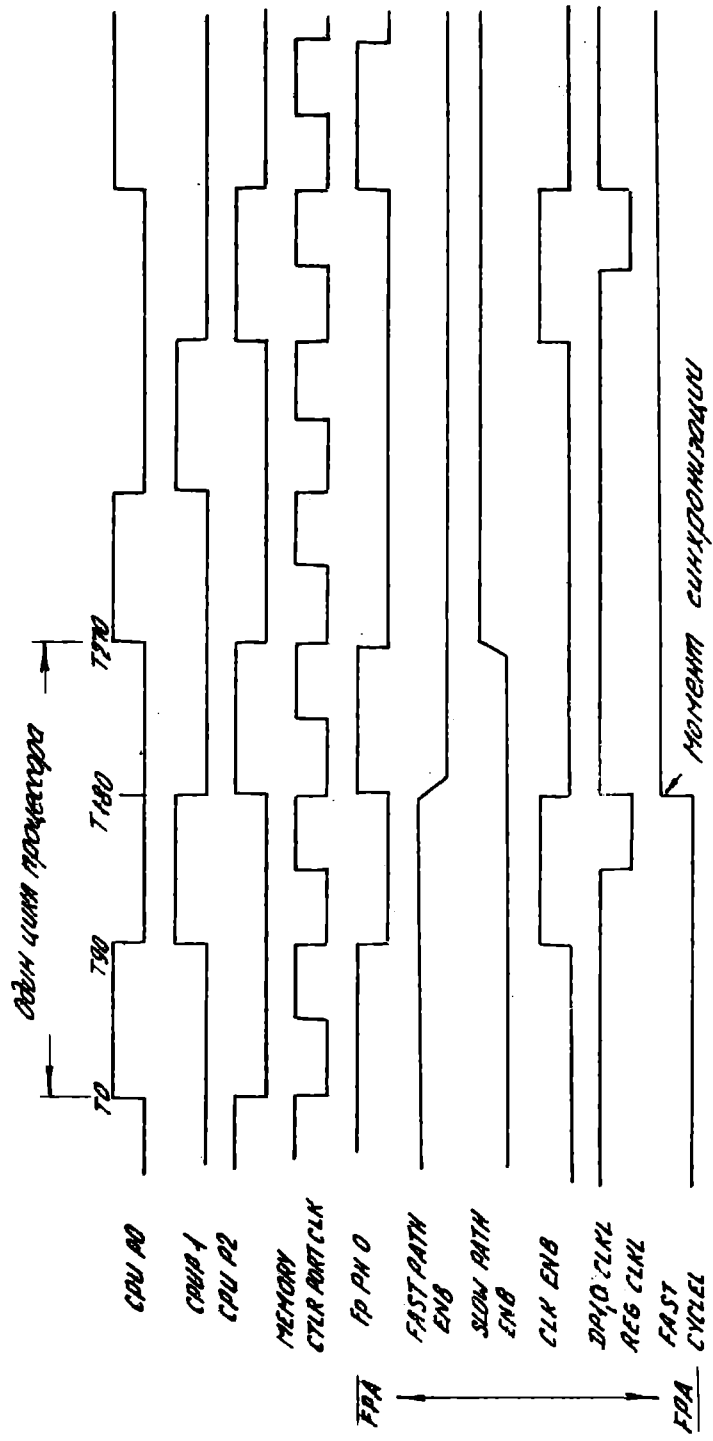
Лист
24

Копировал

Формат А4

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1606	87.04.29			

Синхронизация FPA во время цикла прерывания ДПЭ



Лис. 25

Изм.	Лист	№ докум.	Подп.	Дата

3.050.00IPЭ1

Лист
25

Схема формирования импульсов длительностью 270 и 180 нс

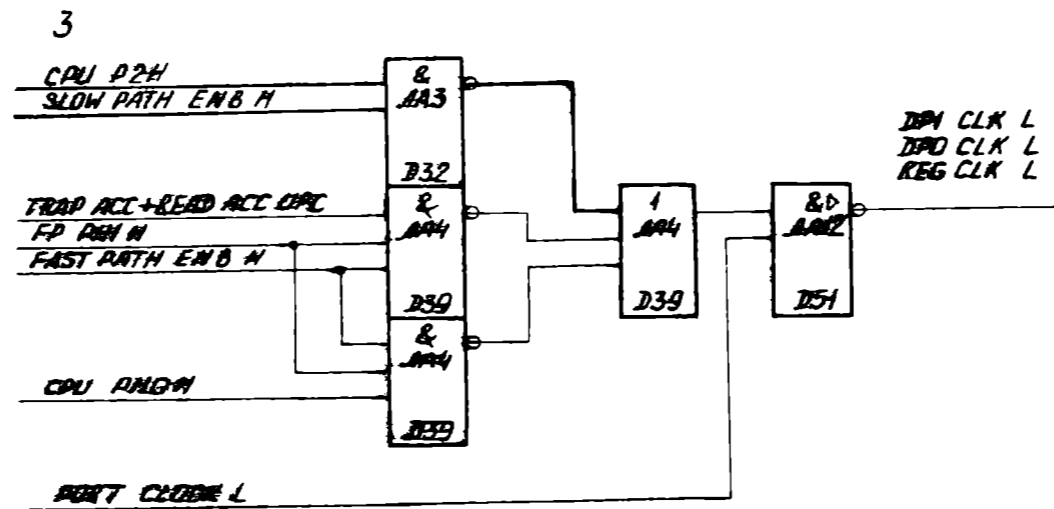
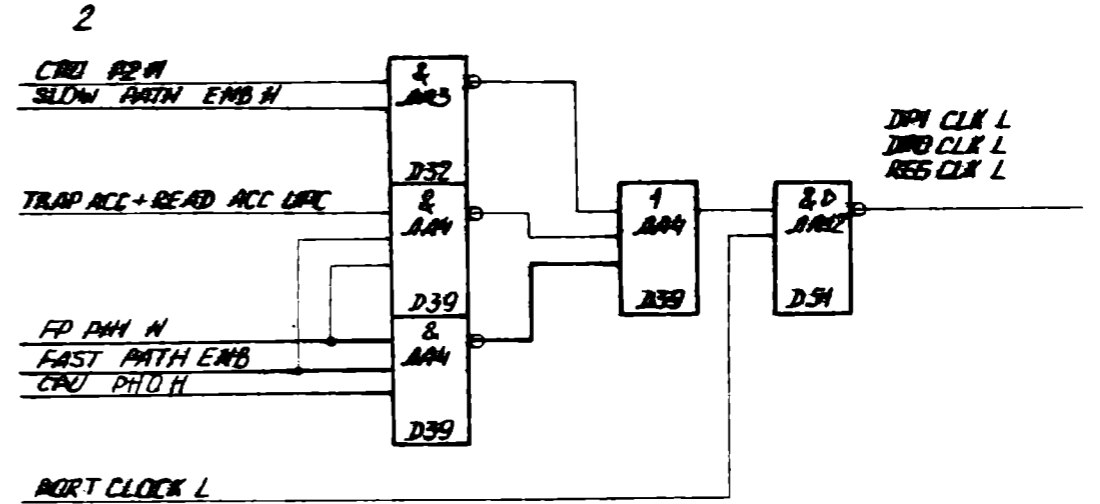
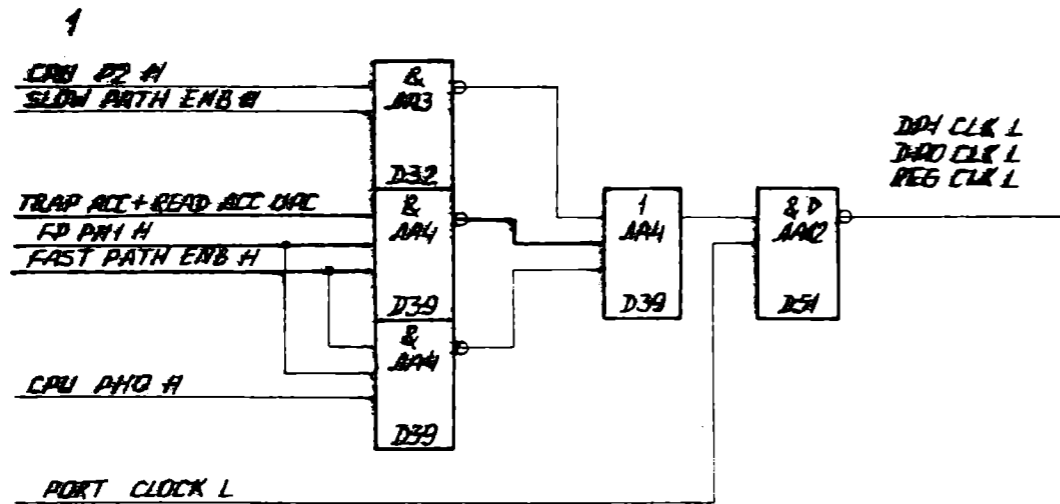


Рис. 26

- 1 - формирование короткого импульса
- 2 - формирование короткого импульса во время установившейся сигналов TRAP ACC L и READ ACC UPC L
- 3 - формирование длинного импульса

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1603	01.04.89			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.00IPЭ1

Лист
26

Копировал

Формат А3

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1603	С.В. Ш. 01.01.23			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.00IPЭ1

(лист)
27

Временная диаграмма быстрого цикла

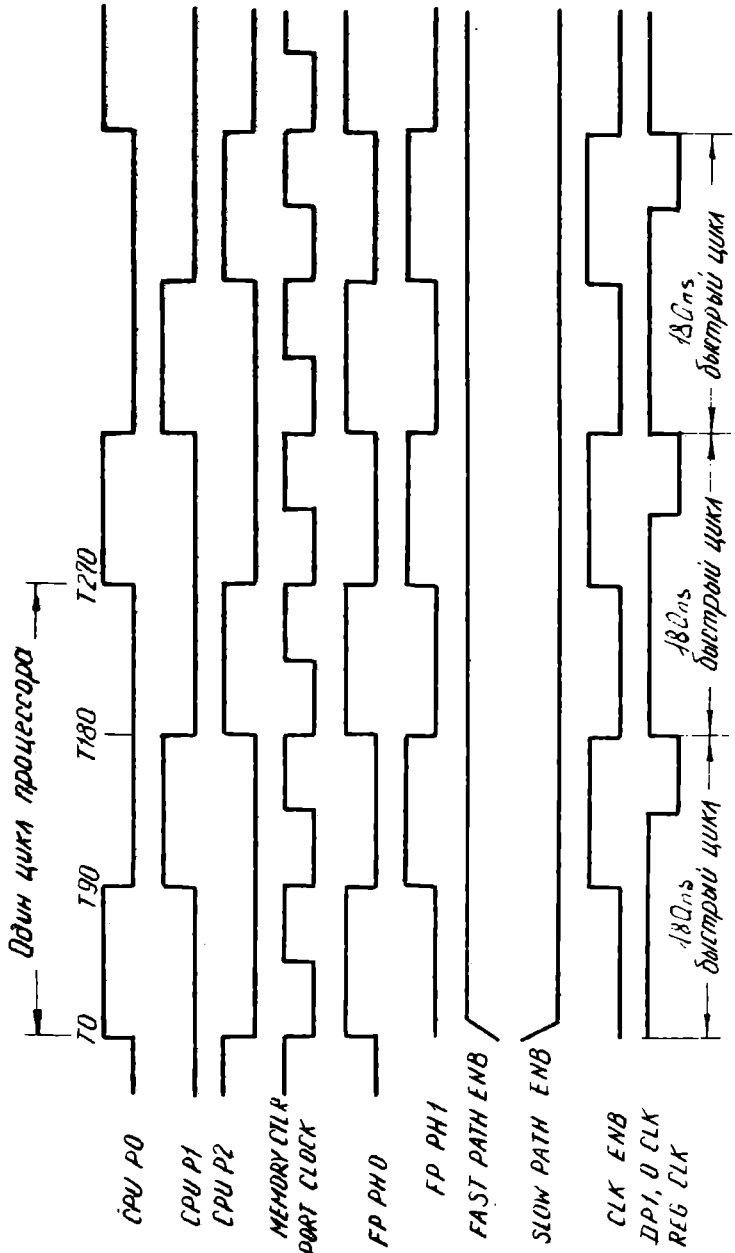


Рис. 27

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
11-1603	8.11.87			

Изм.	Лист	№ докум.	Подп.	Дата

Синхронизация FPA путем установки прерывания или чтения со стороны процессора во время цикла FPA RHO

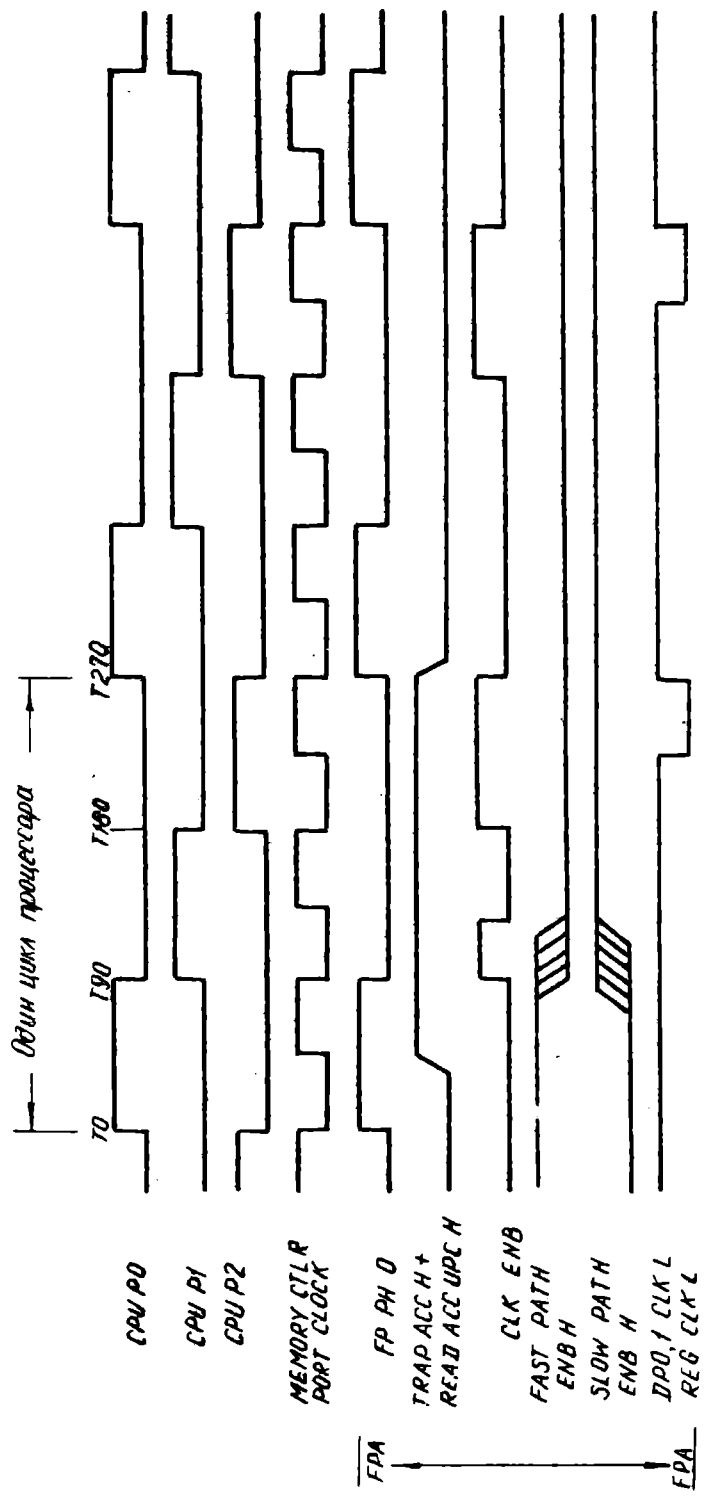


Рис. 28

3.050.00IPЭ1

Лист 28

Изм. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
11-1603	Э. - 27.04.89			

Синхронизация FPA путем установки прерывания или чтения со стороны процессора во время цикла FPA PH1

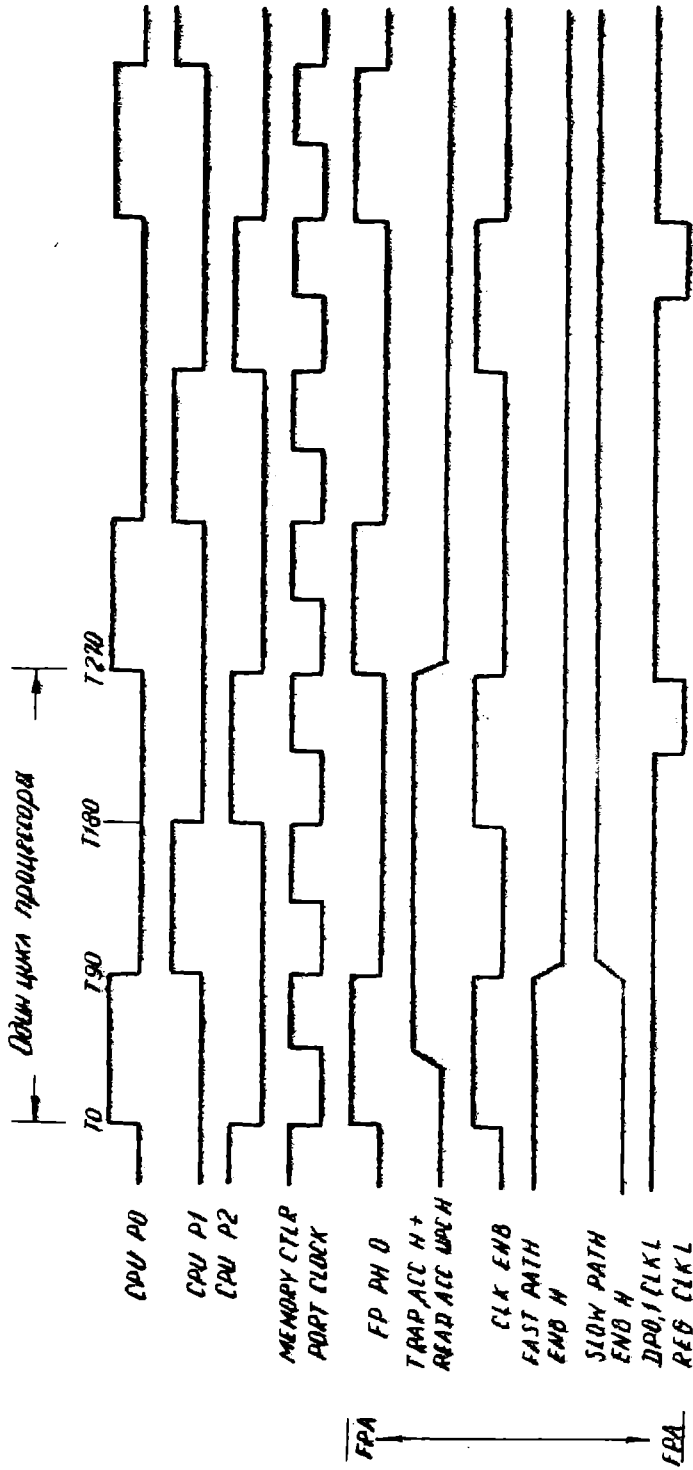


Рис. 29

3.050.00IPЭГ

Исх
29

Логика декодирования команды

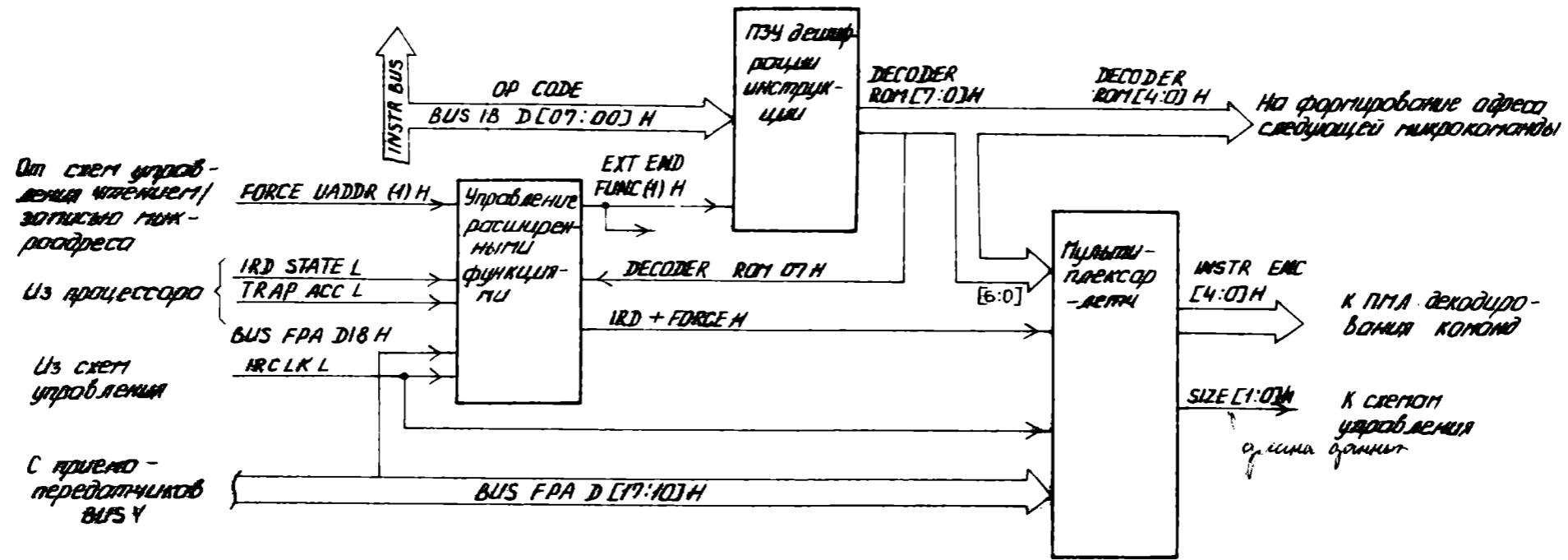


Рис. 30

Изм. № подл.	Подп. и дата
17-1603	28.11.04.29
Взам. инв. №	Инд. № дубл.

Изм.	Лист	№ докум.	Подп.	Дата	3.050.00IPЭ1	Лист
						30

Изм. № подл.	Подп. и дата	Взам. инв. №	Или. № дубл.	Подп. и дата
77-1603	87.04.29			

Изм.	Лист	№ докум.	Подп.	Дата

Формирование микроадреса на коду операции

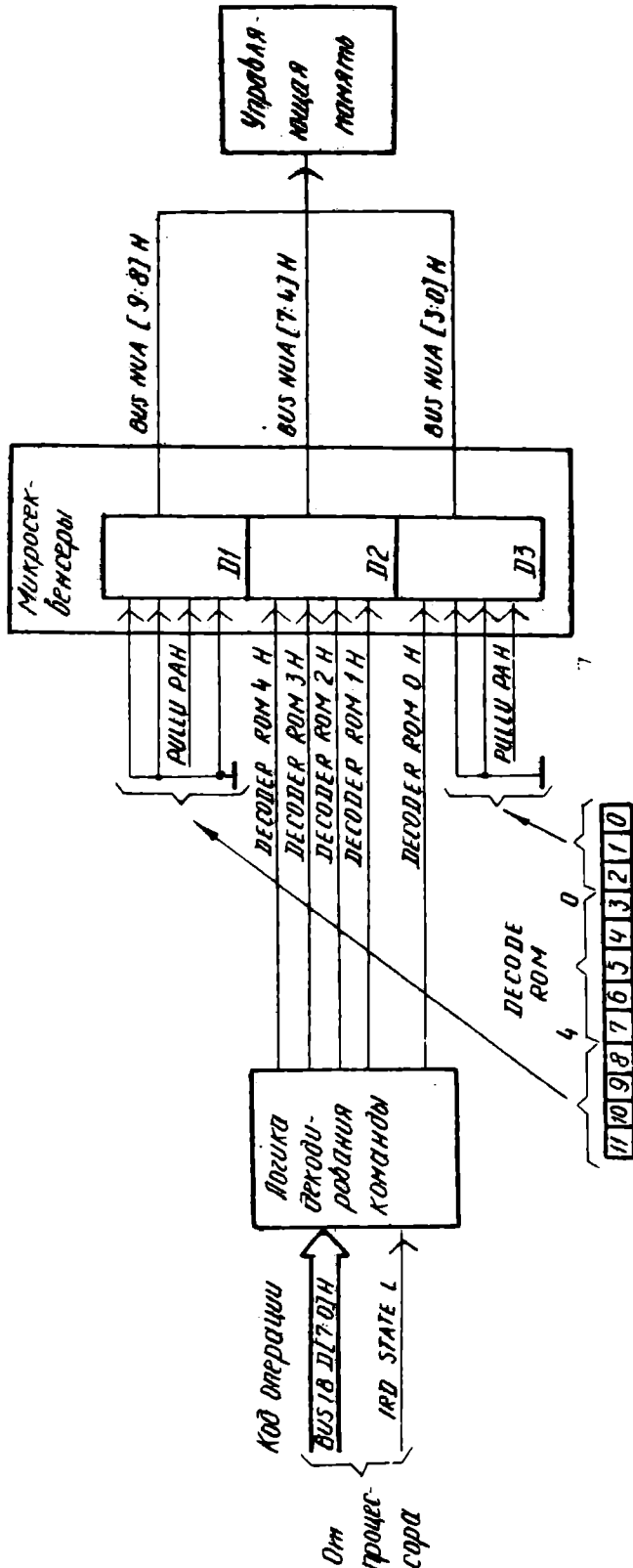


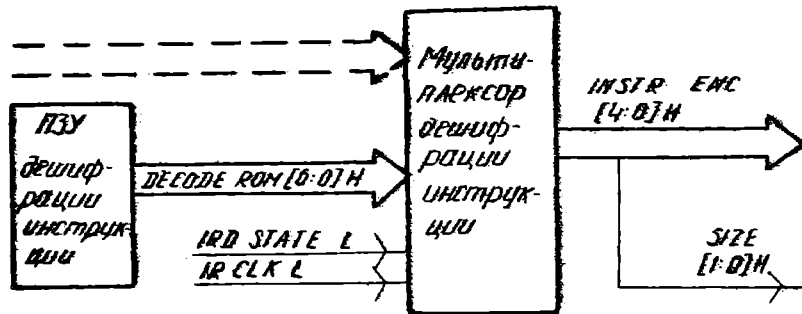
Рис. 31

3.050.001РЭ1

л/счм
31

Сигнальные входы мультиплексора
декодирования инструкции

А. Сигнальные входы мультиплексора
декодирования команд при
нормальной работе



В. Сигнальные входы мультиплексора
в диагностическом режиме

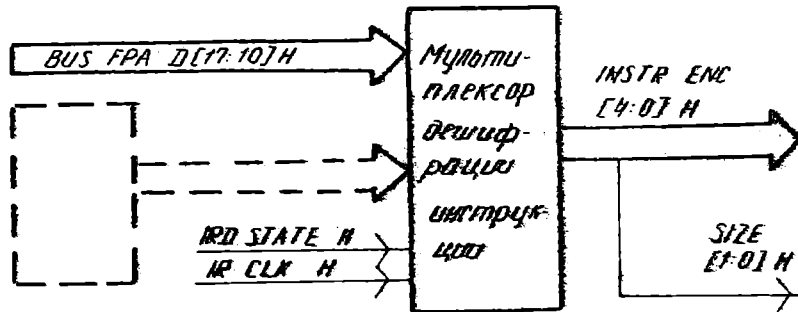


Рис. 32

Изм. № подл.	Подл. и дата	Взам. инв. №	Инд. № дубл.	Подл. и дата
17-1603	С. 27.04.20			

Изм.	Лист	№ докум.	Подл.	Дата

3.050.001РЭ1

Лист
32

Логика микросеквендера

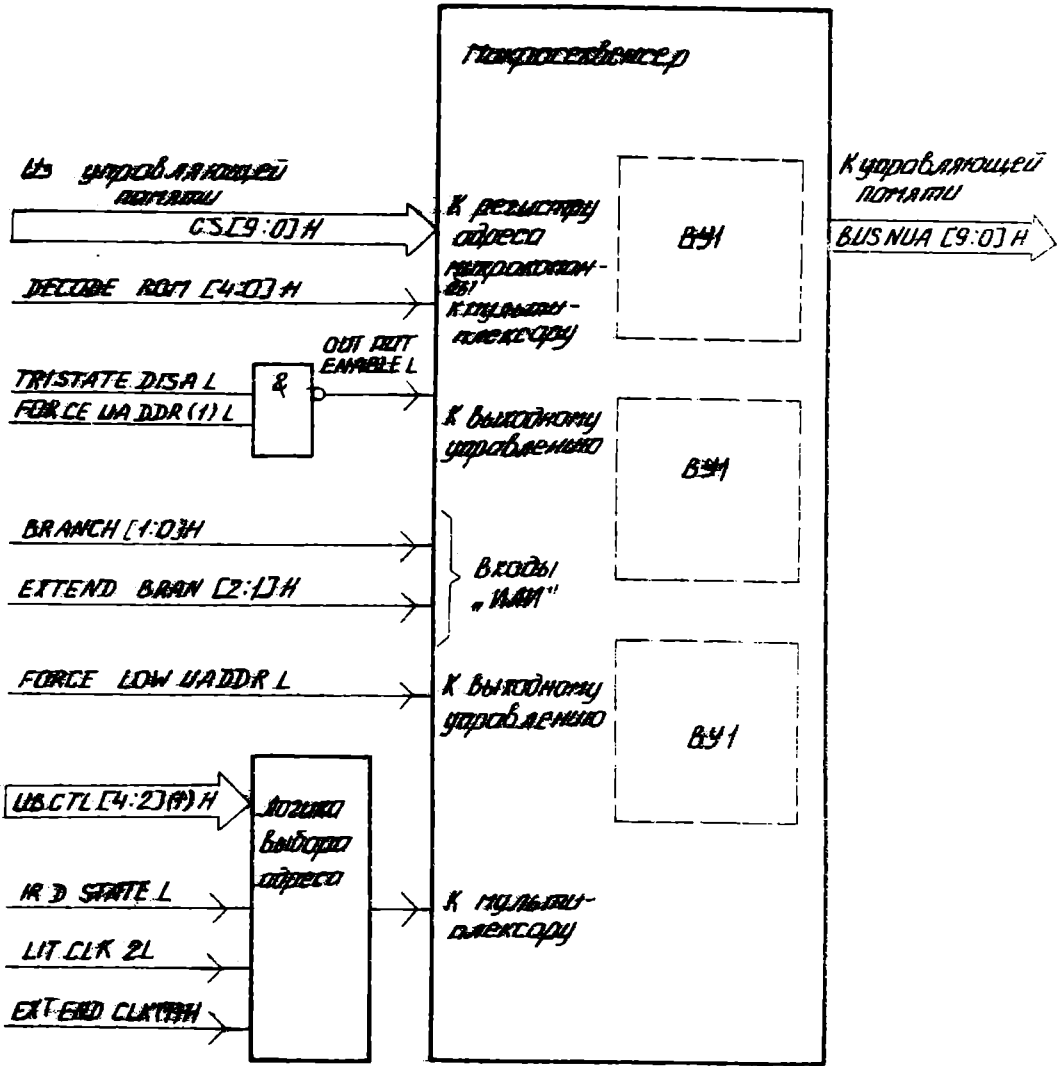


Рис. 33

Изм. № подл.	Взам. инв. №	Подп. и дата	
11-1603	81-04-29		

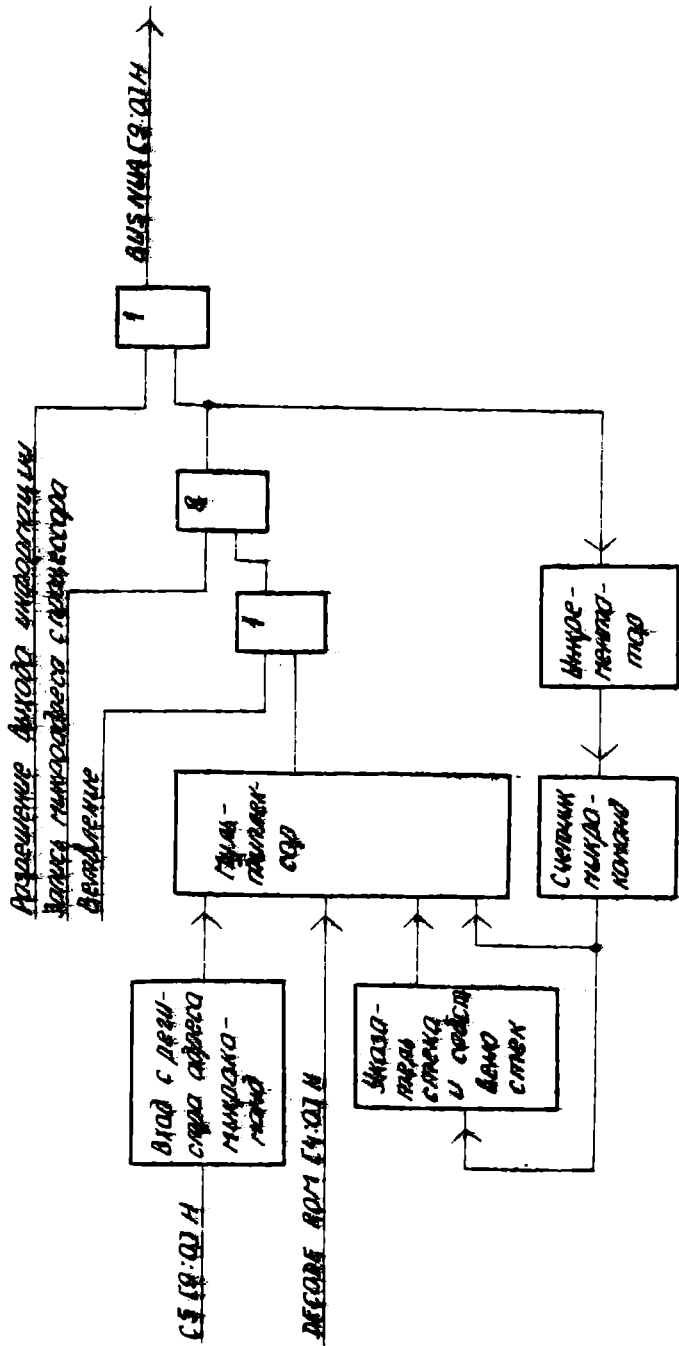
Изм. Лист	№ докум.	Подп.	Дата

3.050.00IPЭ1

Илуст
33

Ив. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
19-1603	28-01-88			

Микропрограммный сенсор

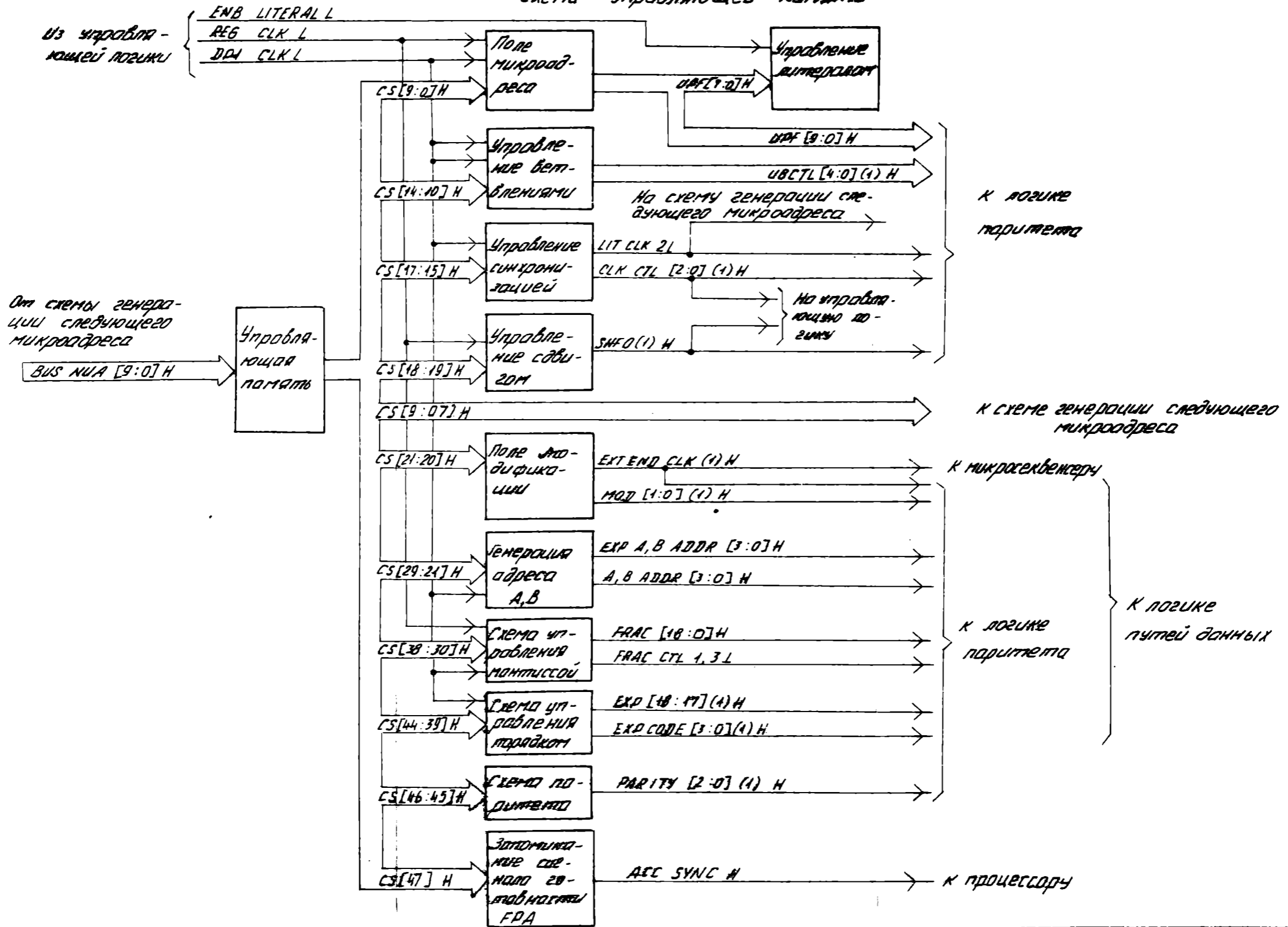


Лист 34

3.050.001P31

Лист 34

Схема управляющей памяти



Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
11-1003	87.04.20			

Лист 35

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист 35

Копировал

Формат А3

Схема путей данных 1

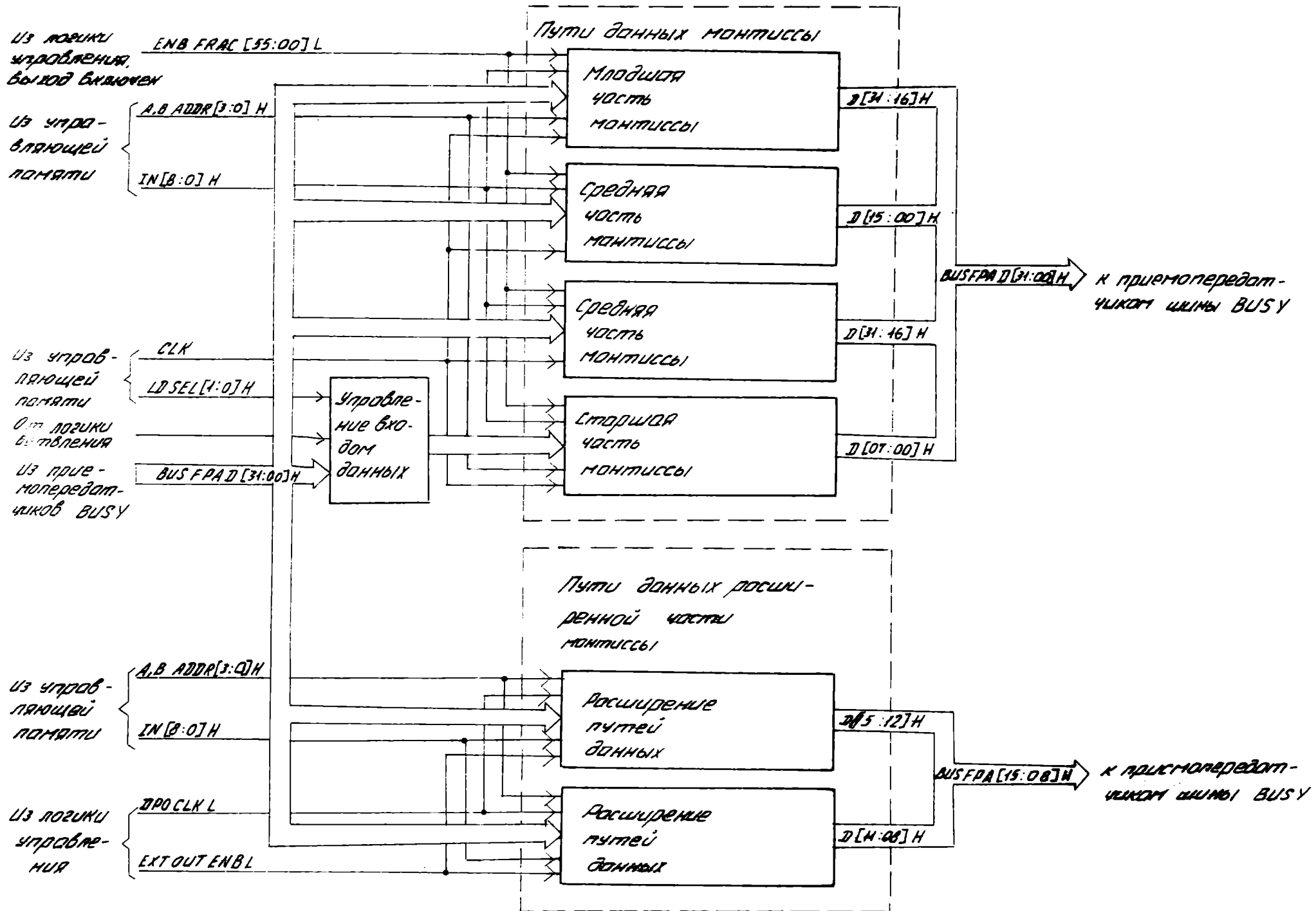


Рис. 37

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1603	8.02.81 04.29			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.00IPЭИ

Лист
37

Копировал

Формат А3

Схема путей данных 2

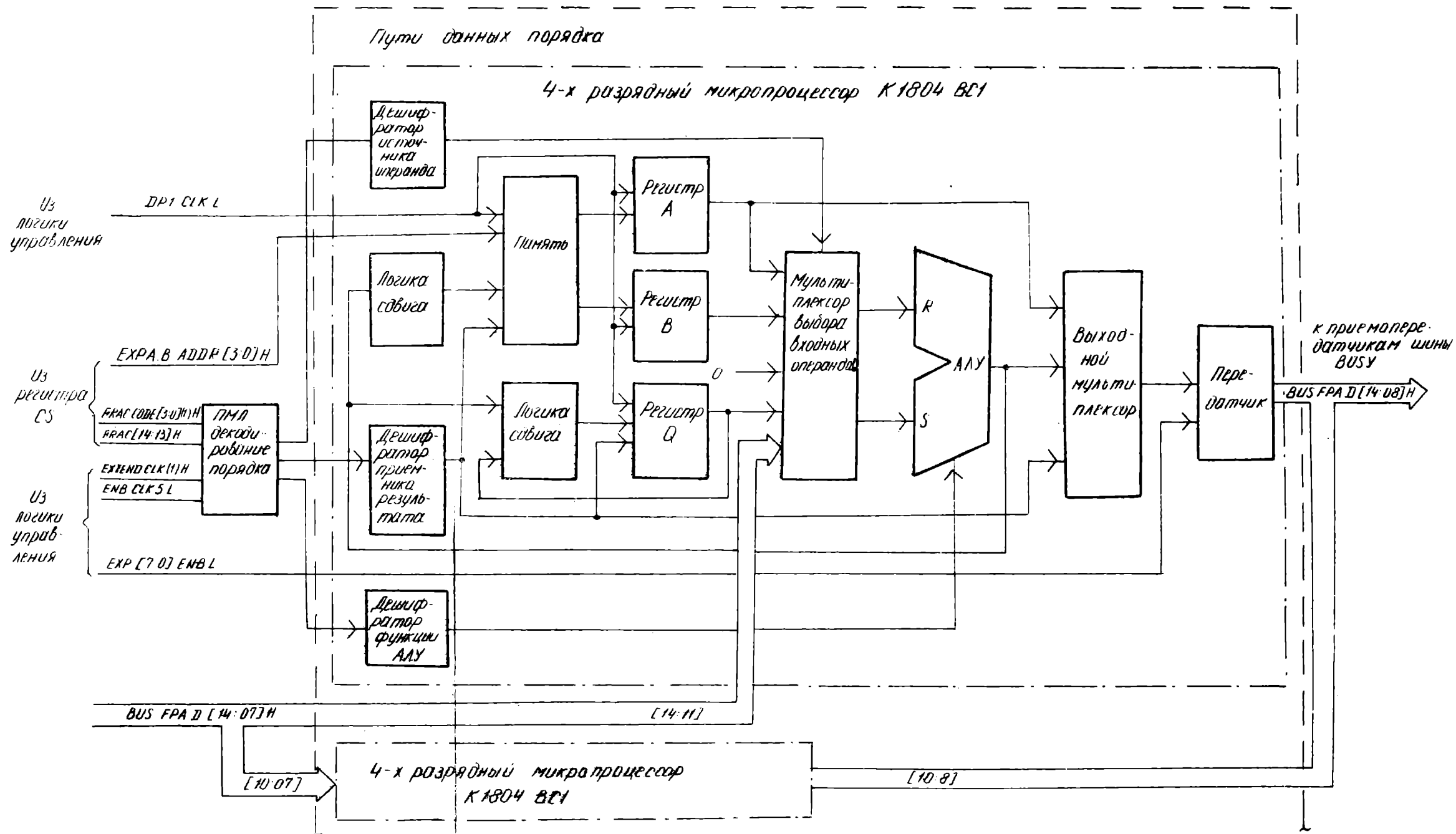


Рис. 38

Взак. у. ч. № 81.01.29
17-1603

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист
38

СВЕТ - СВЕТЛО МЕМОРИЈАЦИОНОСКО КАРД 4 ВЕ 1

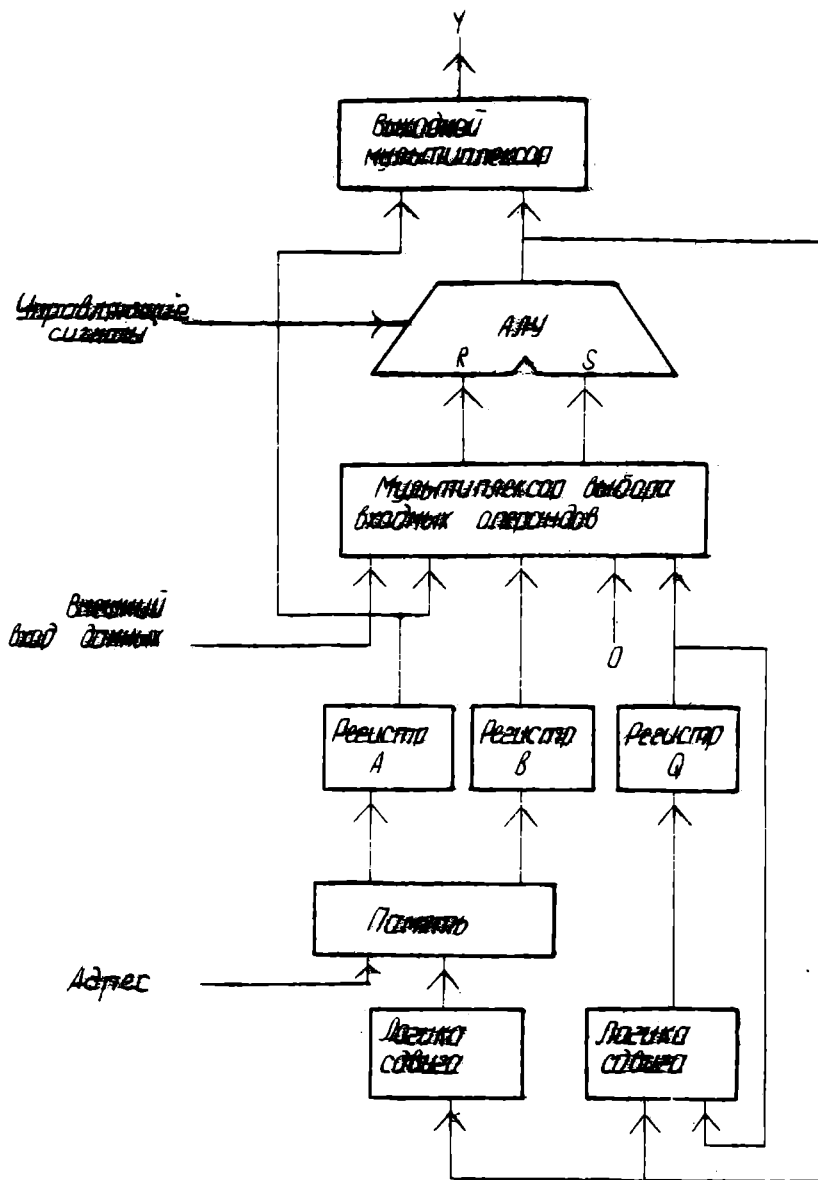


Рис. 39

Име на подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
19-1005	И. - 11.11.89			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001РА1

Листа
39

Схема путей данных для обработки порядка

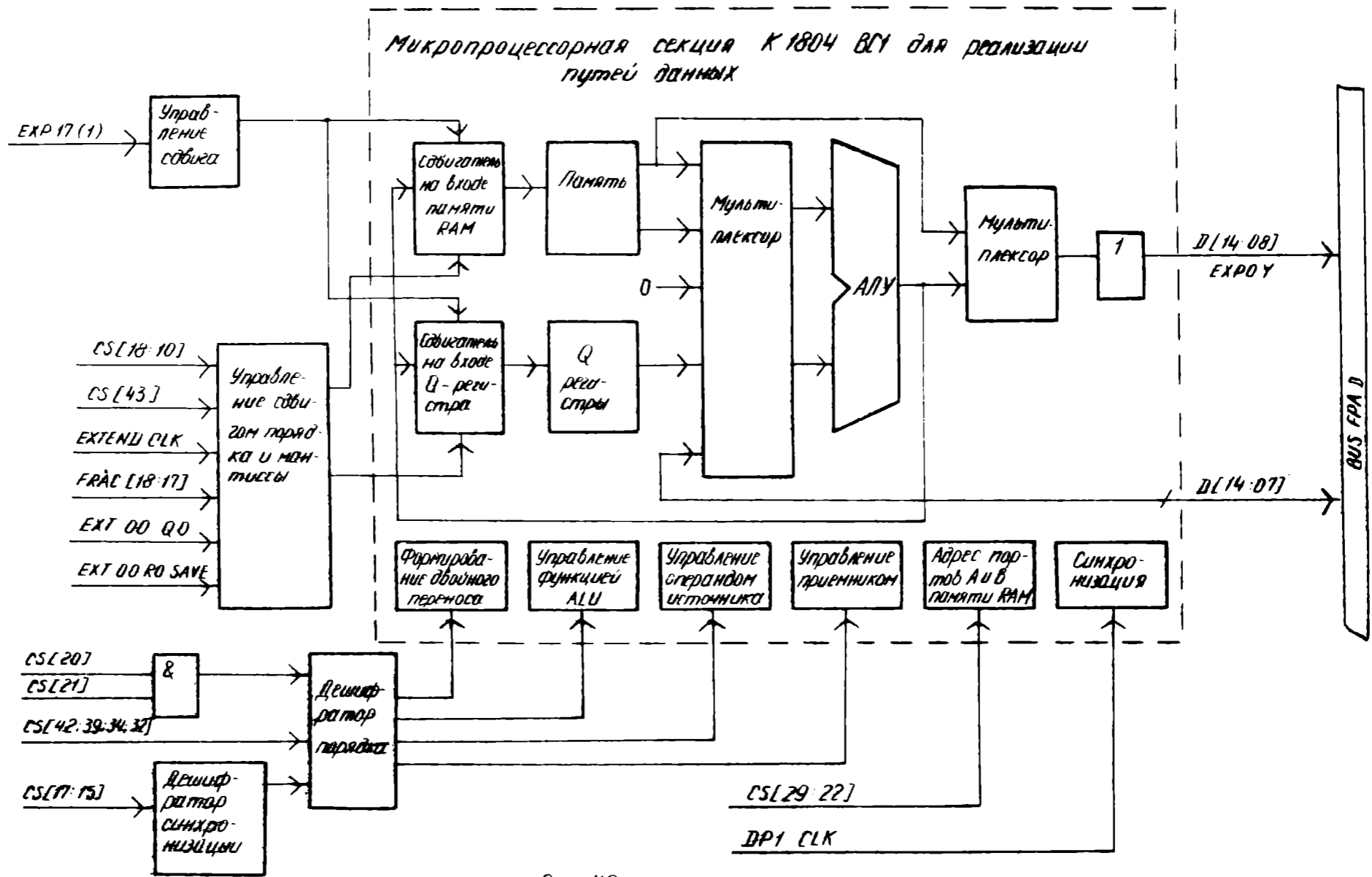


Рис. 40

№ 1603
 Дата: 01.04.29
 Подп. и дата: [blank]
 Имя: [blank]
 Базис: [blank]

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001P31

Лист 40

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
14-1603	81-8104-29			

Алгоритм формирования знака

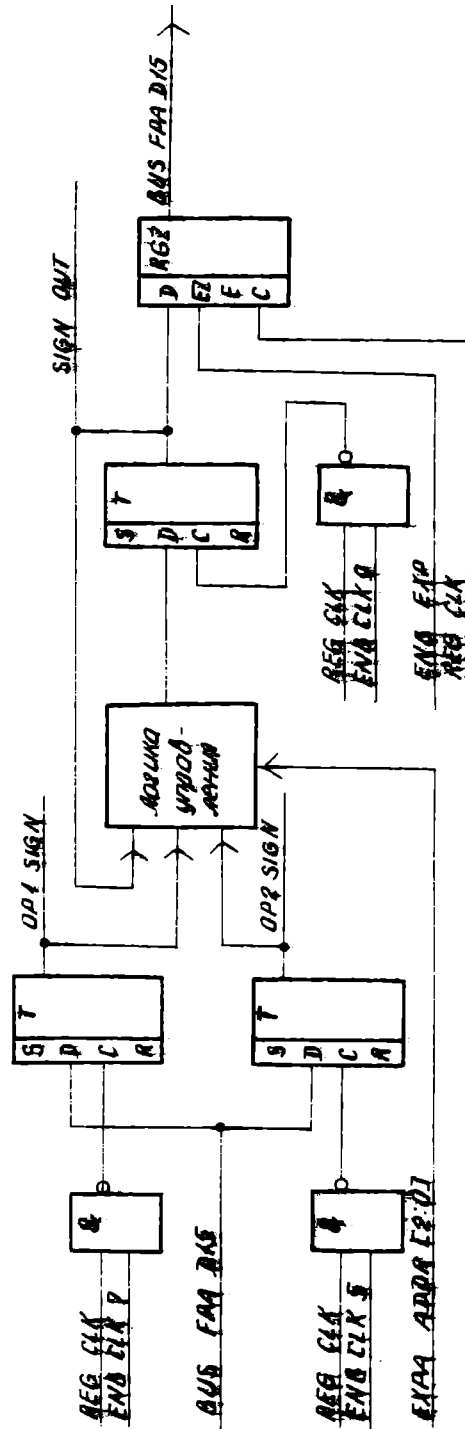


Рис. 41

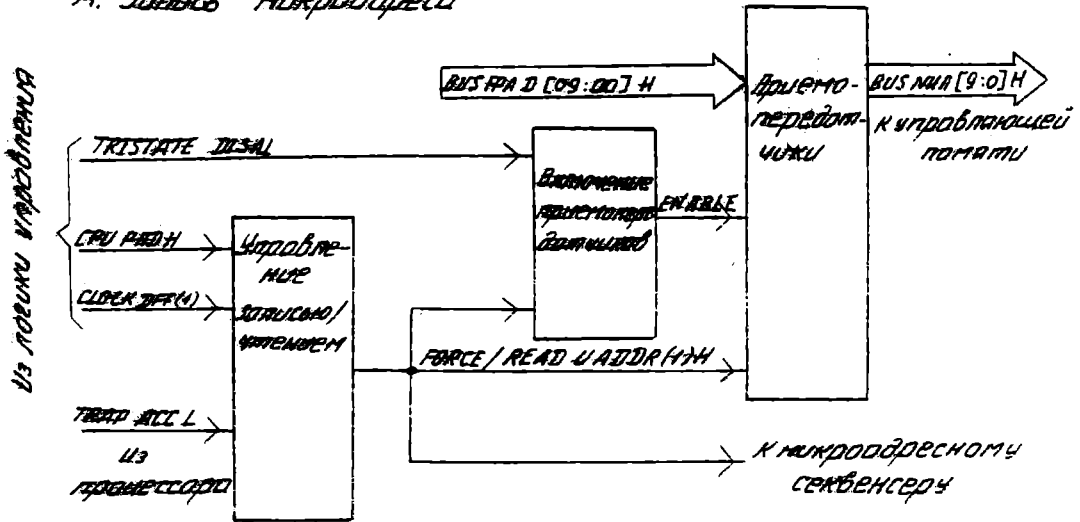
3.050.001РЭ1

Изм.	Лист	№ докум.	Подп.	Дата

Лист
41

Управление записью и чтением микроадреса

А. Запись микроадреса



В. Чтение микроадреса

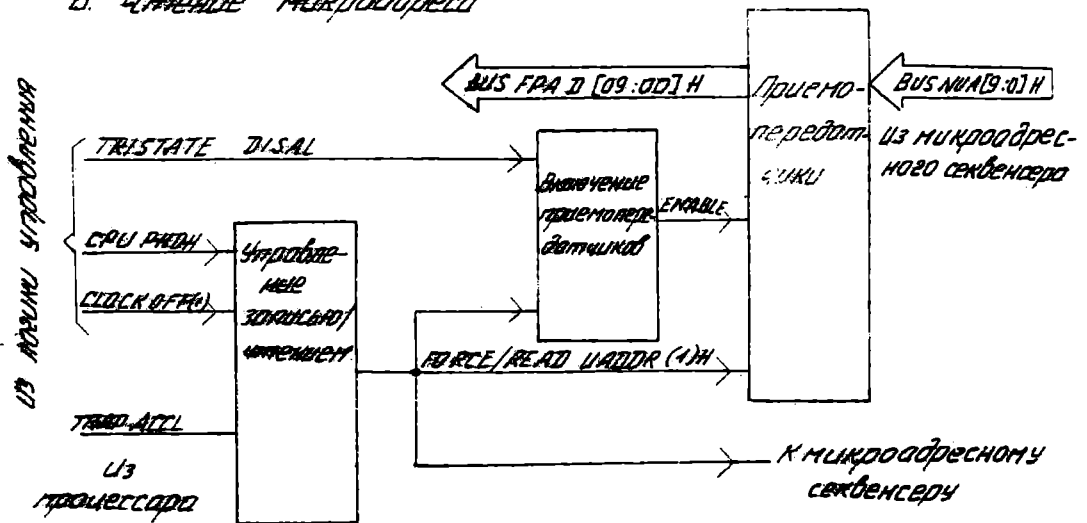


Рис. 42

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1008	11.04.29			

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист 7
42

Поля управляющей памяти, контролируемые битами паритета P0 и P1

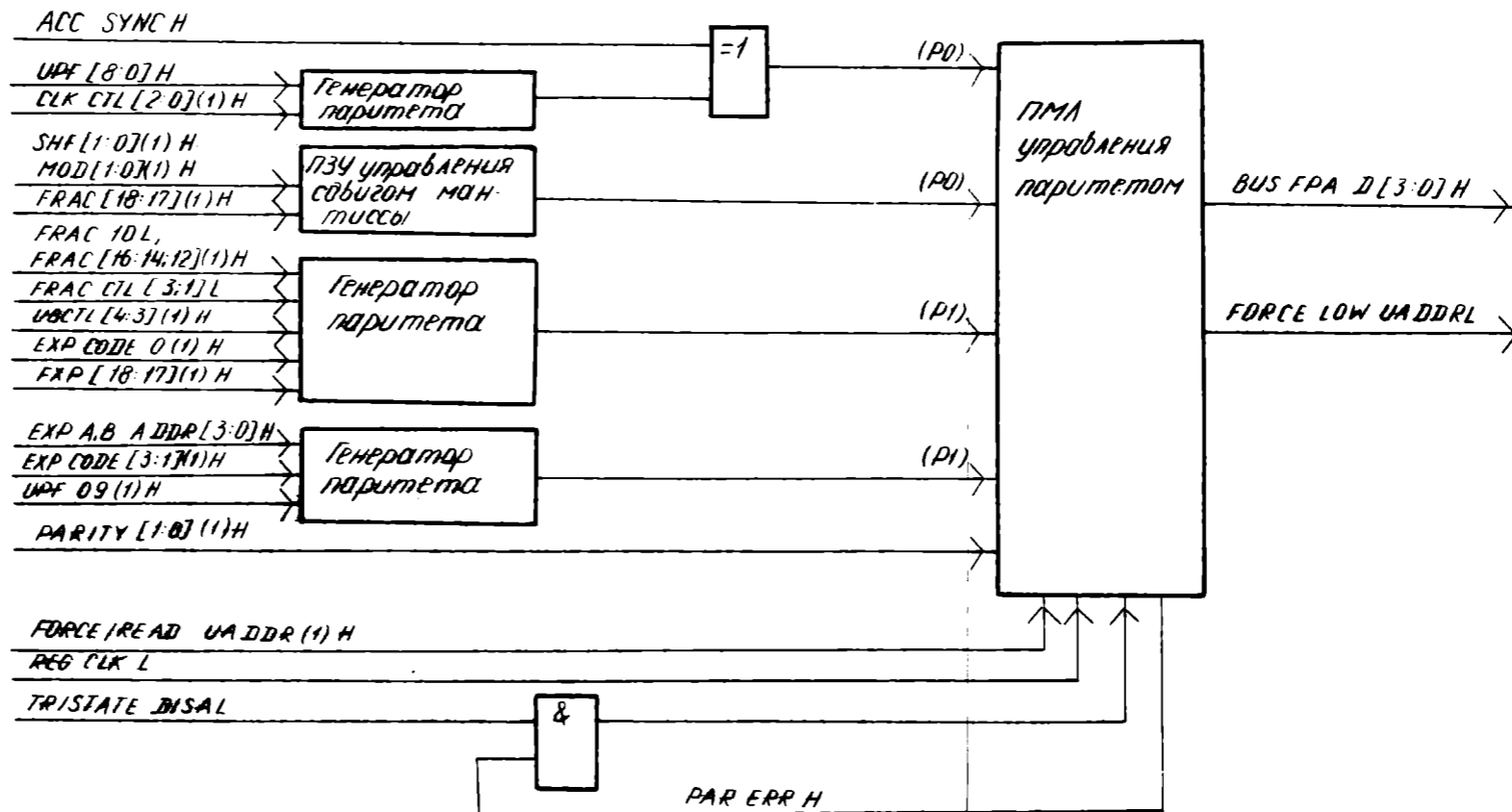
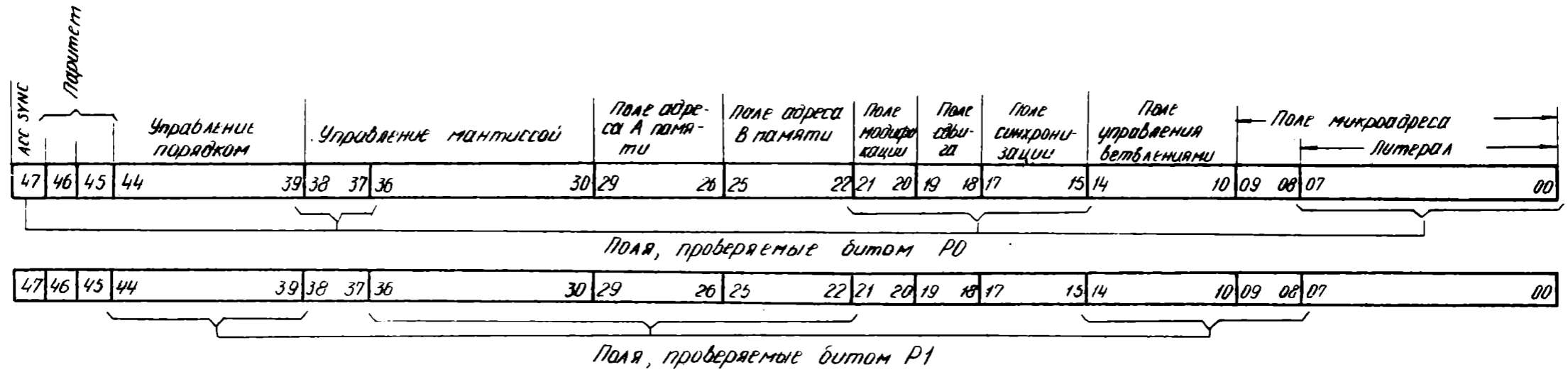


Рис. 43

Имя № подл. 17-1603
 Подп. и дата
 Взам. инв. № 11-10-29
 Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

3.050.001PЭ1

Лист
43

