

КОМПЛЕКС ВЫЧИСЛИТЕЛЬНЫЙ СМ 1700

Заводской № 07580 Год выпуска 1989

КОНТРОЛЛЕР ОЗУ СМ 2700.2007

Руководство по эксплуатации

ИЭЗ.057.048 РЭГ

Часть 2

Приложение

Книга

OldPC.ru

2147

музей компьютеров

Утвержден
3.057.048РЭ-ЛУ

КОНТРОЛЛЕР ОЗУ СМ 2700.2007
Руководство по эксплуатации
Часть 2
Приложение
3.057.048РЭІ

Изм. № подл.	Подп. и дата	Взам. инв. №	Изм. № дубл.	Подп. и дата
11-1602	91 - 87.04.29			

OldPC.su
2147
музей компьютеров

1987

СОДЕРЖАНИЕ

	Лист
Рис. 1. Упрощенная блок-схема системы памяти CM 2700	6
Рис. 2. Блок-схема системы памяти CM 2700	7
Рис. 3. Выравнивание длинного слова в матрицах памяти	8
Рис. 4. Блок-схема арбитра и интерфейса общей шины	9
Рис. 5. Алгоритм работы процессора с памятью	10
Рис. 6. Алгоритм обмена между общей шиной и памятью	11
Рис. 7. Блок-схема блокировки общей шины	12
Рис. 8. Блок-схема разрешения процессора	12
Рис. 9. Блок-схема разрешения непроцессорных запросов	13
Рис. 10. Временная диаграмма таймута NPE	14
Рис. 11. Блок-схема управления общей шиной	14
Рис. 12. Схема получения сигнала занятости шины	14
Рис. 13. Схема формирования сигнала селекционирования исполнителя	15
Рис. 14. Схема активности общей шины	15
Рис. 15. Блок-схема представления шины	15
Рис. 16. Упрощенная блок-схема микросеквенера и управляющей памяти	16

Перв. примен.
Справ. №

Подп. и дата
Изм. № дубл.
Изм. инв. №
Взам. инв. №

Подп. и дата
Изм. № подл.
17-1602

3.057.048РЭ1			
Изм. Лист	№ докум.	Подп.	Дата
Разрб.		<i>[Signature]</i>	17.12.82
Пров.		<i>[Signature]</i>	17.12.82
Н. контр.		<i>[Signature]</i>	17.12.82
Утв.			
КОНТРОЛЛЕР ОЗУ CM 2700.2007 Руководство по эксплуатации Часть 2 Приложение			
		Лит.	Лист
		2	59

	Лист
Рис. 17. Микрослово контроллера памяти	16
Рис. 18. Блок-схема микросеквенсера и управляющей памяти	17
Рис. 19. Алгоритм функции диспетчеризации	18
Рис. 20. Алгоритм обработки нарушения питания и ошибки по паритету	19
Рис. 21. Схема обработки нарушения питания	20
Рис. 22. Упрощенная схема трансляции адреса	21
Рис. 23. Алгоритм трансляции виртуального адреса процессора, лист 1	22
Лист 2	23
Лист 3	24
Рис. 24. Блок-схема трансляции виртуального адреса процессора, лист 1	25
Лист 2	26
Рис. 25. Сегменты адреса процессора и общей шины	27
Рис. 26. Распределение пространства буфера трансляции	27
Рис. 27. Схема выбора физического адреса	28
Рис. 28. Схема выбора области общей шины ТВ	28
Рис. 29. Схема управления предвыборкой	28
Рис. 30. Алгоритм трансляции адреса общей шины	29
Рис. 31. Блок-схема трансляции адреса общей шины	30
Рис. 32. Блок-схема записи и чтения буфера трансляции	31
Рис. 33. Запись в буфере трансляции	32
Рис. 34. Пространство физических адресов	33
Рис. 35. Регистры адаптера памяти	34

Ина № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
ИТ-1602	92 - 87.04.29			

	Лист
Рис. 36. Регистры адаптера общей шины	35
Рис. 37. Программные регистры, лист I	36
Лист 2	37
Рис. 38. Конфигурация микросхем на плате памяти емкостью I Мбайт	38
Рис. 39. Блок-схема чтения-записи матриц памяти, лист I	39
Лист 2	40
Рис. 40. Сигналы шины матриц	41
Рис. 41. Диаграмма синхронизации адреса матриц	42
Рис. 42. Частота циклов регенерации	43
Рис. 43. Диаграмма времени цикла регенерации	43
Рис. 44. Блок-схема микросхемы исправления и обнаружения ошибок (ЕСС)	44
Рис. 45. Алгоритм чтения матриц с контролем по ЕСС	45
Рис. 46. Алгоритм генерации контрольных бит ЕСС и записи в матрицы	46
Рис. 47. Конфигурация микросхемы ЕСС	47
Рис. 48. Сдвиг данных в операциях чтения	48
Рис. 49. Блок-схема сдвигателя данных	49
Рис. 50. Алгоритм работы сдвигателя данных при чтении	50
Рис. 51. Алгоритм работы сдвигателя данных при записи	51
Рис. 52. Управление сдвигом данных и схема выбора байта	52
Рис. 53. Обозначение разрядов регистров CS R.....	53

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	СВд - 01.01.29			

	Лист
Рис. 54. Блок-схема CSR и схемы ошибок.....	54
Рис. 55. Схема формирования битов CSR1 для управления памятью.....	55
Рис. 56. Схема формирования CSR1 [30, 31] при обмене между процессором и памятью.....	55
Рис. 57. Схема формирования битов CSR1 при ра- боте процессора с памятью и схема суммарной ошибки.	
Лист 1.....	56
Лист 2.....	57
Рис. 58. Схема формирования битов ошибок в CSR2 при работе с памятью 0III и схема суммарной ошибки.....	58

№ инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	9/ - 27.04.20			

№	Лист	№ докум.	Подп.	Дата

3.057.048FЭI

Лист
5

Изм. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	З. - 87.04.29			

Упрощенная блок-схема системы памяти СМ2700

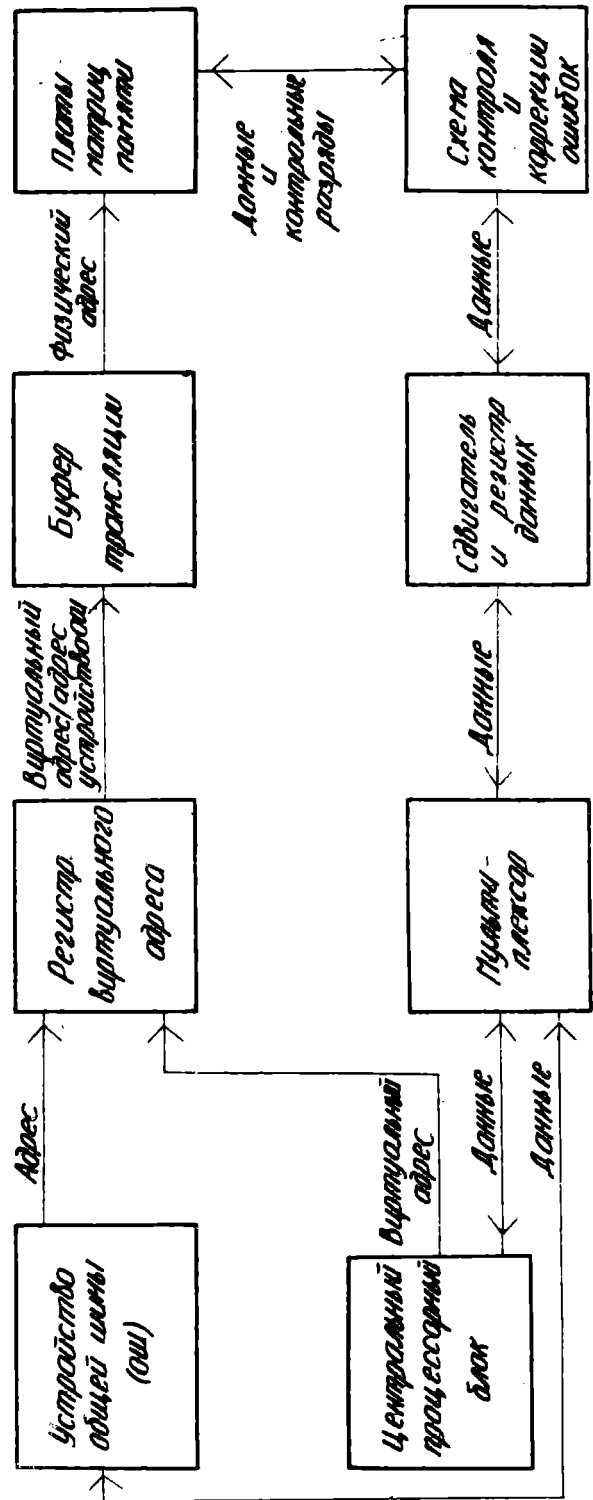



Рис. 1

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048РЭ1

Выравнивание длинного слова в матрицах памяти

Ячейка длинного
слова

0000

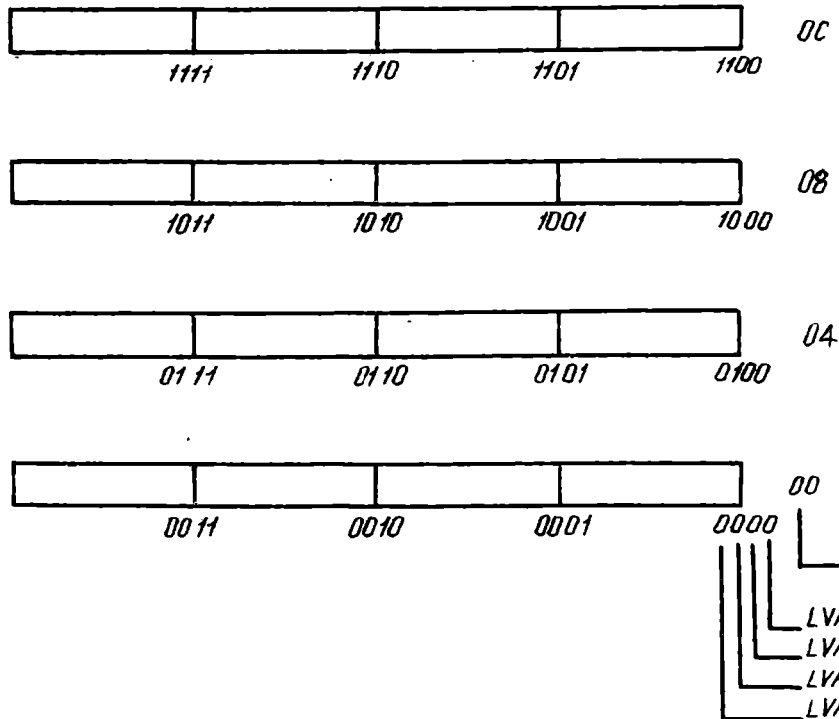


Рис. 3.

Имя № подл. ИТ-1602	Подп. и дата 91. 04. 29	Взэм. инв. № Инв. № дубл.	Подп. и дата
------------------------	----------------------------	------------------------------	--------------

№	Лист	№ докум.	Подп.	Дата	3.057.048РЭІ	Лист е
---	------	----------	-------	------	--------------	-----------

Блок-схема арбитра и интерфейса общей шины

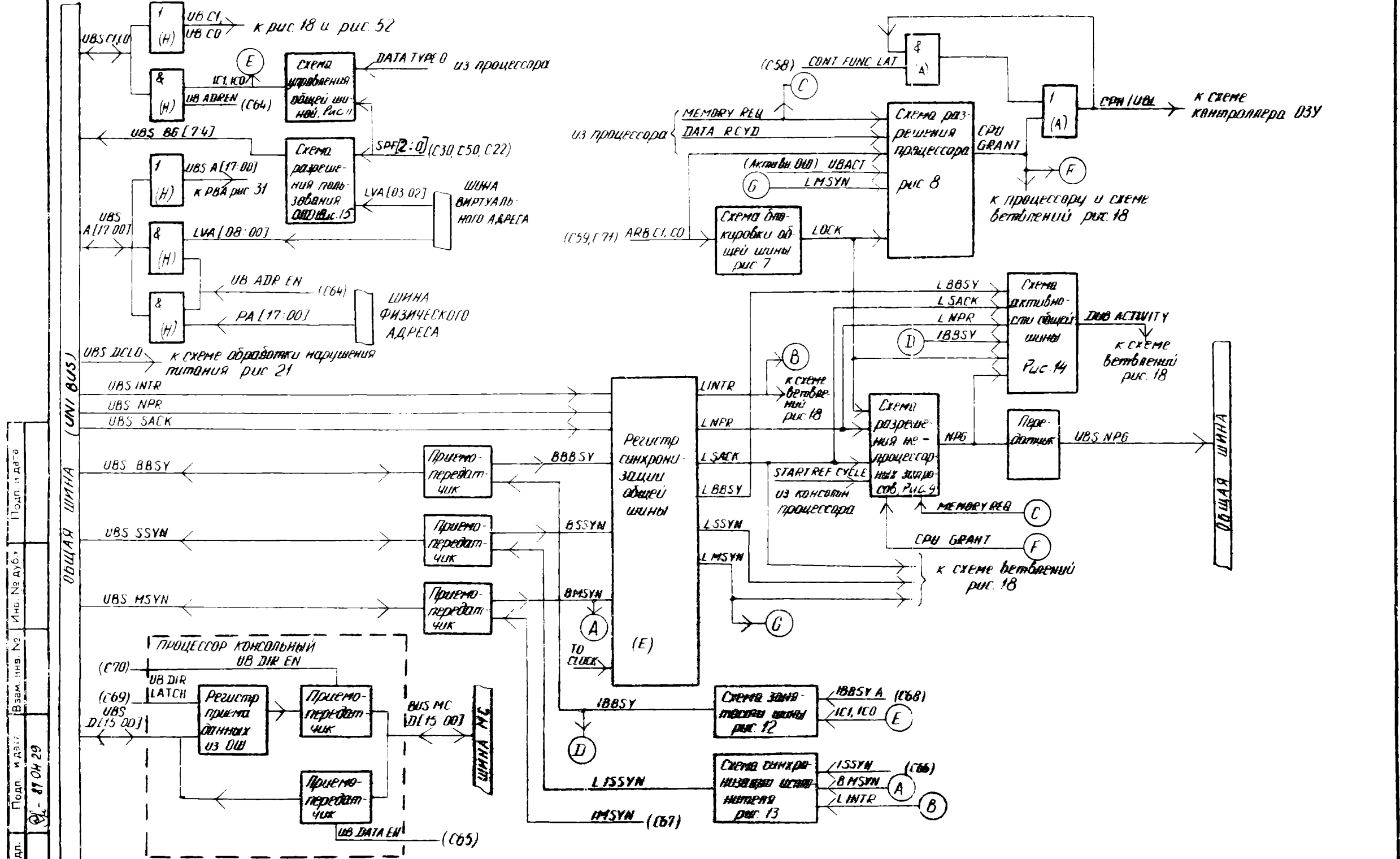


Рис. 4

Инв. № подл. 17-1602
 Подп. и дат. 29.04.87
 Взам. инв. № 87.04.29
 Инв. № дубл.
 Подп. и дат.
 Подп. и дат.

Алгоритм работы процессора с памятью.

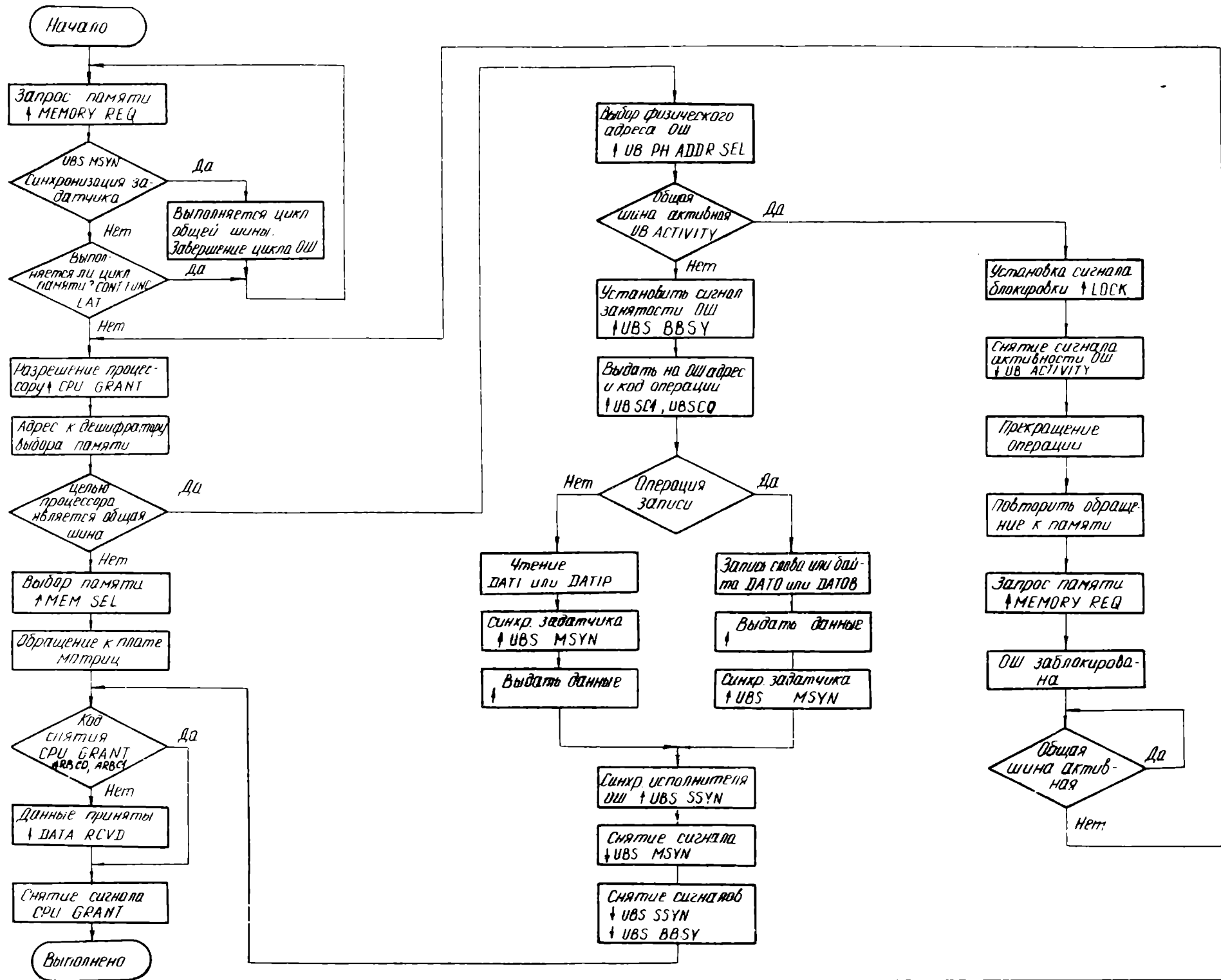


Рис. 5

Изм. № подл. 17-10-02
 Подп. и дата 87.04.89
 Взам. инв. №
 Подп. и дата
 Изм. № дубл.
 Подп. и дата

Алгоритм обмена между общей шиной и памятью

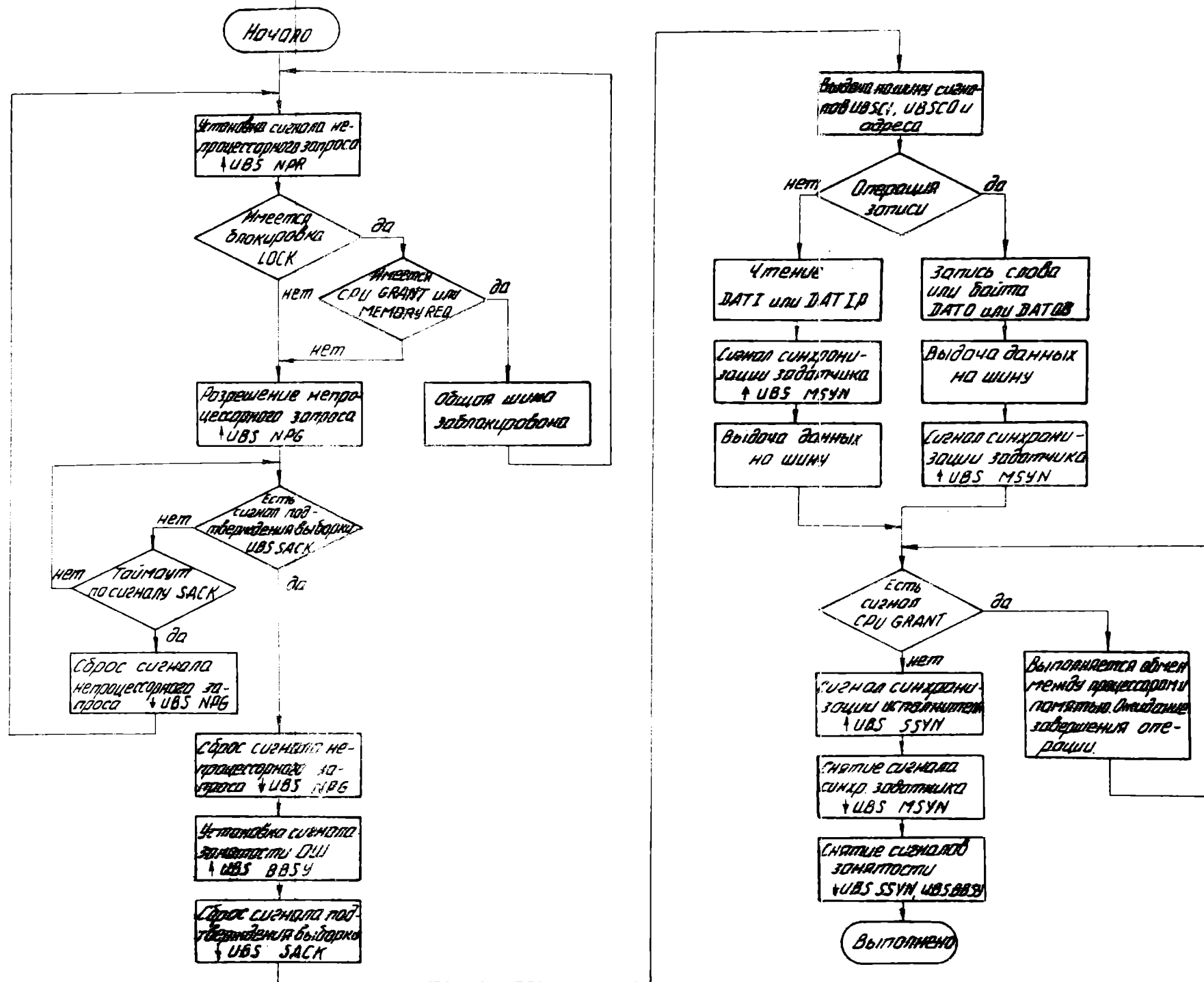


Рис. 6

Инд. № подл. 17-1602	Взам. инв. № 94-8/04 29	Подп. и дата	Инд. № дубл.	Подп. и дата
-------------------------	----------------------------	--------------	--------------	--------------

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

3.057.048PЭI

Лист II

Формат А3

Копировал

Блок - схема блокировки общей шины

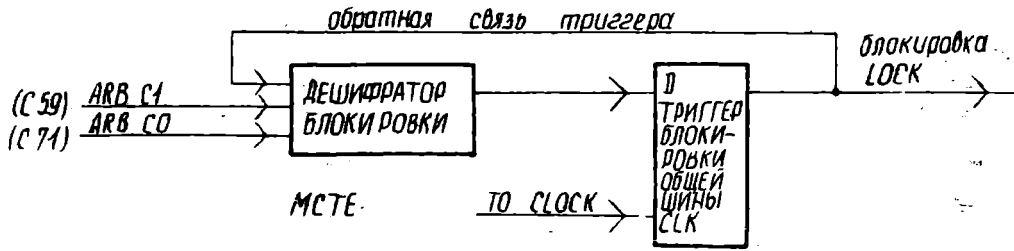


Рис. 7

Блок - схема разрешения процессора

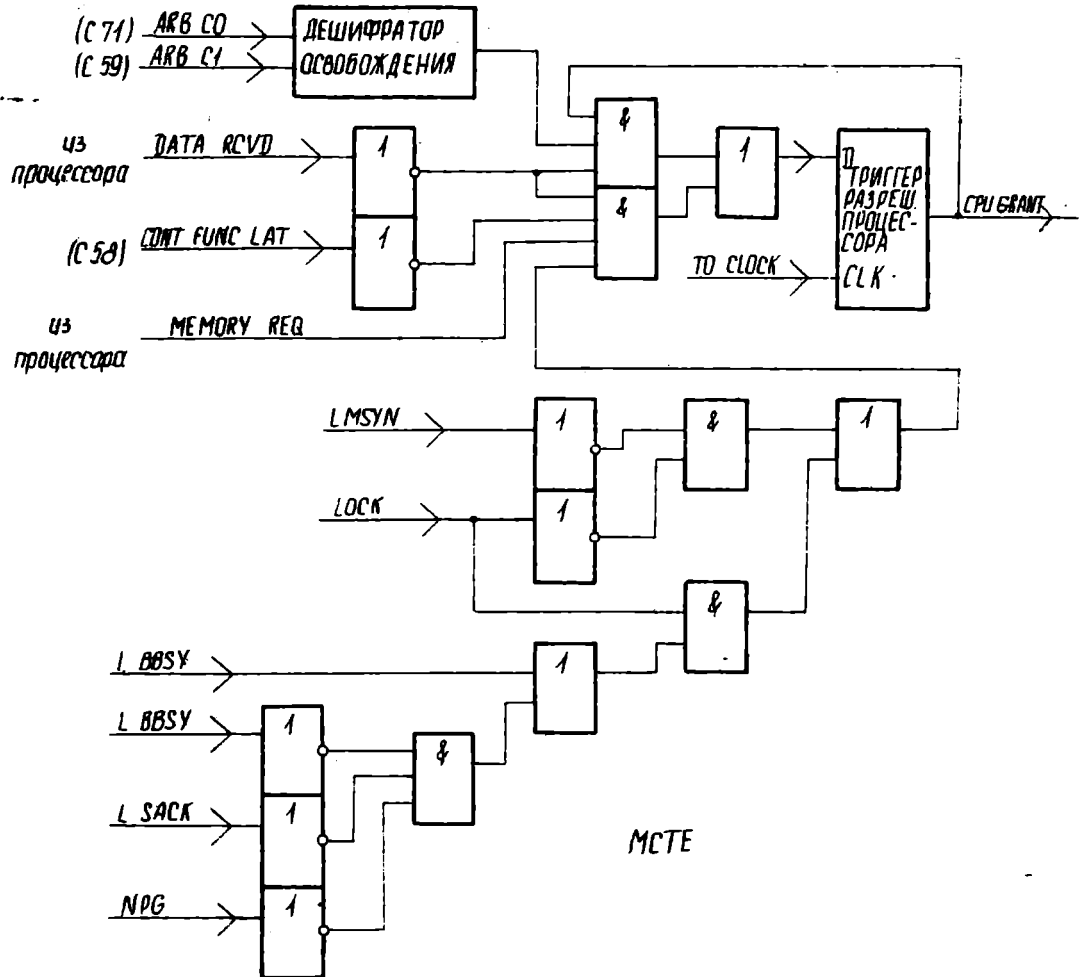


Рис. 8

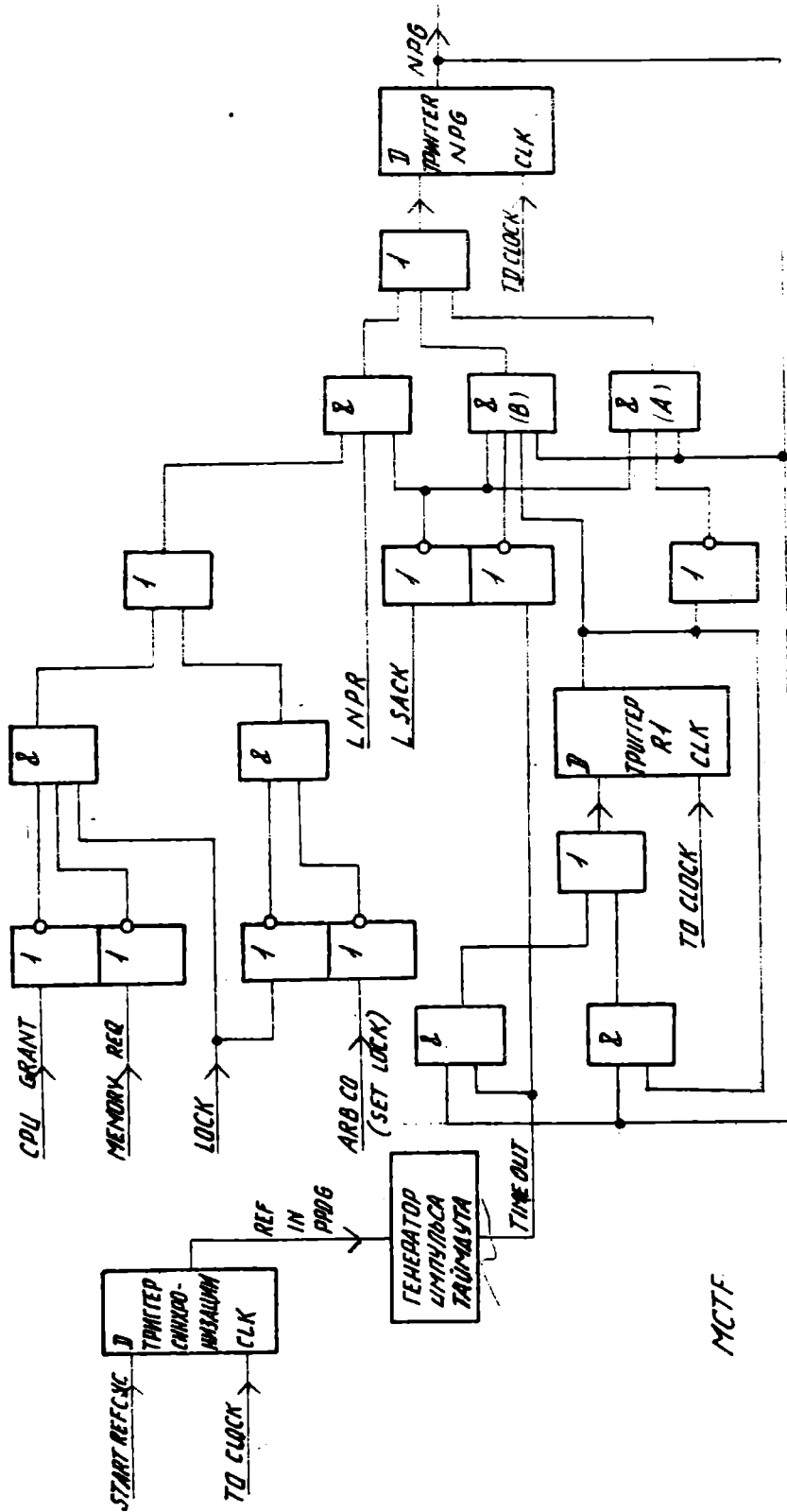
Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
ИИ-1602	01-04-29		
Имя	Лист	№ докум.	Подп. Дата

3.057.048PЭI

Лист
I2

Ина № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	СМ - 27.04.29			

Блок - схема разрешения непряессорных запросов



3.057.048P9I

Идет
13

Временная диаграмма таймута NPG

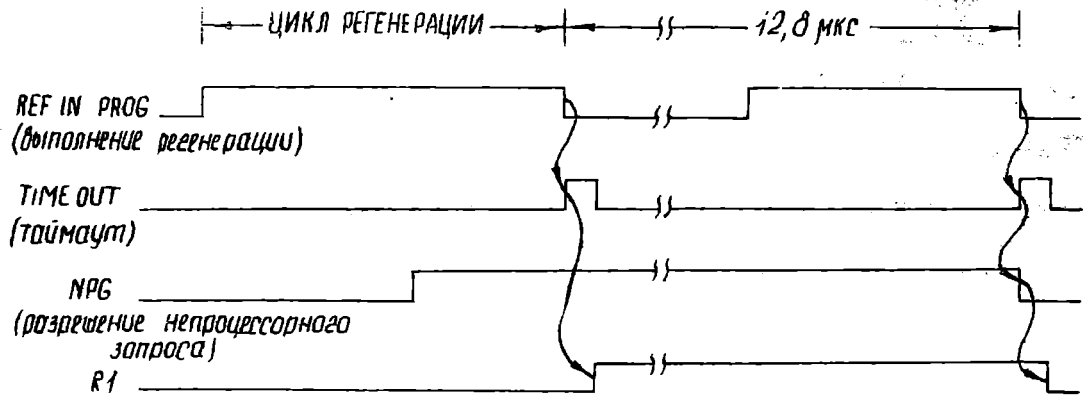


Рис. 10

Блок-схема управления общей шиной

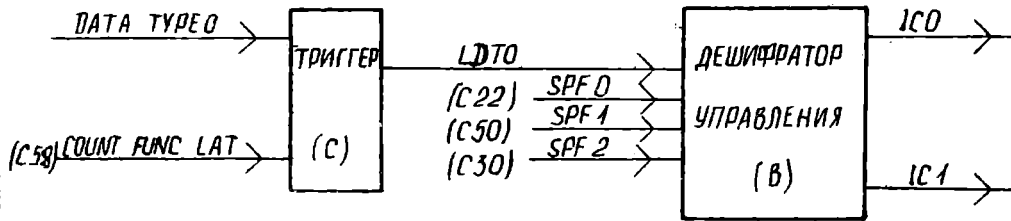
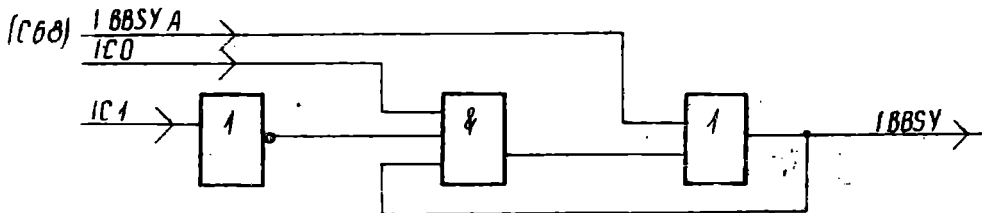


Рис. 11

Схема получения сигнала занятости шины



(МСТВ)

Рис. 12

Иная № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1602	87.04.29		
Иная № подл.	Подп. и дата	Взам. инв. №	Подп. и дата

3.057.048РЭ1.

Лист
I4

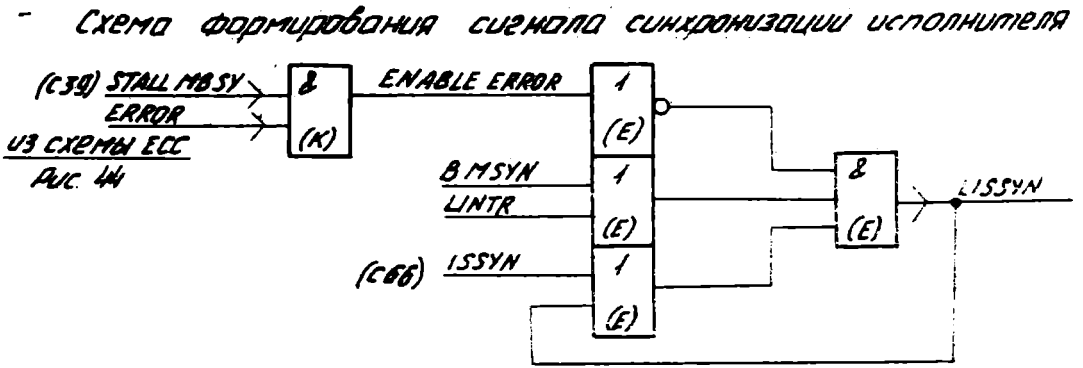
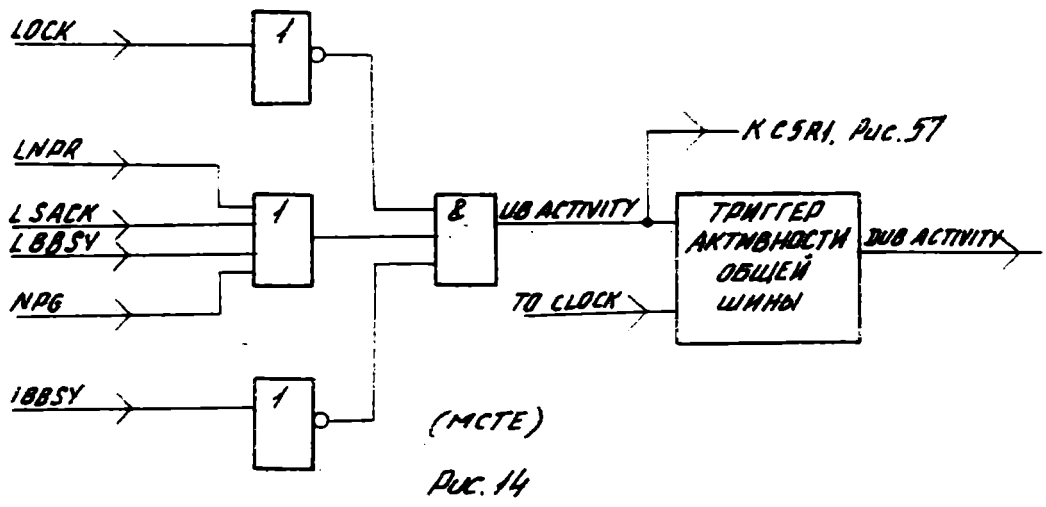


Рис. 13

Схема активности общей шины



Блок схема предоставления шины

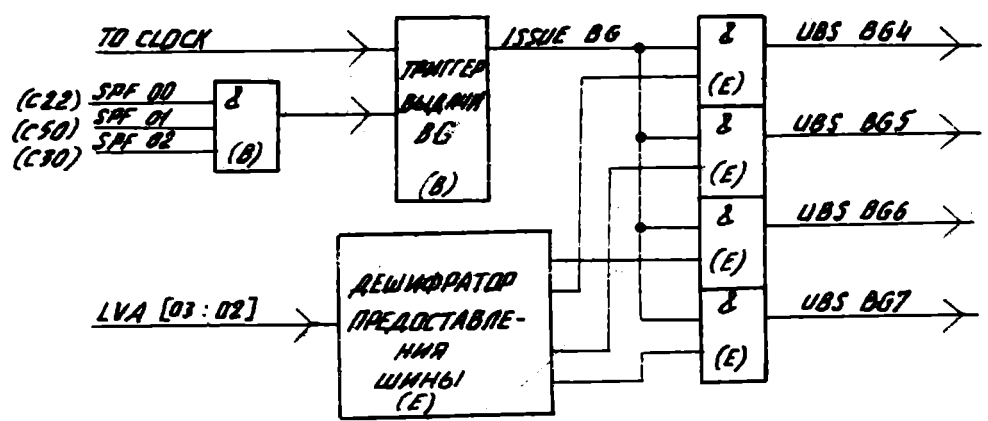


Рис. 15

Имя № подл.	Подп. и дата	Имя № дубл.	Подп. и дата
Имя № подл.	Подп. и дата	Имя № дубл.	Подп. и дата
Имя № подл.	Подп. и дата	Имя № дубл.	Подп. и дата
Имя № подл.	Подп. и дата	Имя № дубл.	Подп. и дата

Имя	Лист	№ докум.	Подп.	Дата
17-1602				

3.057.048PЭ1

Лист
15

Упрощенная блок-схема микросеквенсора и управляющей памяти

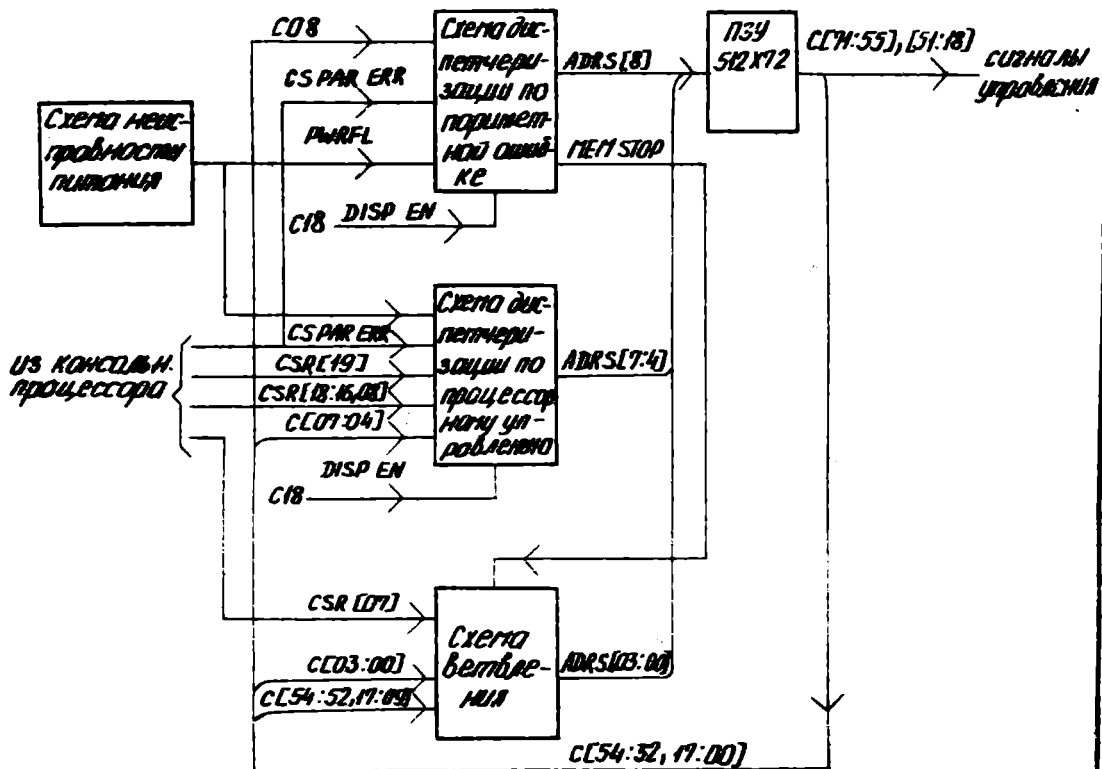


Рис. 16

Микрослово контроллера памяти

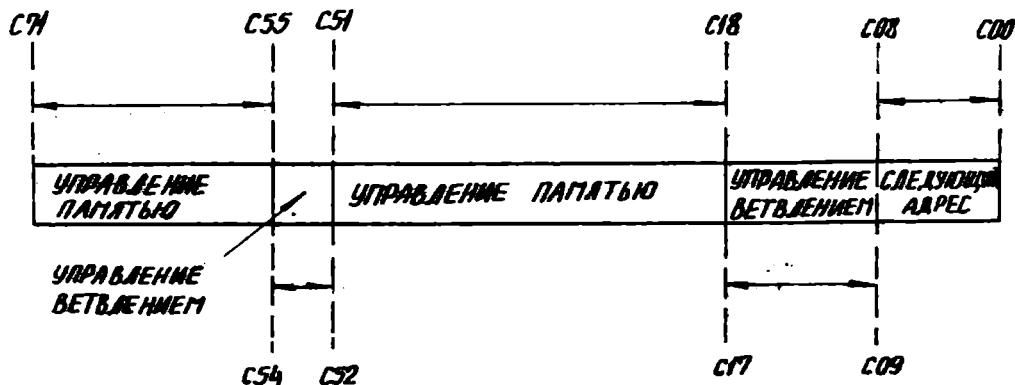


Рис. 17

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
ИТ-1602	81-87.04.28	Инв. № дубл.	

Лист	№ докум.	Подп.	Дата
16			

3.057.048РЭ1.

БЛОК-схема микросеквенсора и управляющей памяти

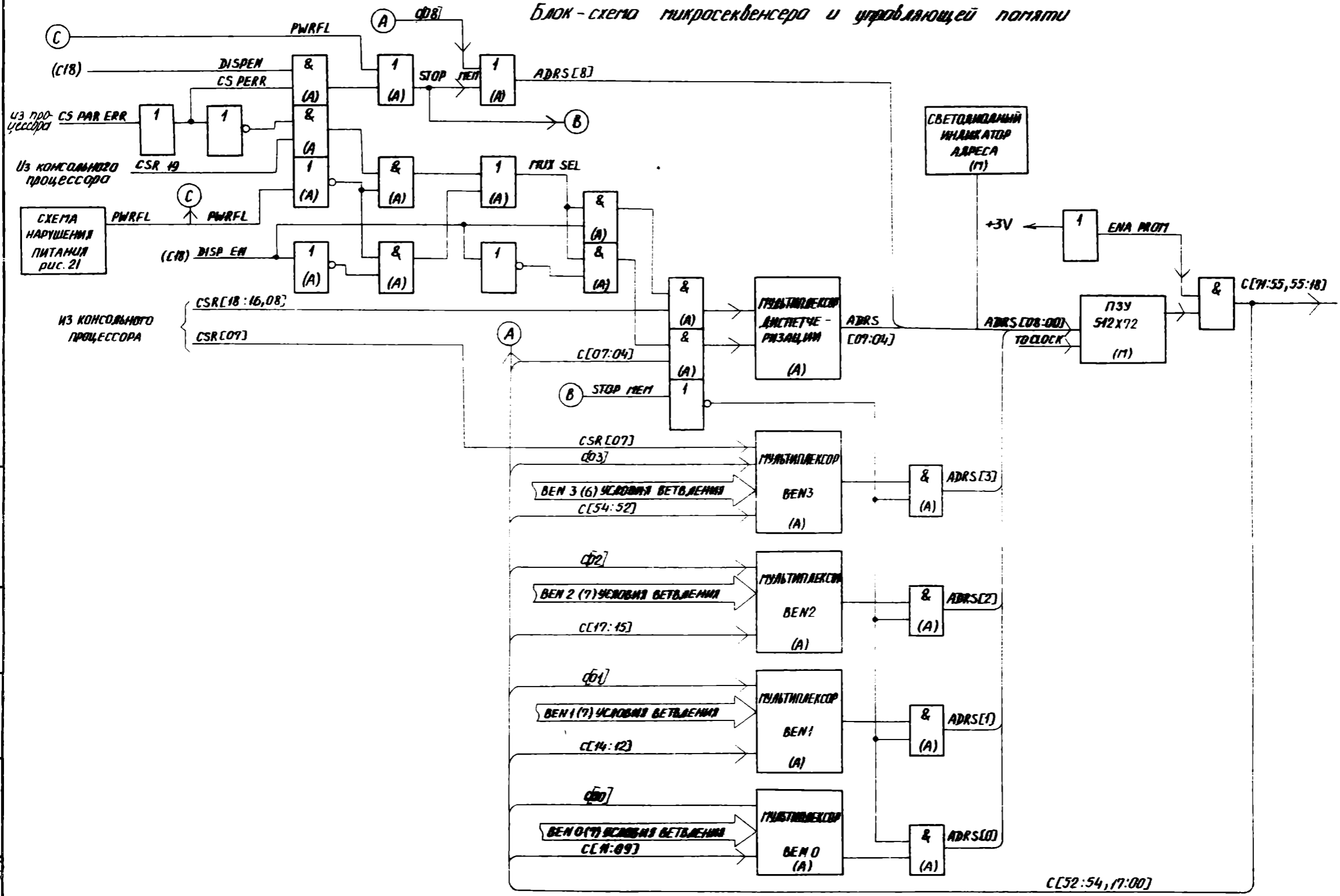


Рис. 18.

3.057.048PЭI

Лист 17

Изм.	Лист	№ докум.	Подп.	Дата

Копировал

Формат А3

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17.1602	Ск - 87.04.29			

OldPC.ru
2147
Музей компьютеров

Алгоритм функции диспетчеризации

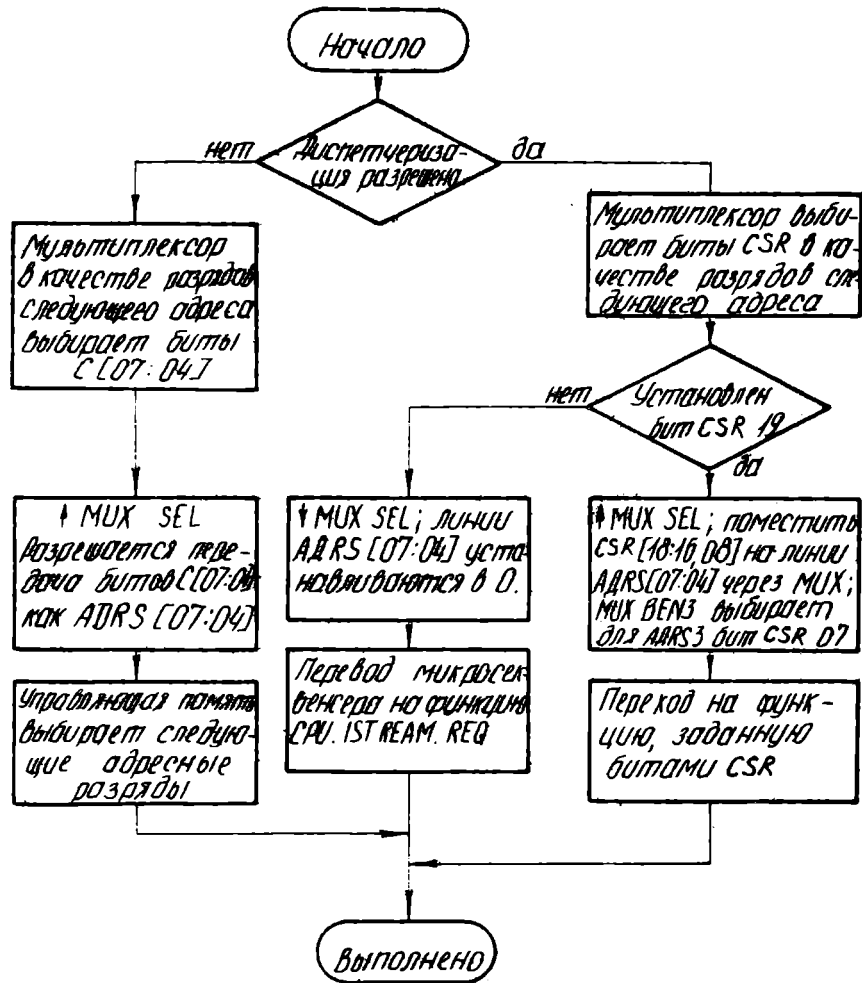


Рис. 19

Ина № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
ИТ-1602	07-07.04.29		
Ина № дубл.	Подп. и дата	Взам. инв. №	Подп. и дата

ИТ	Лист	№ докум.	Подп.	Дата

3.057.048PЭ1

Лист
18

Алгоритм обработки нарушения питания и ошибки по паритету

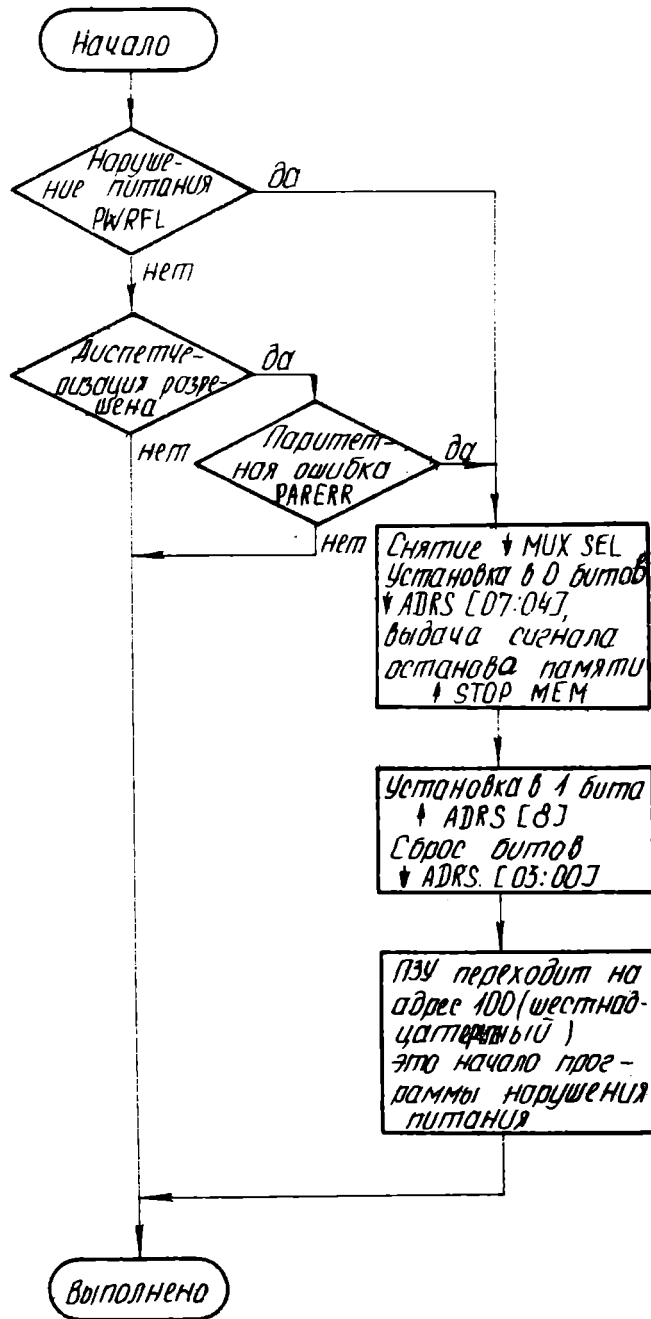


Рис. 20

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1602	31-04-29			

Изм. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	88-87.04.29			

Схема обработки нарушения питания

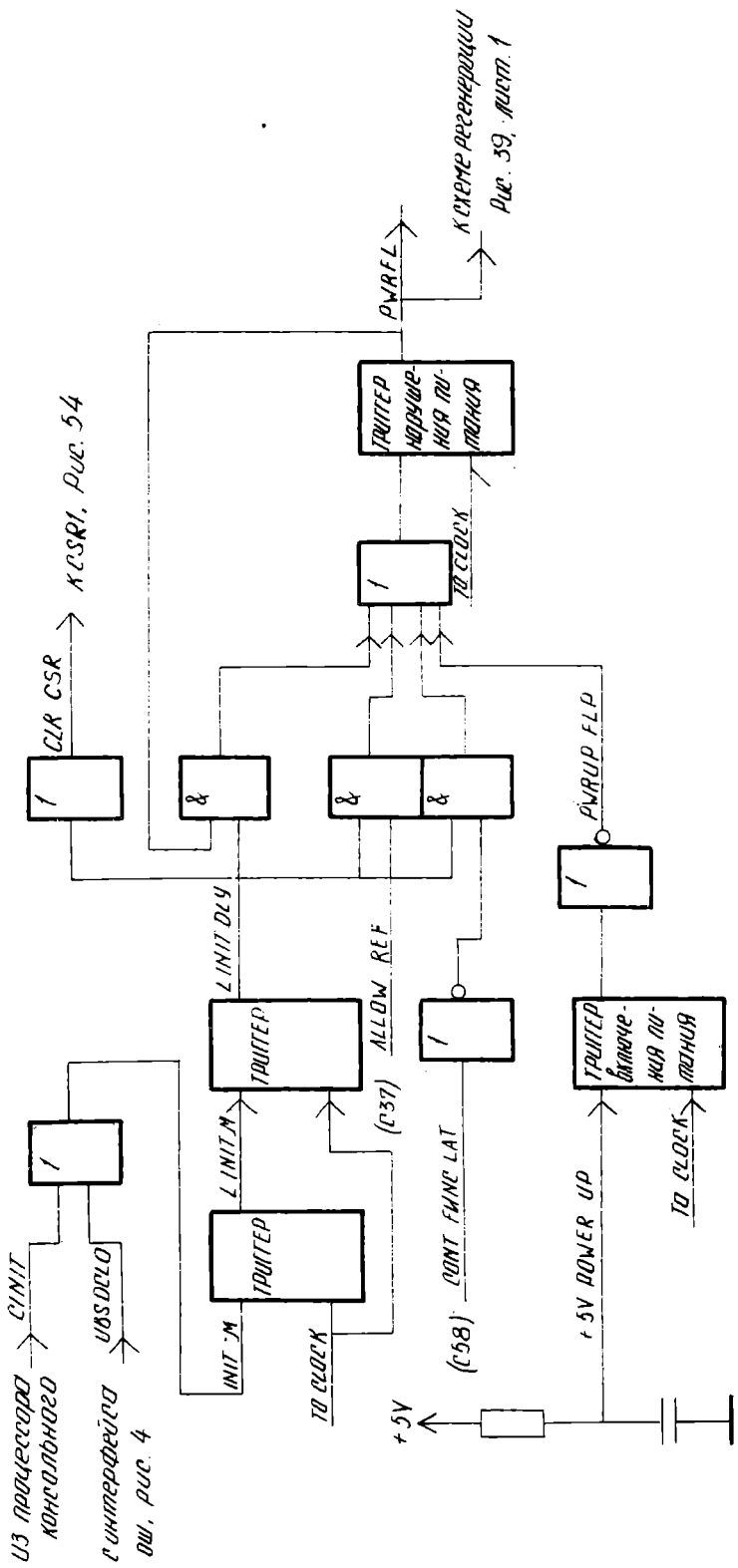


Рис. 21

3.057.048РЭ1

Лист 20

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
ИТ-1602	С. - 27.04.29			

Лист	№ докум.	Подп.	Дата

3.057.048PЭИ

Лист 21

Копировал

Формат А4

Удобенная схема транслации адресов

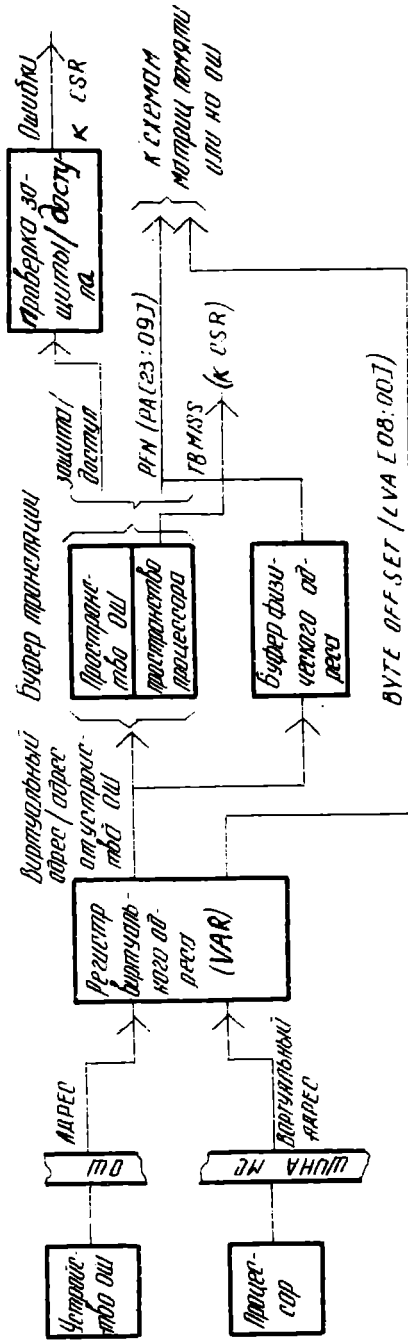


Рис. 22

Алгоритм трансляции виртуального адреса процессора

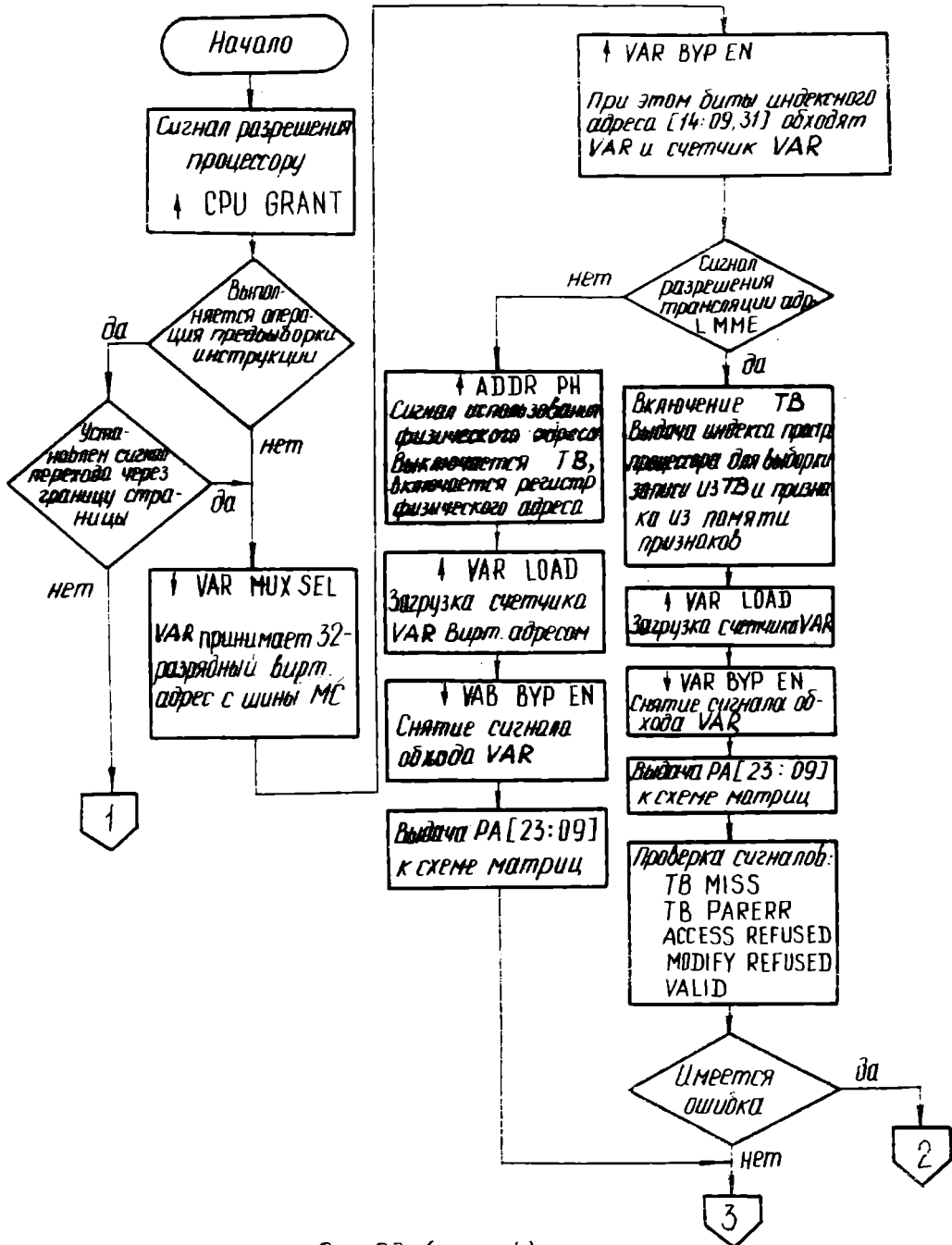


Рис. 23 (лист 1)

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1602	21.04.29	Инд. № дубл.	
Подп. и дата		Взам. инв. №	
		Инд. № дубл.	

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	87.04.28			

Алгоритм трансляции виртуального адреса процессора

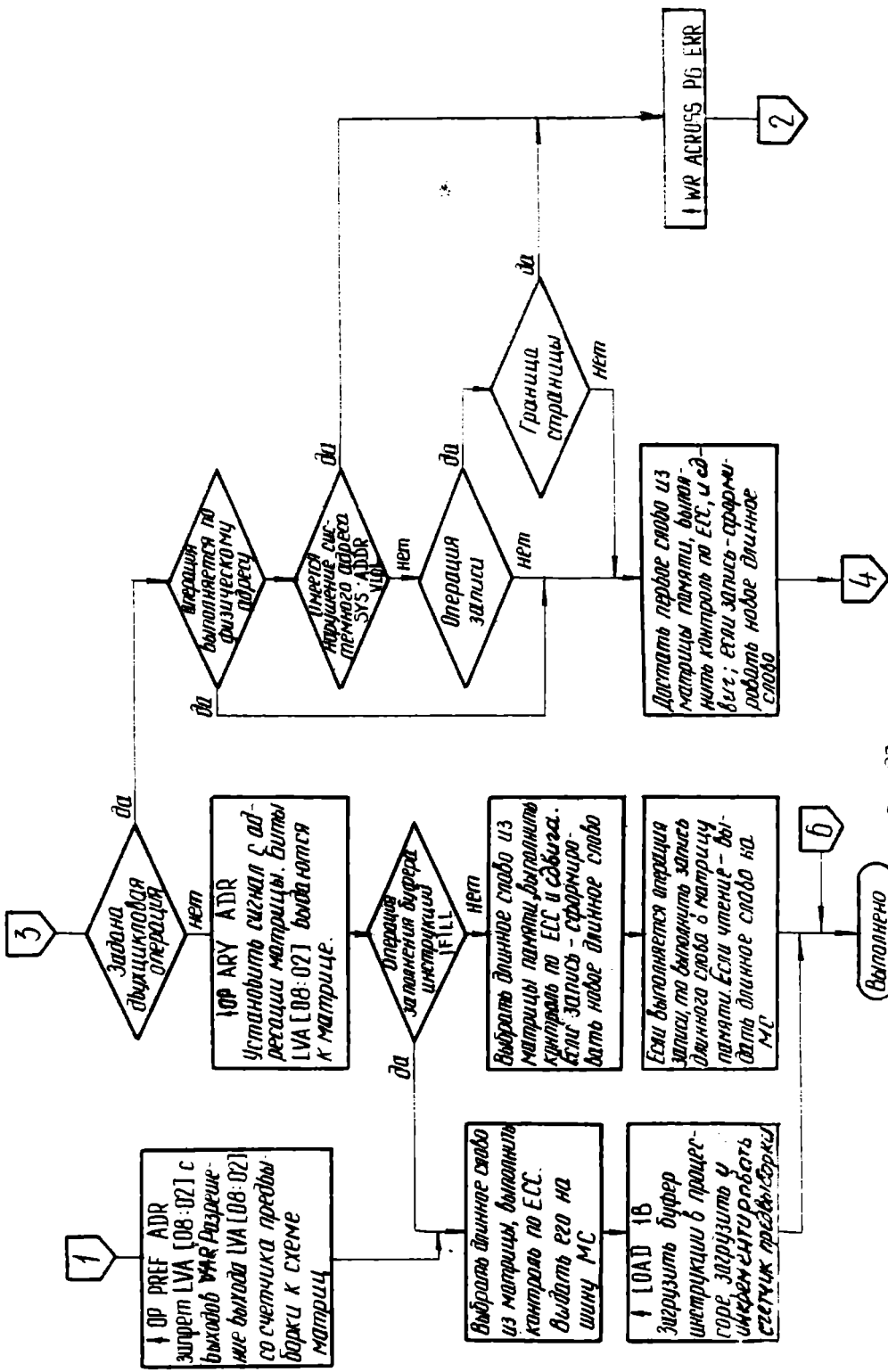


Рис. 23 (лист 2)

Выполнено

3.057.048РЭ1

Алгоритм трансляции виртуального адреса процессора

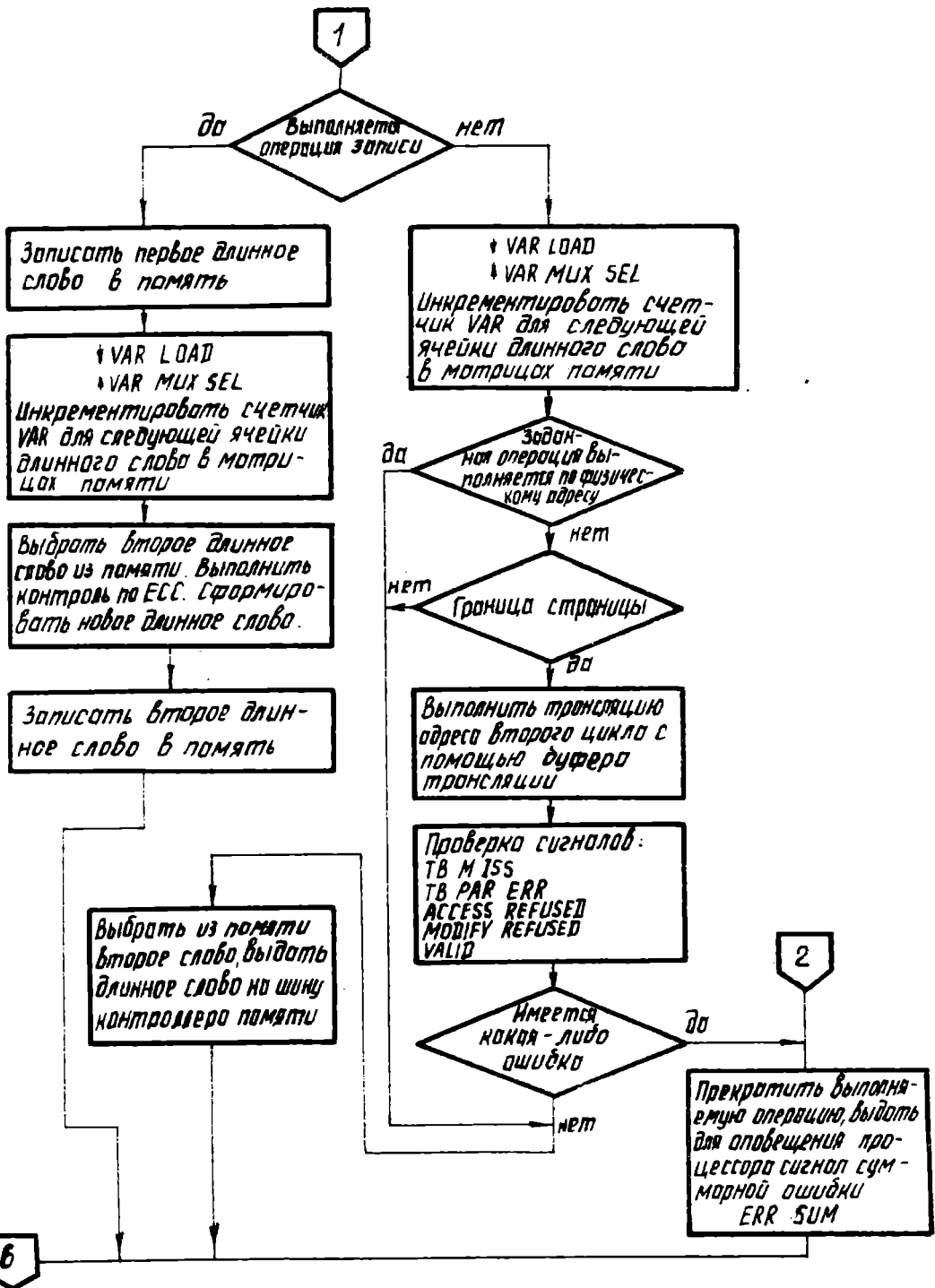


Рис. 23 (Лист 3)

Ина № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	28-04-29			

Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
24

Блок - схема трансляции виртуального адреса процессора

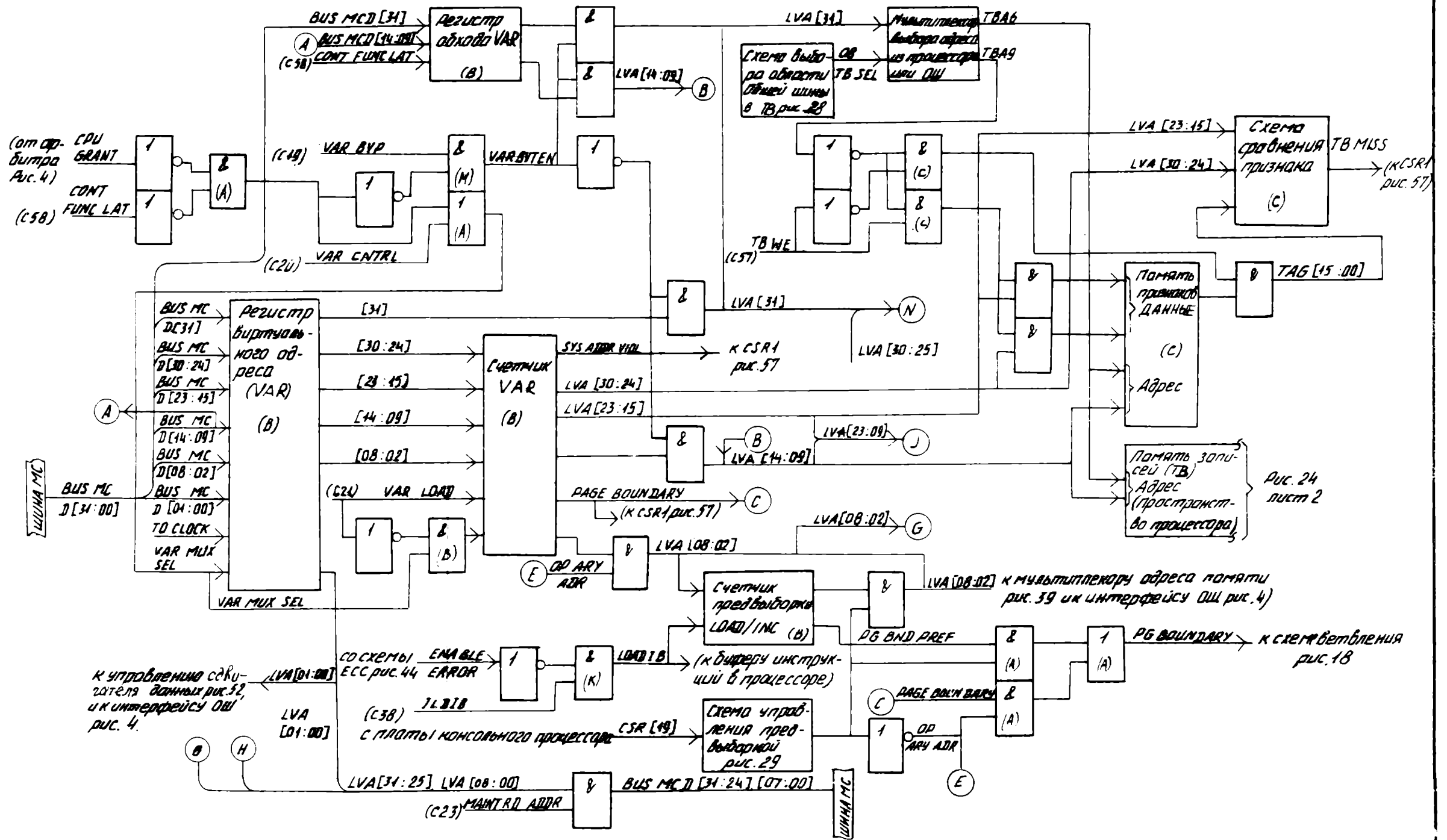


Рис. 24 (лист 1)

Изм. № подл. 17 1602
 Подп. и дата 87.04.29
 Взам. инв. №
 Имя, № дубл.
 Подп. и дата

Блок-схема трансляции виртуального адреса процессора

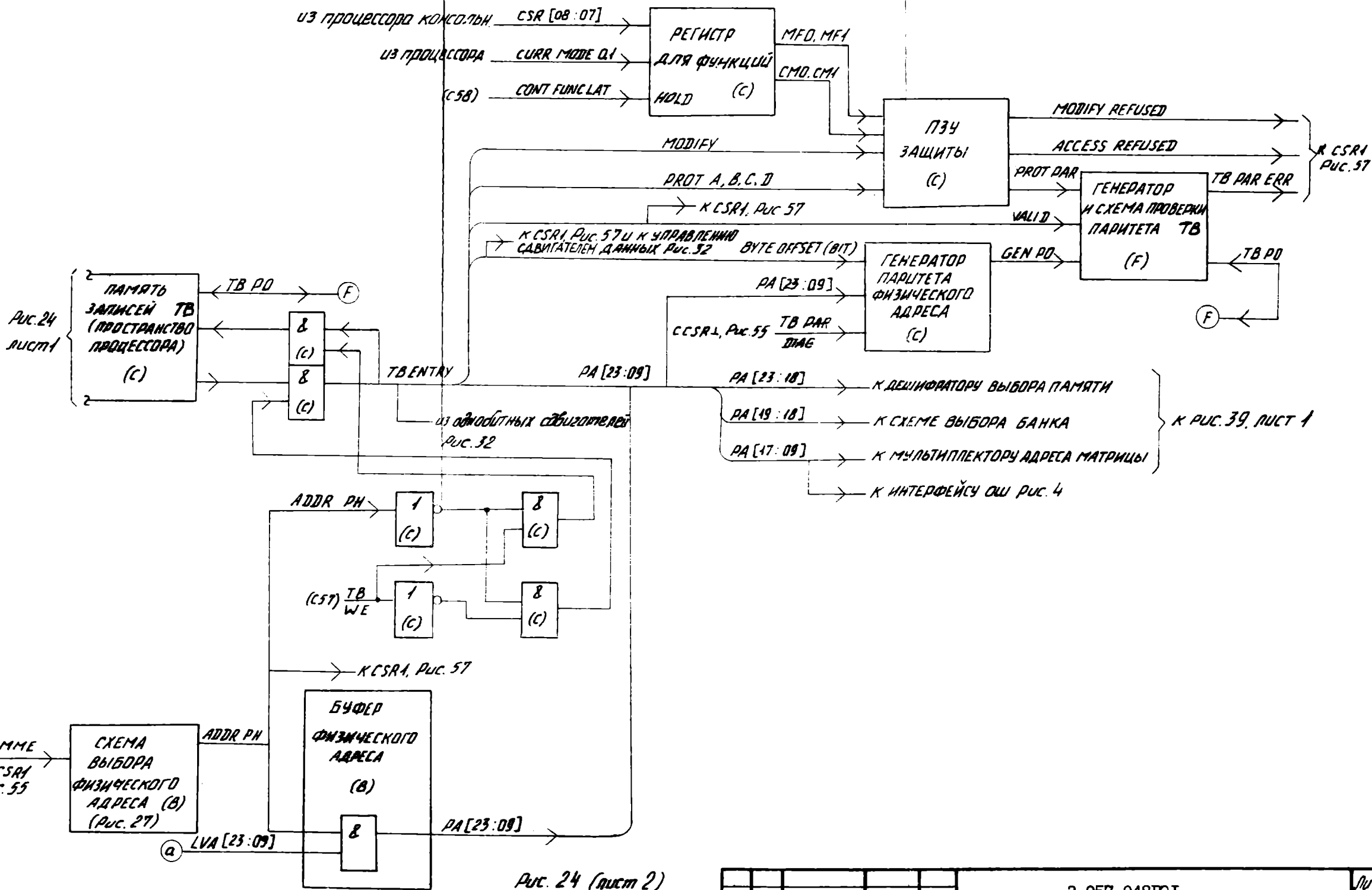
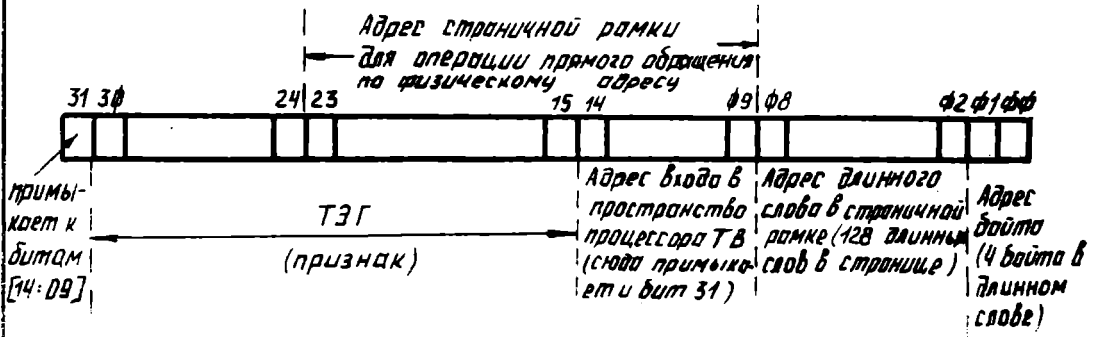


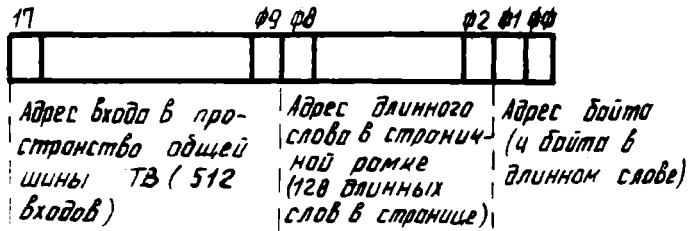
Рис. 24 (лист 2)

Инв. № подл.	Подп. и дата
17-1602	87.04.29
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Сегменты адреса процессора и общей шины



А. ВИРТУАЛЬНЫЙ АДРЕС ШИНЫ МС



В. АДРЕС С ОБЩЕЙ ШИНЫ

Рис. 25

Распределение пространства буфера трансляции

шестнадцатеричный адрес

(3FF) 11 1111 1111

Память записей ТВ (4кx23)

1Ф24

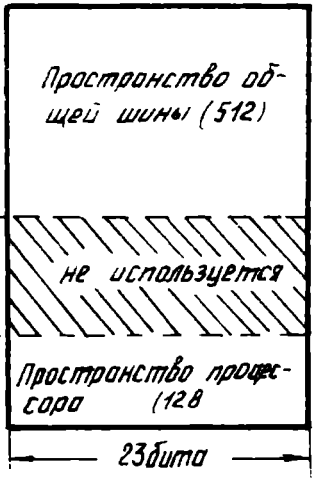
(200) 1Ф ФФФФ ФФФФ

(1FF) Ф1 1111 1111

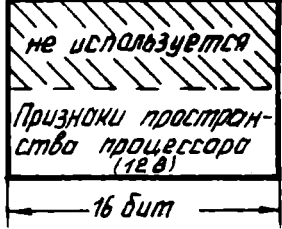
(Ф8Ф) ФФ 1ФФФ ФФФФ

(Ф7F) ФФ Ф111 1111

(ФФФ) ФФ ФФФФ ФФФФ



Память признаков (256x16)



- ТВА6 (LVA15 при выборе ОШ; LVA31 при выборе процессора)
- ТВА7 (LVA16 при выборе ОШ; земля при выборе процессора)
- ТВА8 (LVA17 при выборе ОШ; земля при выборе процессора)
- ТВА9 (+3V при выборе ОШ; земля при выборе процессора)

Рис. 26

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	87.04.29			

Имя	Лист	№ докум.	Подп.	Дата

3.057.048РЭИ

Лист 27

Схема выбора физического адреса

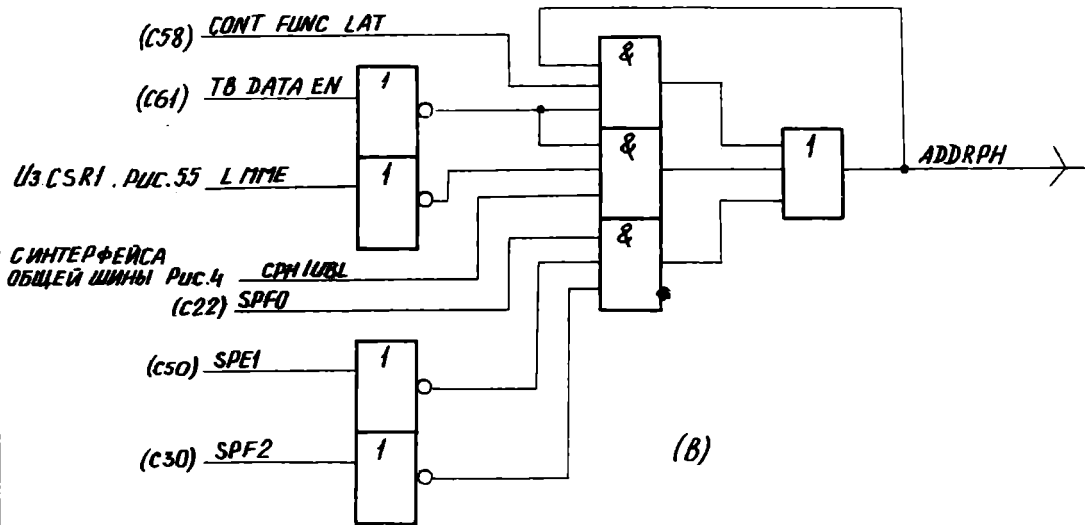


Рис. 27.

Схема выбора области общей шины TB

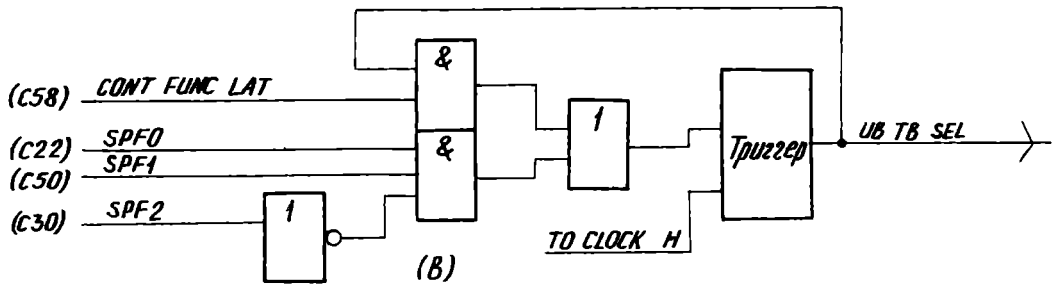


Рис. 28.

Схема управления предвыборкой

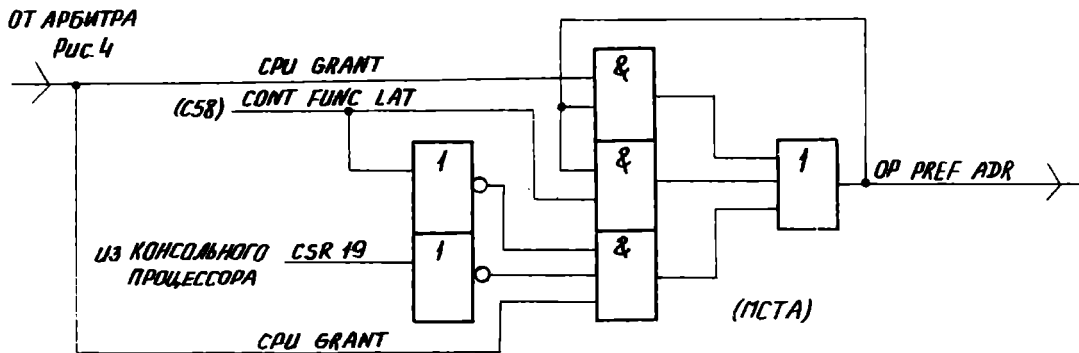


Рис. 29.

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	87.04.20
Лист № подл.	17-1602

Дист.	№ докум.	Подп.	Дата

3.057.048PЭI

Алгоритм трансляции адреса общей шины

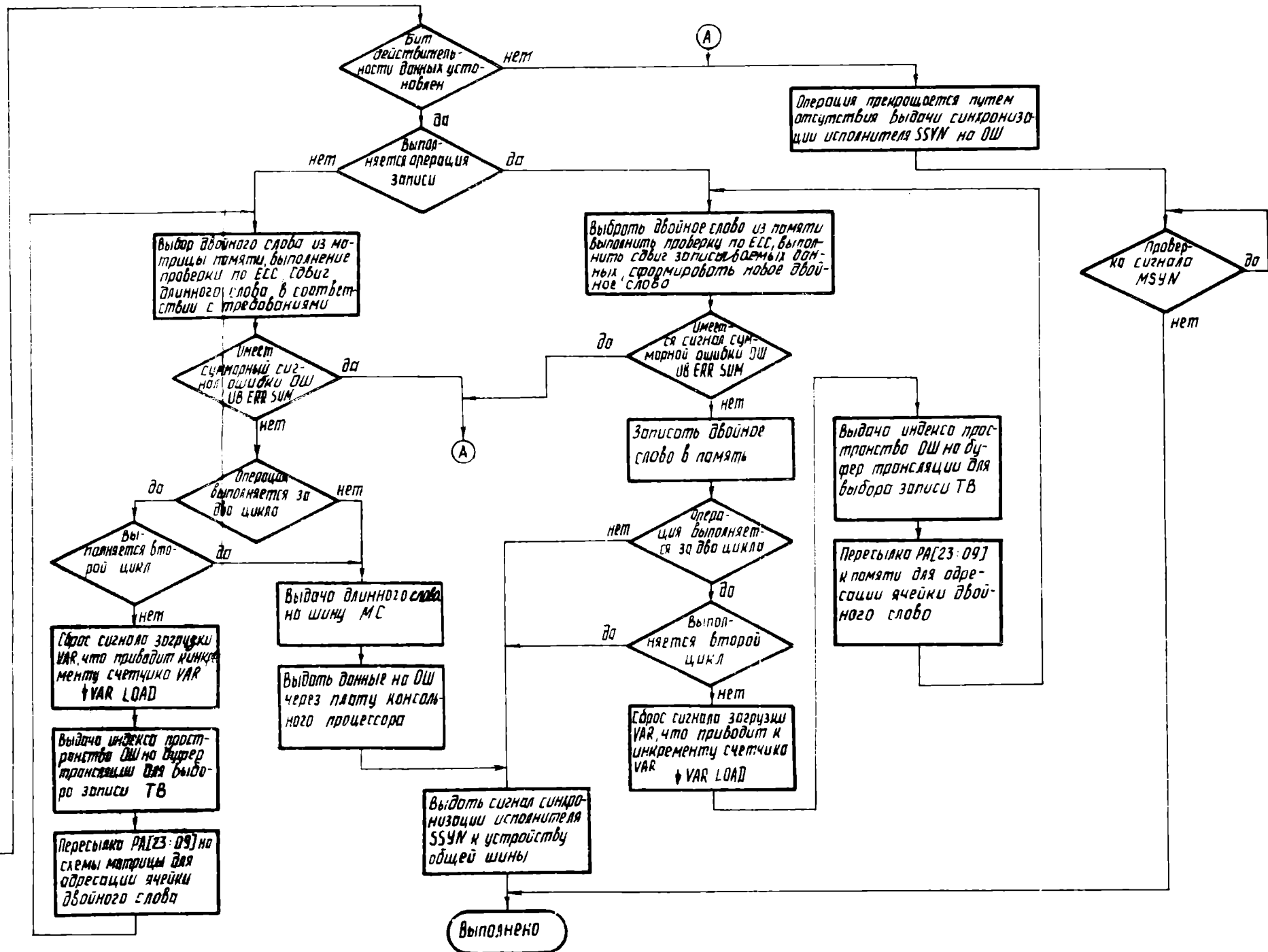
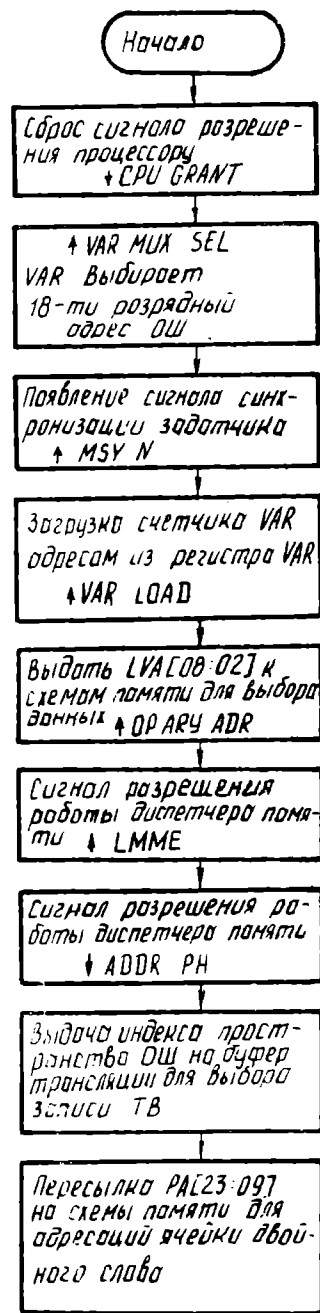


Рис. 30

Имя № подл. Подл. и дата
Имя № инв. № Инв. № дубл. Подл. и дата
Имя № подл. Подл. и дата
М-1602 84-87 04 28

Изм.	Лист	№ докум.	Подл.	Дата

3.057.048PЭI

Лист
29

Блок-схема трансляции адреса общей шины

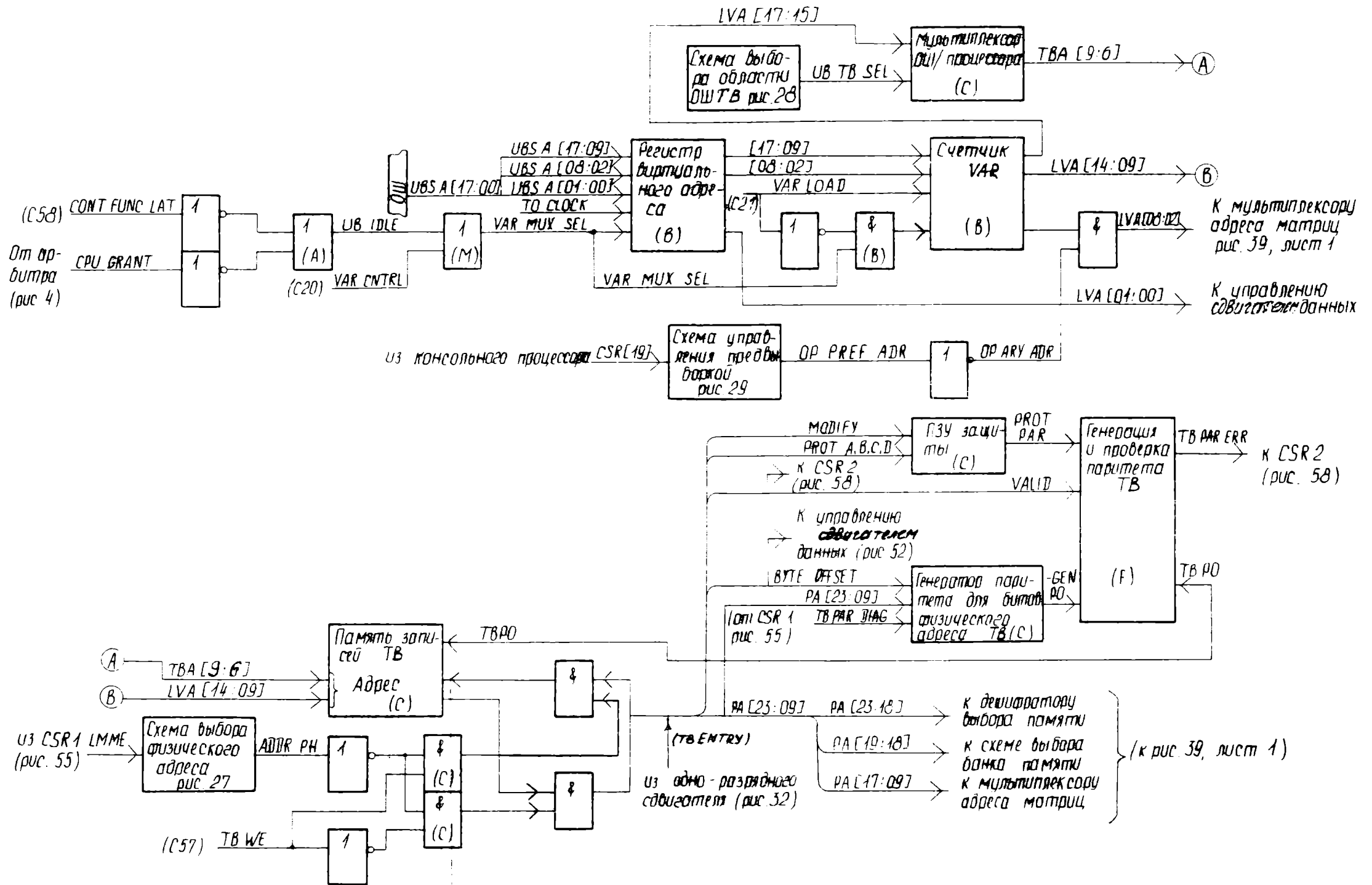


Рис. 31

Имя, № подл.	17-1602
Подп. и дата	87.04.29
Имя, № дубл.	
Подп. и дата	
Имя, № подл.	
Подп. и дата	

Блок-схема записи и чтения бьюфера трансляции

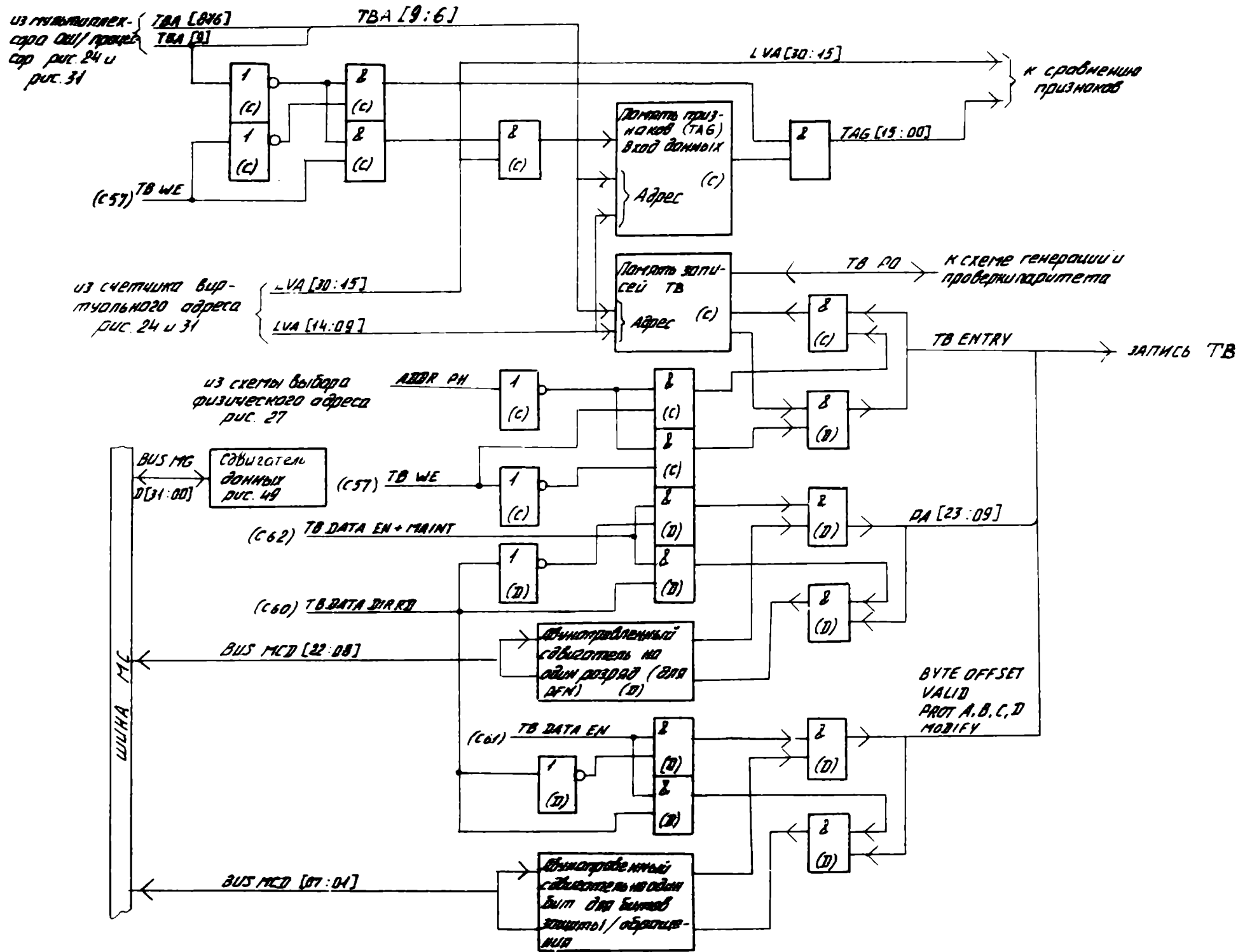


Рис. 32

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

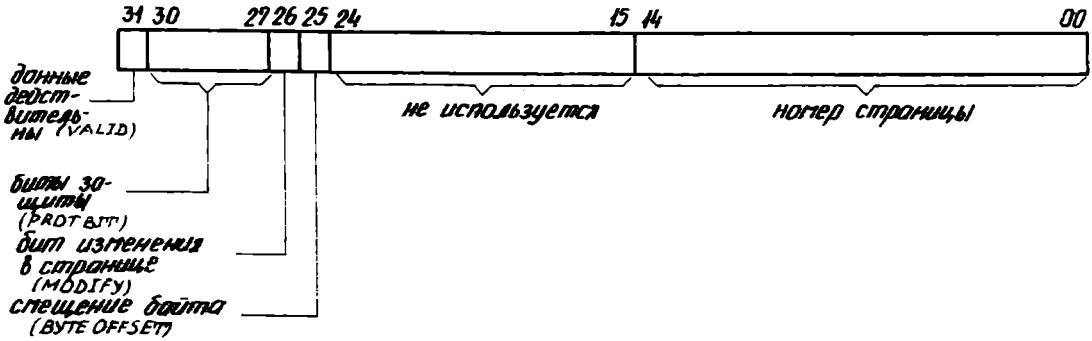
Илсг
3I

Копировал

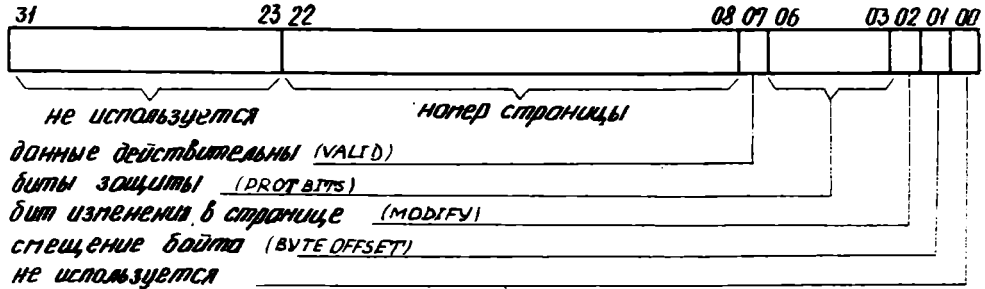
Формат А3

17-1602
 01-87.04.29
 Подп. и дата
 Взам. инв. №
 Инв. № подл.
 Подп. инв. №

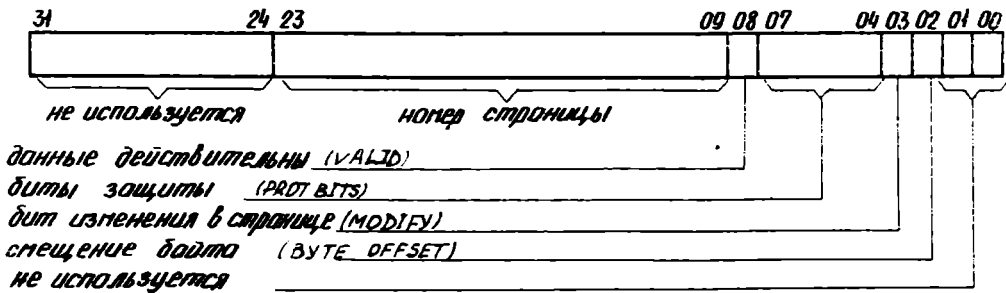
Запись в буфере трансляции



А. Запись ТВ на шине МС



В. Запись ТВ после сдвига данных



С. Запись ТВ после сдвига на один разряд

Рис. 33

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1602	87.04.29		
№	Лист	№ докум.	Подп. Дата

3.057.048РЭ1

Формат А4
32

Пространство физических адресов

Адрес (шестнадцатеричный)

1M Пространство ввода / вывода	256K	Общая шина (ОШ)	FF FFFF	Выбор физического адреса (ИВ АДАПТЕР SEL)	
			FC 0000		
			FB FFFF		
			Регистры отображения адресного пространства ОШ (512)	F2 6FFC	Выбор регистра адаптера ОШ (ИВ АДАПТЕР REG SEL)
				F2 6800	
			Регистры контроллера НГД	E2 6218	
				E2 6200	
			CSR ОШ	F2 6010	
			Регистр путей данных ОШ	F2 600C	
			Регистр путей данных ОШ	F2 6008	
			Регистр путей данных ОШ	F2 6004	
			Регистр конфигурации ОШ	F2 6000	
			CSR0 Адаптера памяти	F2 0008	
		CSR1 Адаптера памяти	F2 0004		
		CSR2 Адаптера памяти	F2 0000		
			F0 0000		

15M Пространство памяти	10M		EF FFFF	Область несуществующих адресов (NXM)	
			50 0000		
		1M	E	4F FFFF	Выбор матрицы "X" памяти (MEM SEL "X")
				40 0000	
		1M	D	3F FFFF	
				30 FFFF	
		1M	C	2F FFFF	
				20 0000	
		1M	B	1F FFFF	
				10 0000	
	1M	A	0F FFFF		
			00 0000		

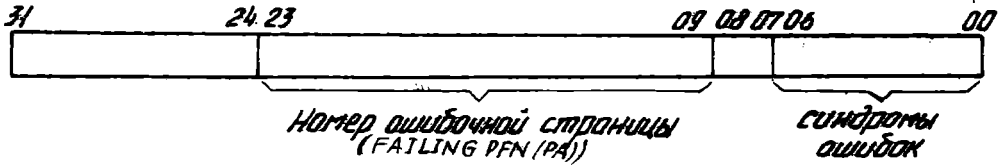
Ина № подл.	Подп. и дата	Взм. инв. №	Подп. и дата
17-1602	27.04.29	Инв. № дубл.	

OldPC.su
2147
музей компьютеров

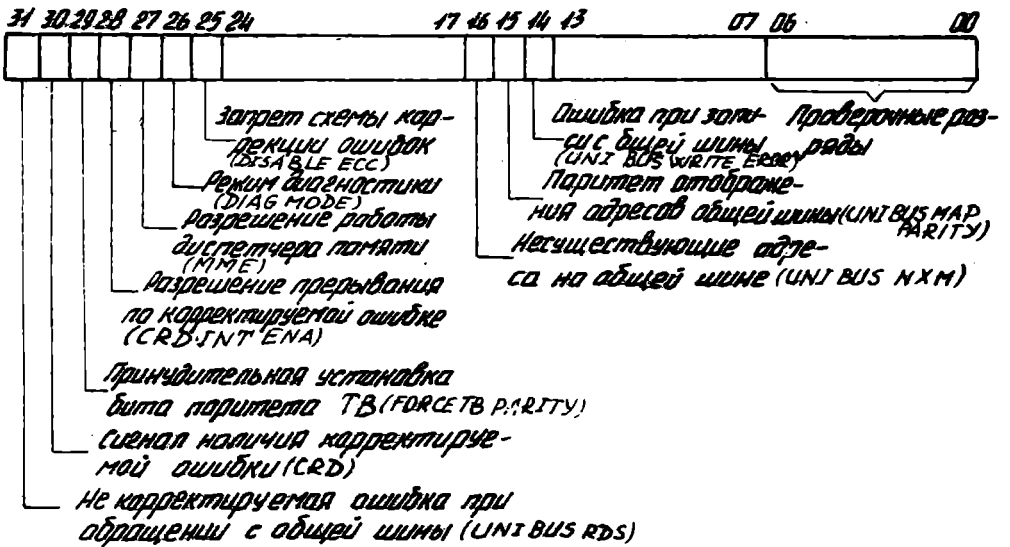
Рис. 34

Ина	Лист	№ докум.	Подп.	Дата	3.057.048РЭ1	Лист
						33

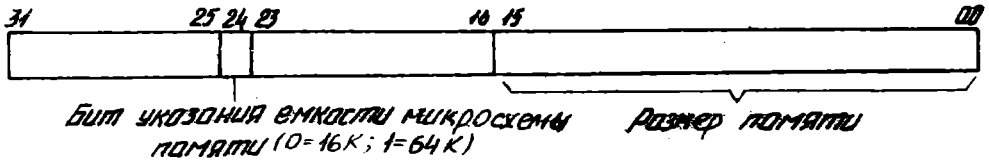
Регистры оборудования памяти



A. CSRD



B. CSR 1



C. CSR 2

Рис. 35

Ина № подл.	Подп. и дата
17-1602	84 - 27.04.89
Взам. инв. №	Инв. № дубл.
№	Лист
№ докум.	Подп.
Дата	Дата

3.057.048PЭI

Лист
34

Регистры контроллера общей шины

31	06 05 04 03 02 01 00
Должны быть нулевыми (МВЗ)	1 0 1 0 0 0

А. Регистр конфигурации общей шины

31	00
Должны быть нулевыми (МВЗ)	

В. Регистры путей данных общей шины

31 30	17 16 15 14 13	00
Должны быть нулевыми (МВЗ)	Должны быть нулевыми (МВЗ)	

Некорректируемая ошибка при обращении с общей шиной (UB RDS)

*Запись не позволена (WR NOT VALID)
 Паритетная ошибка буфера трансляции в области общей шины (UB TB PAR ERR)
 Адрес отсутствует на общей шине (UB NXM)*

С. Регистр управления и состояния общей шины

Рис. 36

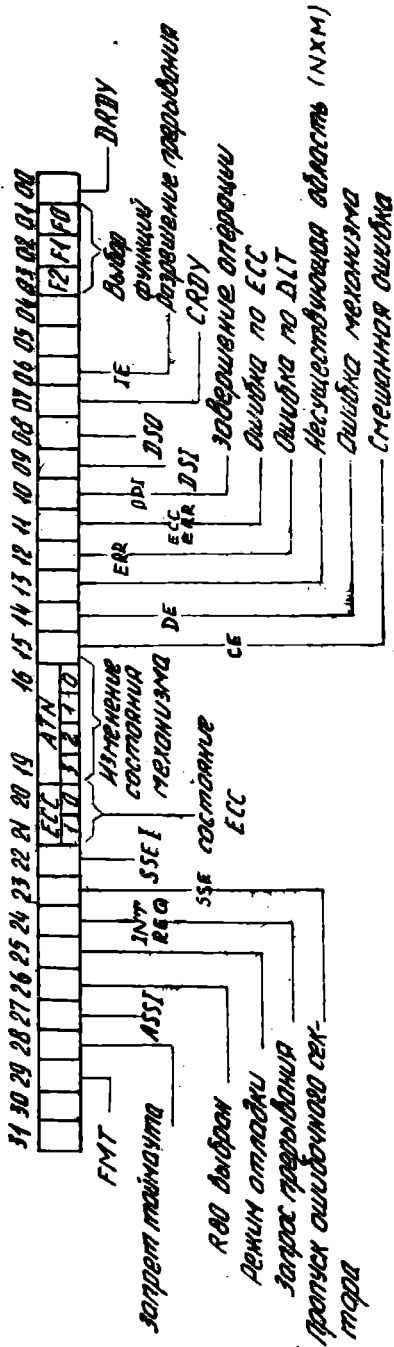
Имя	Лист	№ докум.	Подп.	Дата
Имя инв. №	Взам. инв. №	Инв. № дубл.	Подп. и дата	
Имя № подл.	Подп. и дата			
17-1602	02 - 27.04.20			

3.057.048РЭ1

Лист
35

Изм. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	87.04.29			

Программные регистры



А. Регистр хранения и состояния

Лист 37 (лист 1)

Программные регистры

31 18 17 00
 Адрес общей шины

Адрес первого передаваемого байта
 В. Регистр адреса шины (BAR)

31 00
 Счет байтов

Двоичное дополнение числа байтов, которые должны быть переданы

С. Регистр счета байтов (CNT)

31 16 15 08 07 00
 Цилиндр Дорожка Сектор

Д. Регистр адреса диска (DAR)

15 08 07 04 03 02 01 00
 МВЗ

Должны быть нулевыми
 сброс
 Должны быть нулевыми
 Получить состояние
 Бит маркера
 (должен быть 1)

Е. Многоцелевой регистр (MPR)

13 00
 Позиция ошибки

Ф. Регистр позиции ошибки (ECC POS)

11 00
 Образец коррекции ошибки

Г. Регистр образца ошибки (ECC PAT)

Рис. 37 (лист 2)

Имя № подл.	Подп. и дата
Взам. инв. №	Подп. и дата
Инов. № дубл.	81 - 87.04.29
Имя № подл.	Подп. и дата

№	Лист	№ докум.	Подп.	Дата

3.057.048PЭ1

Лист
37

Конфигурация микросхем на плате памяти емкостью 1М байт

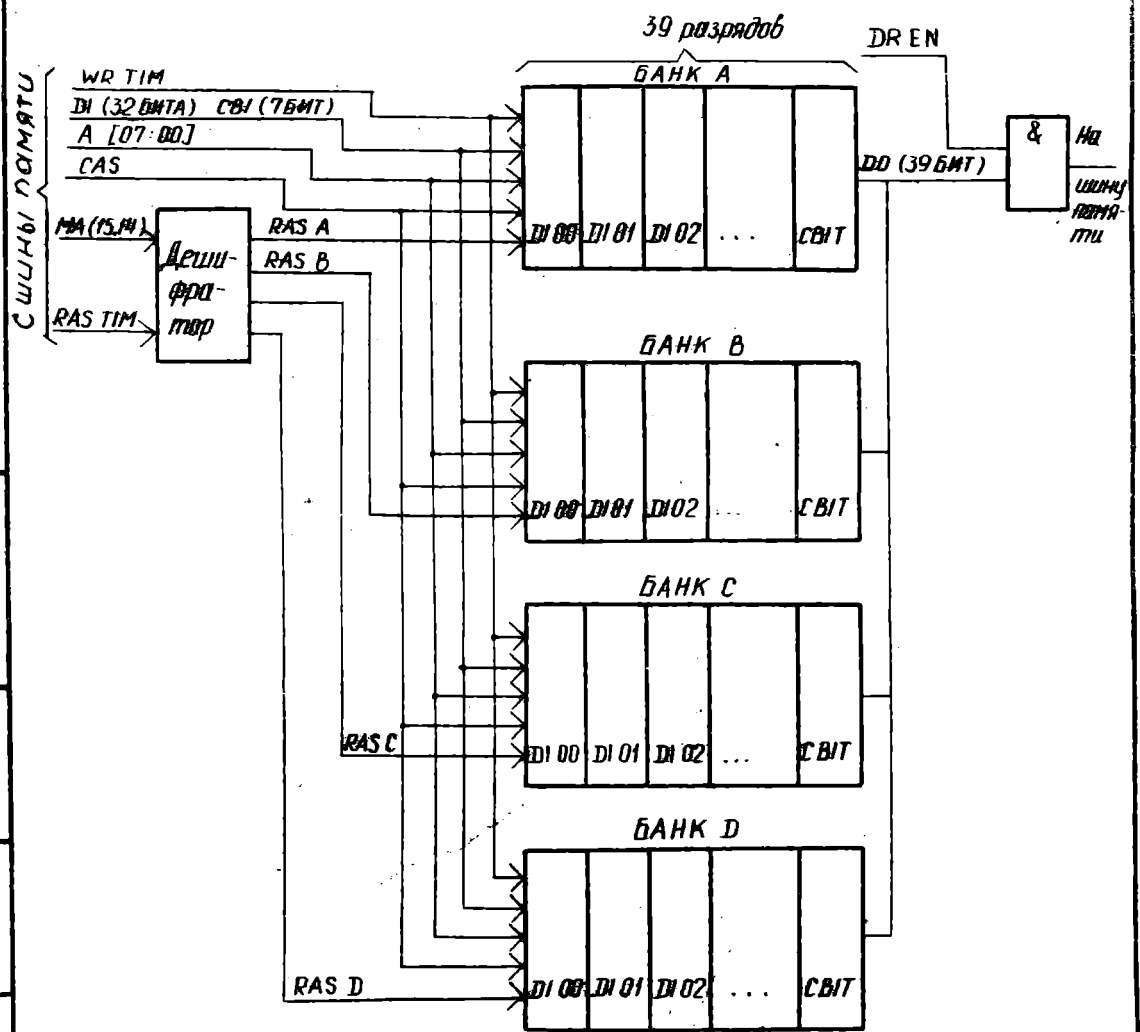


Рис 38

Изм. № подл.	Подп. и дата	Взам. инв. №	Ине. № дубл.	Подп. и дата
17-1602	СМ - 87.04.29			

Изм	Лист	№ докум.	Подп.	Дата

3.057.048PЭ1

Лист
38

БЛОК-схема чтения / записи матрицы памяти

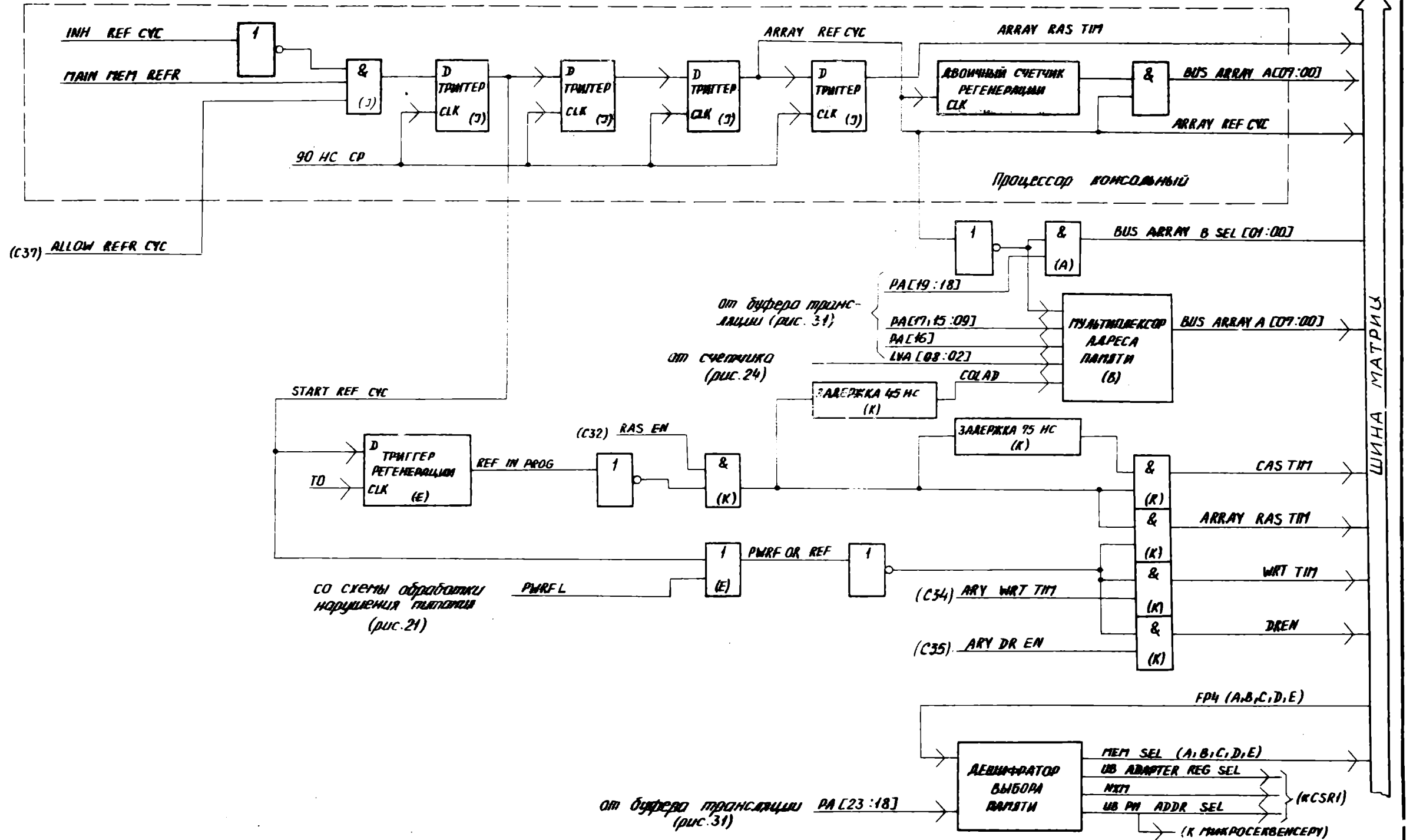


Рис. 39 (лист 1)

Инд. № подл.	Подп. и дата
17-1602	87.04.29
Взам. инв. №	Подп. инв. №
Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048P9I

Блок-схема чтения / записи матриц памяти

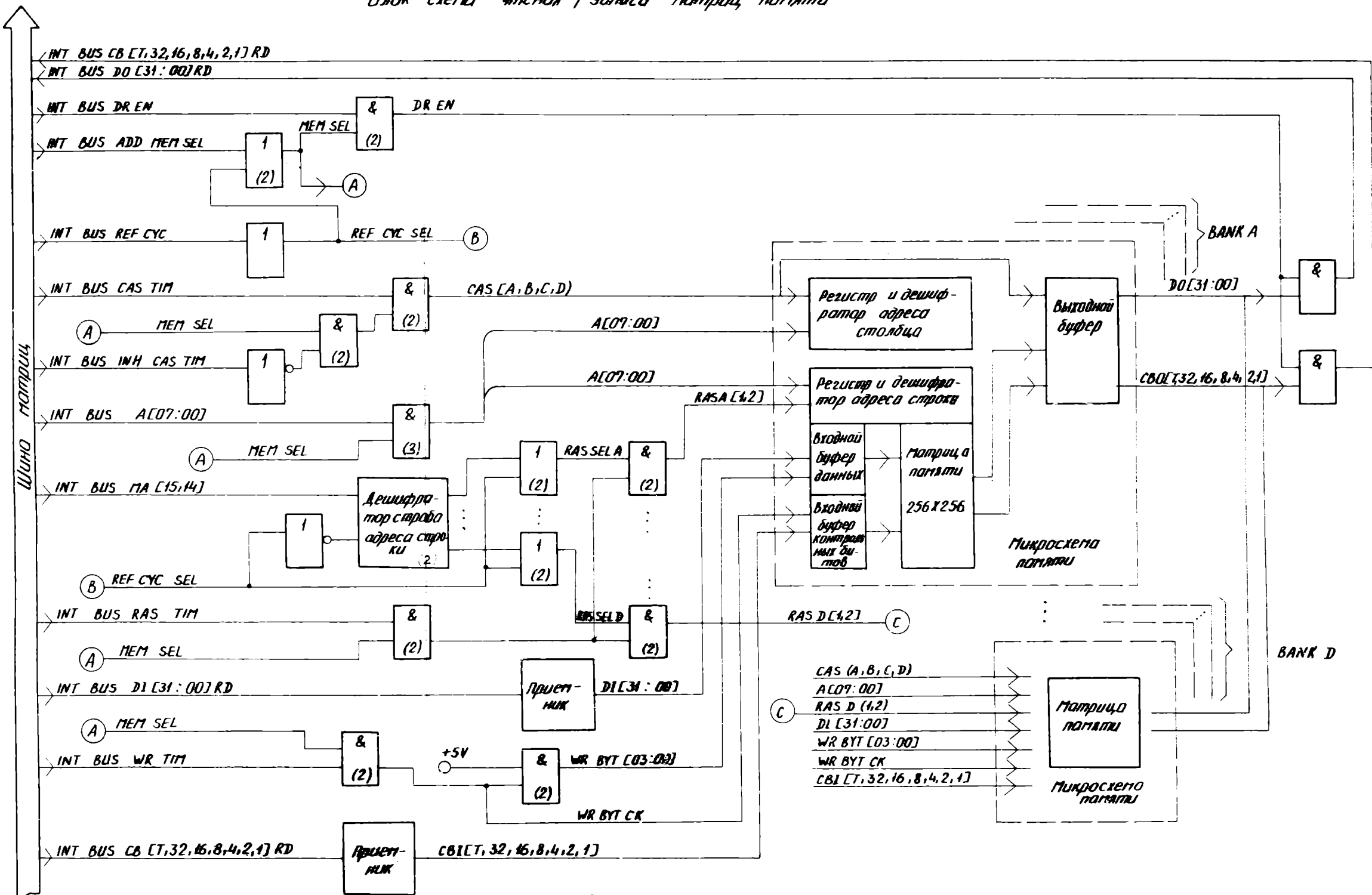


Рис. 39 (лист 2)

Инь № подл. 17-1602
 Подп. и дата 28-07-04 20
 Взам. инв. № Инв. № дубл.
 Подп. и дата

Сигналы шины матриц

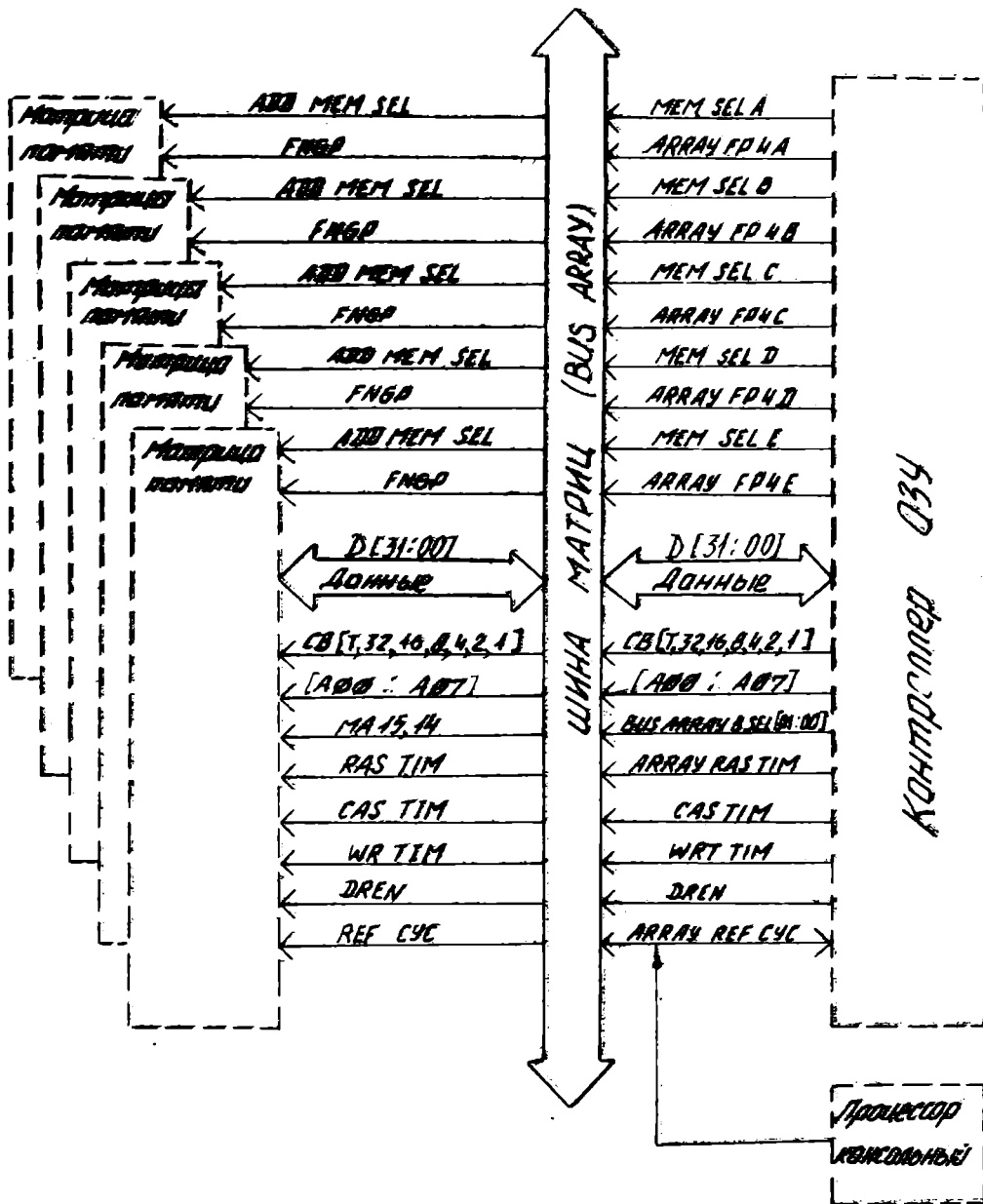


Рис. 40

Имя № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-4602	81-87.04.29			

Имя	Лист	№ докум.	Подп.	Дата

3.057.048P01

Лист
41

Диаграмма синхронизации адреса матриц

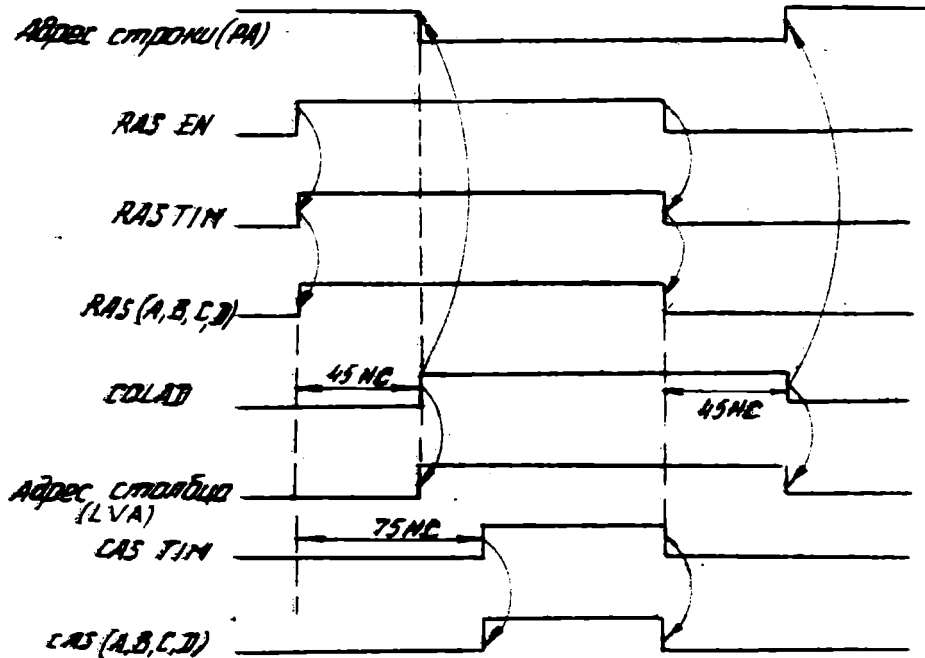


Рис. 41

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1602	81-17.04.29			

№	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист

42

Контроль

Формат А4

Частота циклов регенерации

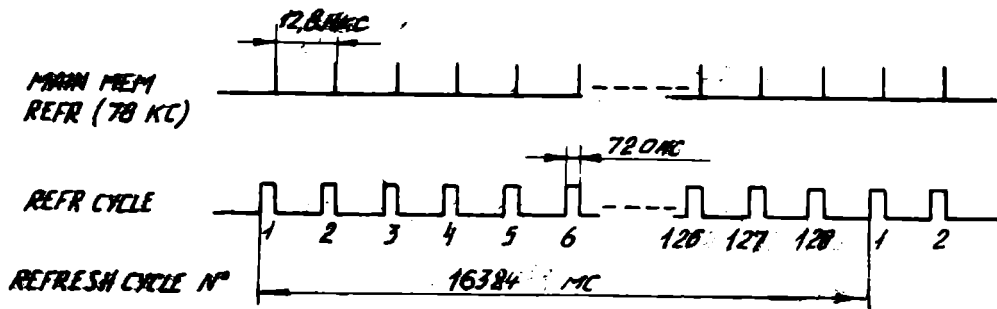


Рис. 42

Диаграмма времени цикла регенерации

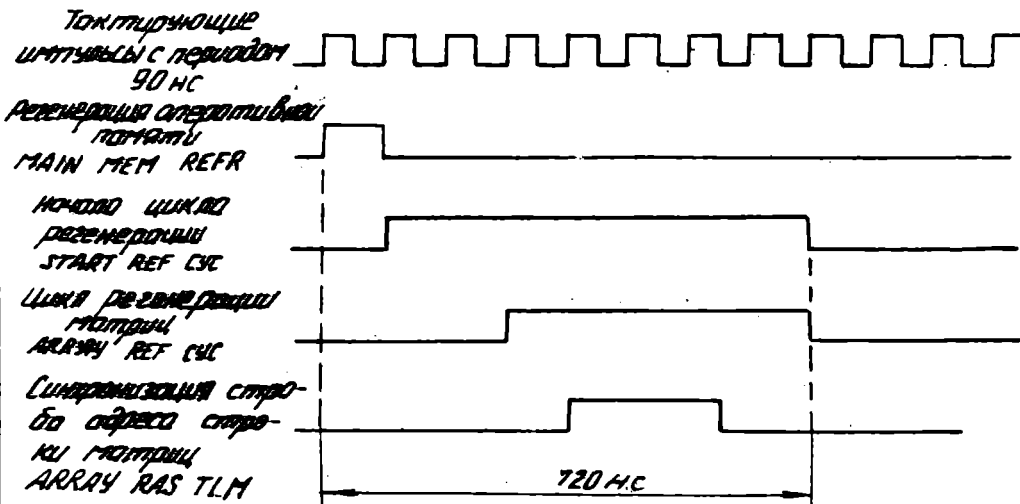


Рис. 43

Имя № подл.	Подп. и дата	Подп. и дата
17-1602	94 - 27.04.29	
Взам. инв. №	Инв. № дубл.	Подп. и дата

Имя	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
43

Имя № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
77-1642	87-04-29			

БЛОК - схема микросхемы исправления и обнаружения ошибок (ЕЕЕ)

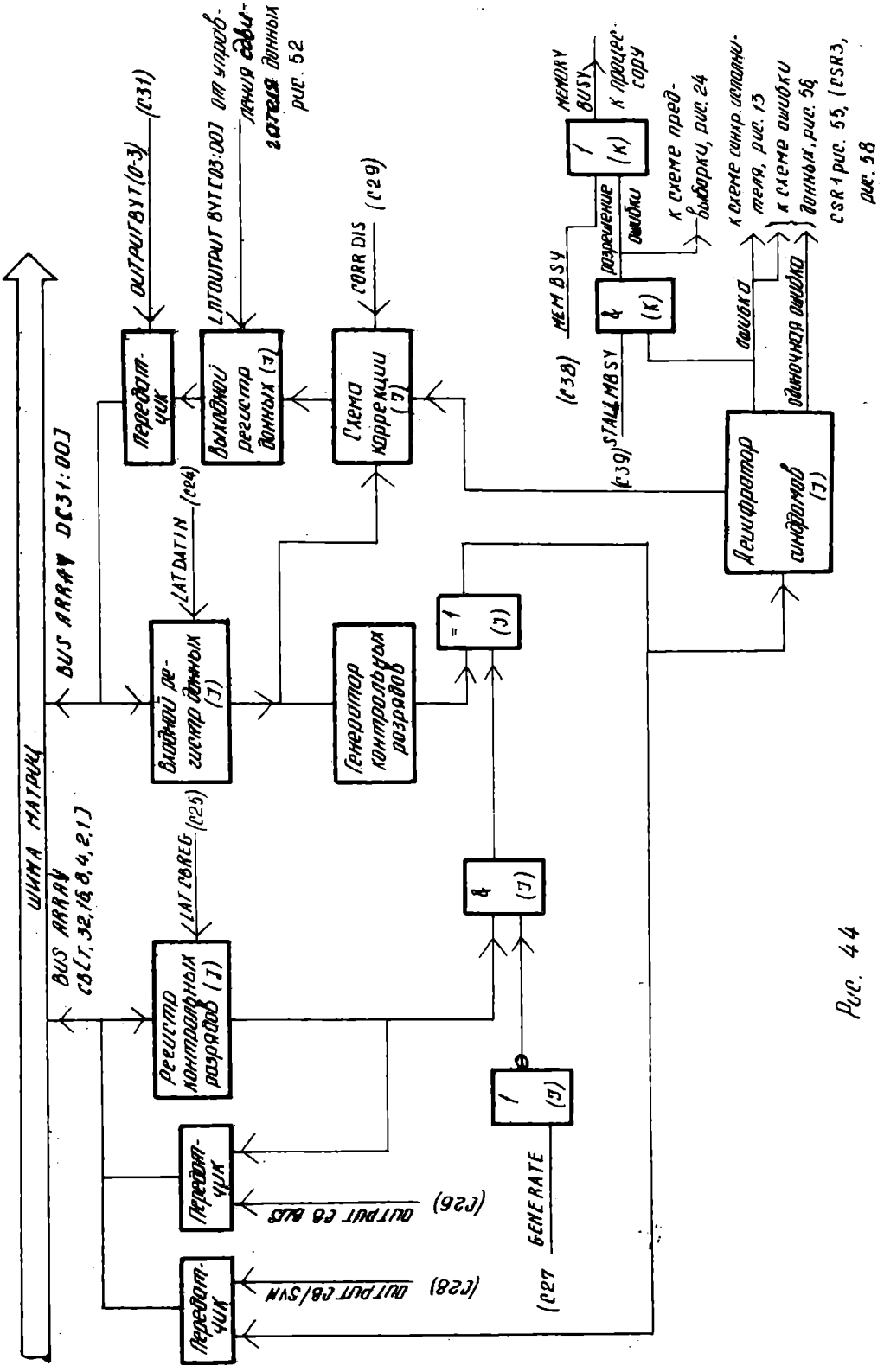


Рис. 44

3.057.048P91

Алгоритм чтения матриц с контролем по ECC

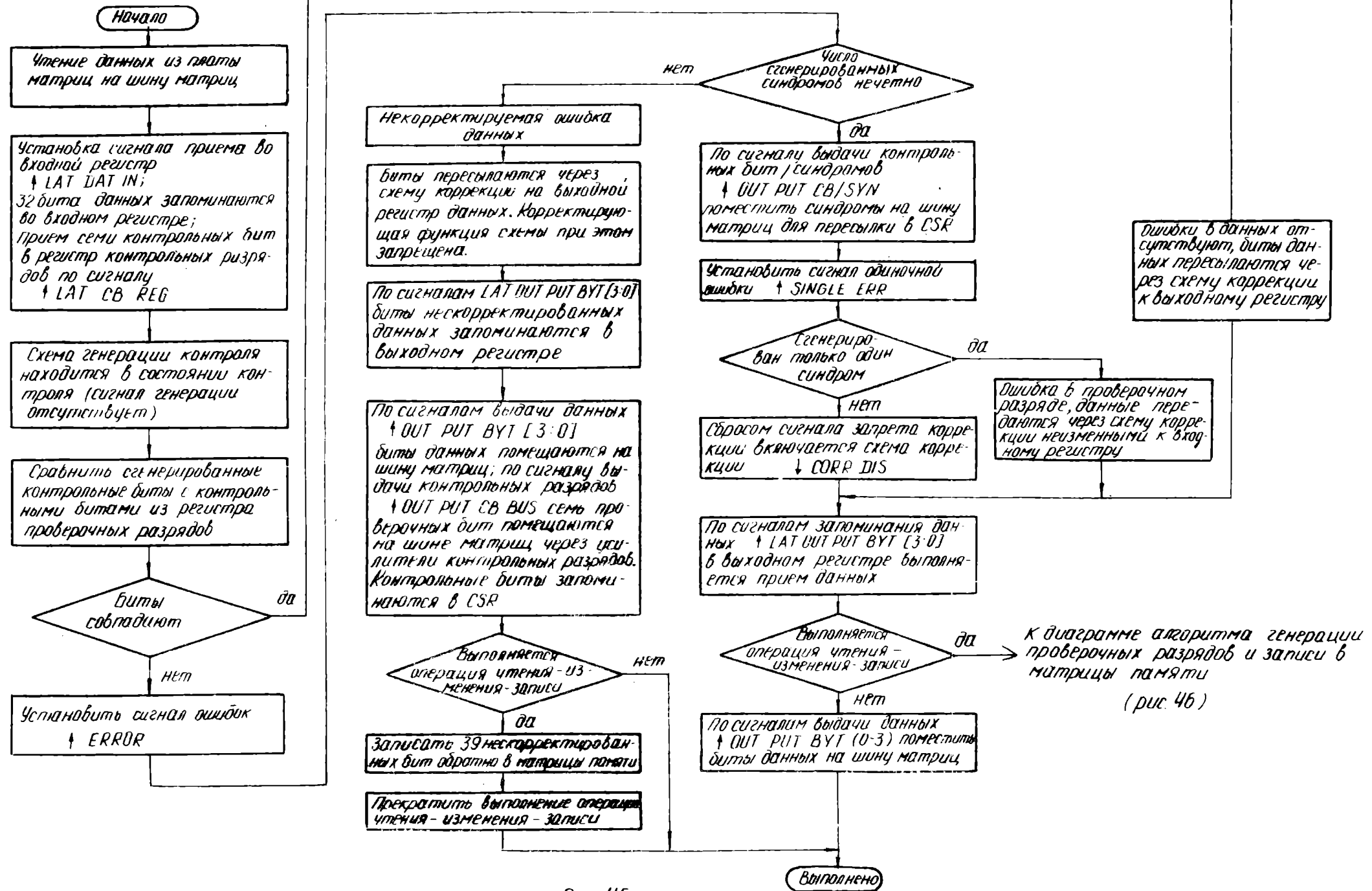


Рис. 45

Изм. № подл. 17-1602
 Подп. и дата 81.04.29
 Власт. инв. №
 Иис. № дубл.
 Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

3.057.048РЭ1

Лист 45

Алгоритм генерации контрольных бит ЕСС и записи в матрицы

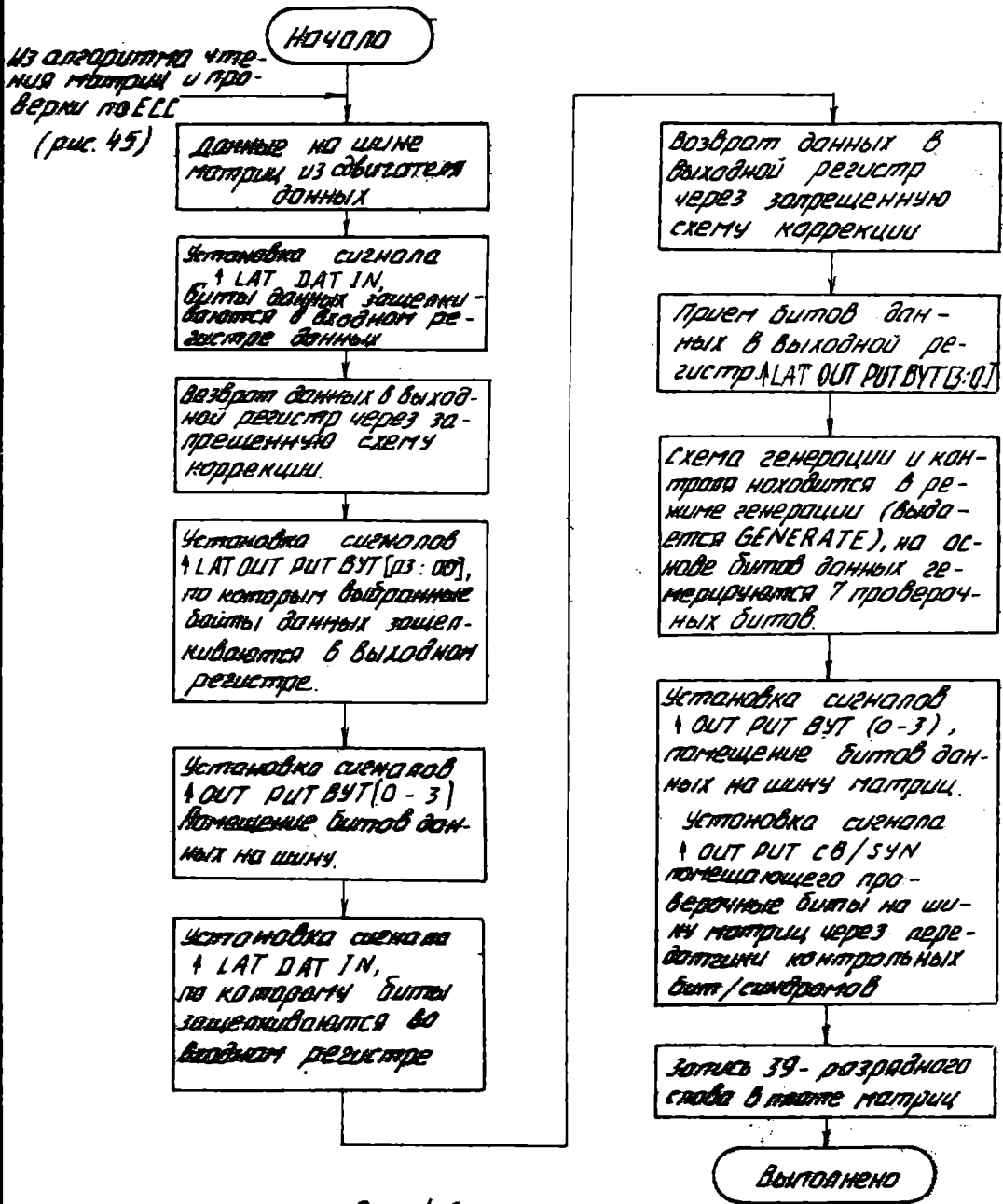


Рис. 46

Имя № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1602	27.04.29	Инв. № дубл.	

Имя	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
46

Конфигурация микросхемы ECC

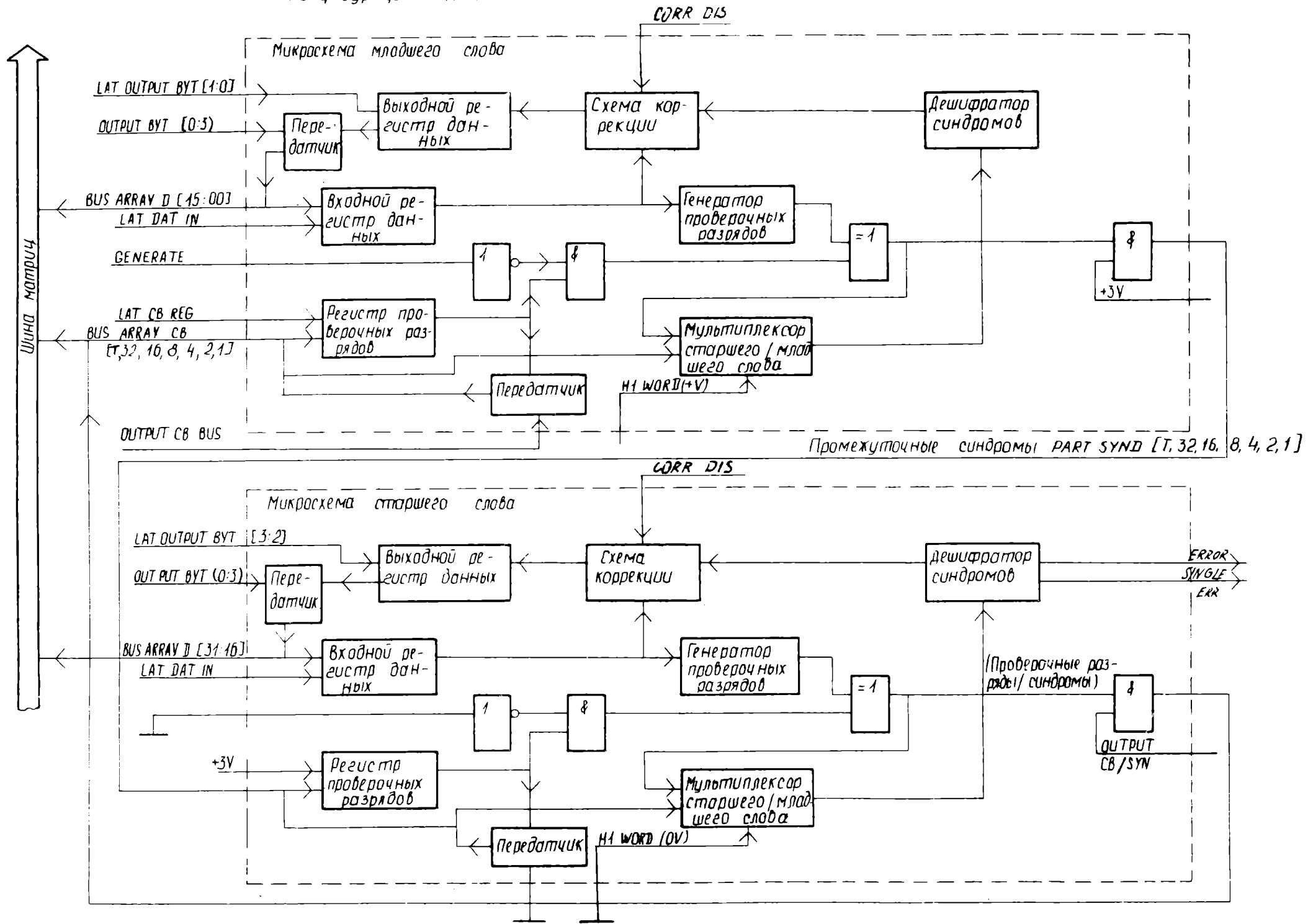


Рис. 47

Име. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
И-7602	87.04.29			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
47

Копировал

Формат А3

Сдвиг данных в операциях чтения

31

фф



А. ШИНА MC

31

фф



- Процессор читает слово из ячейки 1fff
- Контроллер ОЗУ считывает ячейку 1fff
- Данные проходят через сдвигатель данных, необходимость сдвига отсутствует

В. ШИНА BUS ARRAY - ЧТЕНИЕ БАЙТОВ B₀ и B₁

31

фф



- Чтение процессором слова из ячейки 1fff
- Контроллер ОЗУ считывает ячейку 1fff
- Сдвиг данных на один байт вправо

С. ШИНА BUS ARRAY - ЧТЕНИЕ БАЙТОВ B₀ и B₁

31

фф



- Процессор считывает длинное слово из ячейки 1fff
- Контроллер ОЗУ считывает ячейку 1fff
- Сдвиг данных на два байта вправо
- Выбор байтов B₀, B₁
- Контроллер ОЗУ считывает ячейку 1fff
- Сдвиг данных на два байта вправо
- Выбор байтов B₂, B₃

Д. ШИНА BUS-ARRAY - СЧИТАННЫЕ БАЙТЫ B₀, B₁, B₂, B₃

Рис. 48

Имя № подл.	Подп. и дата	Имя № дубл.	Подп. и дата
ИТ-1602	21.01.20		
Взам. инв. №	Подп. инв. №	Инв. № дубл.	Подп. и дата

Имя	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
48

блок-схема сблизателя данных

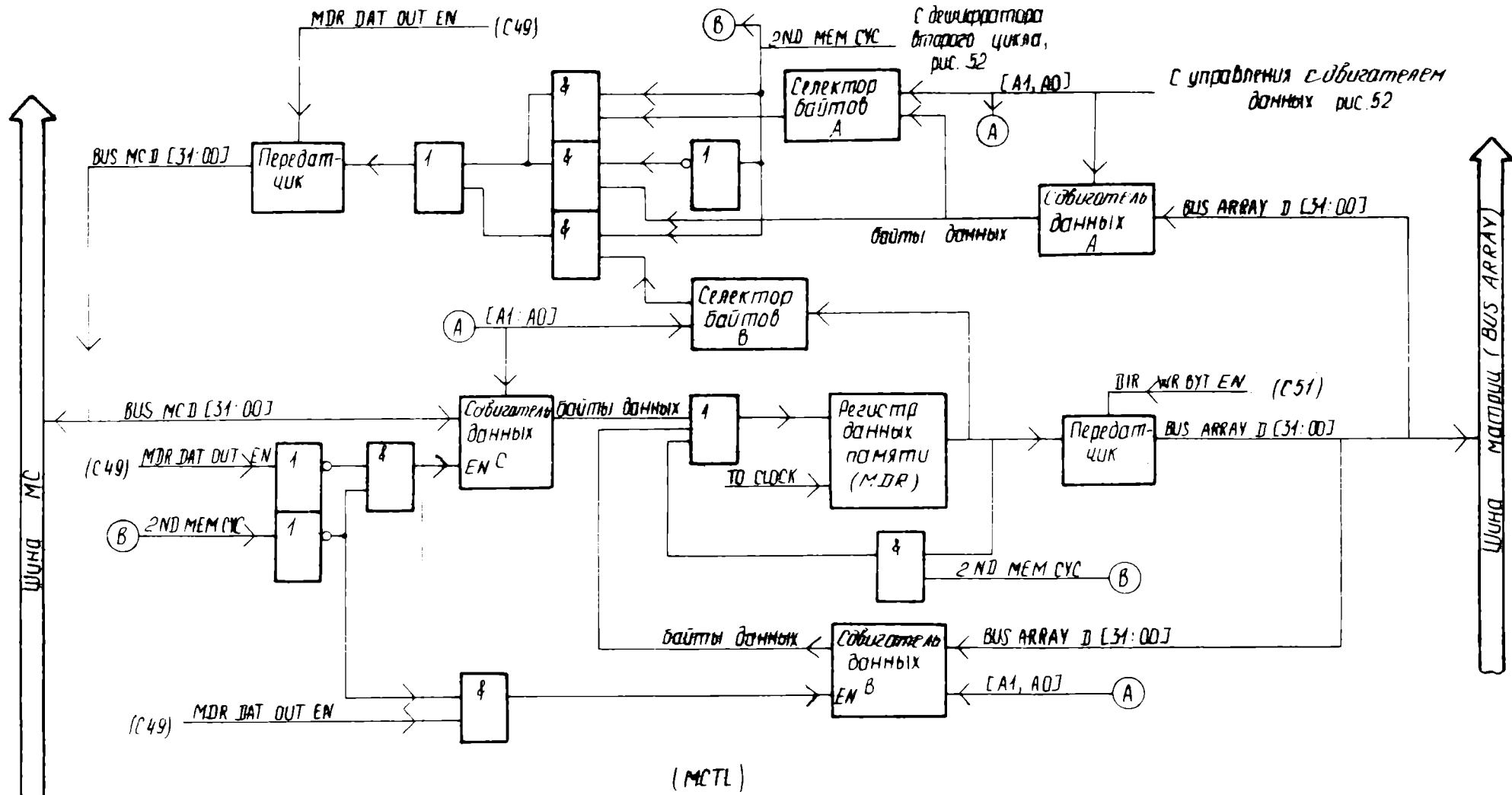


Рис. 49

Изм. № подл.	Подп. и дата	Взам. инв. №	Подп. и дата
17-1602	87.04.29		

Изм.	Лист	№ докум.	Подп.	Дата	3.057.048РЭ1	Лист
						49

Ина № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	87-87.04.29			

Алгоритм работы сдвигателя данных при чтении

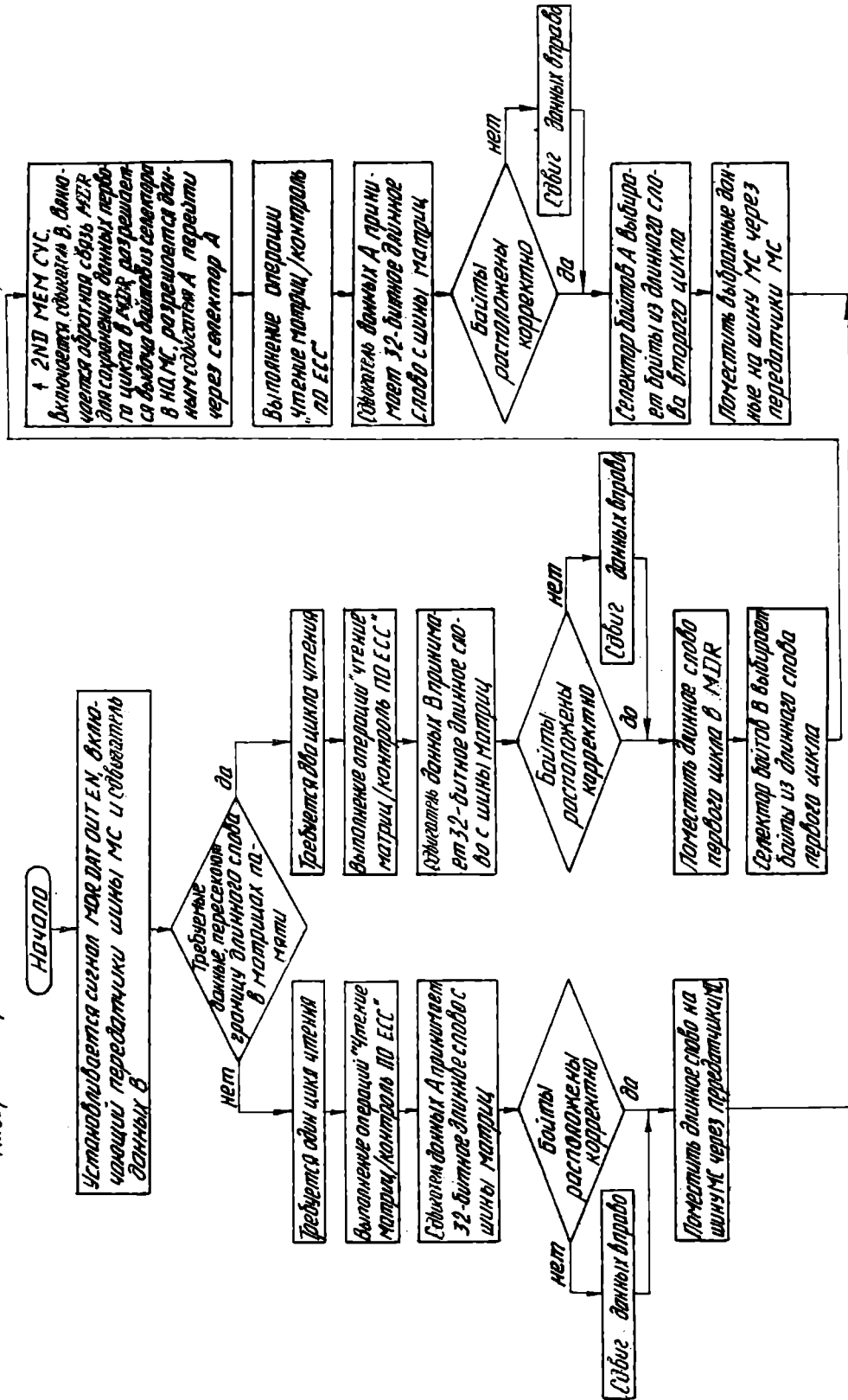


Рис. 50

3.057.048РЭ1

Лист 50

Алгоритм работы сдвигателя данных при записи

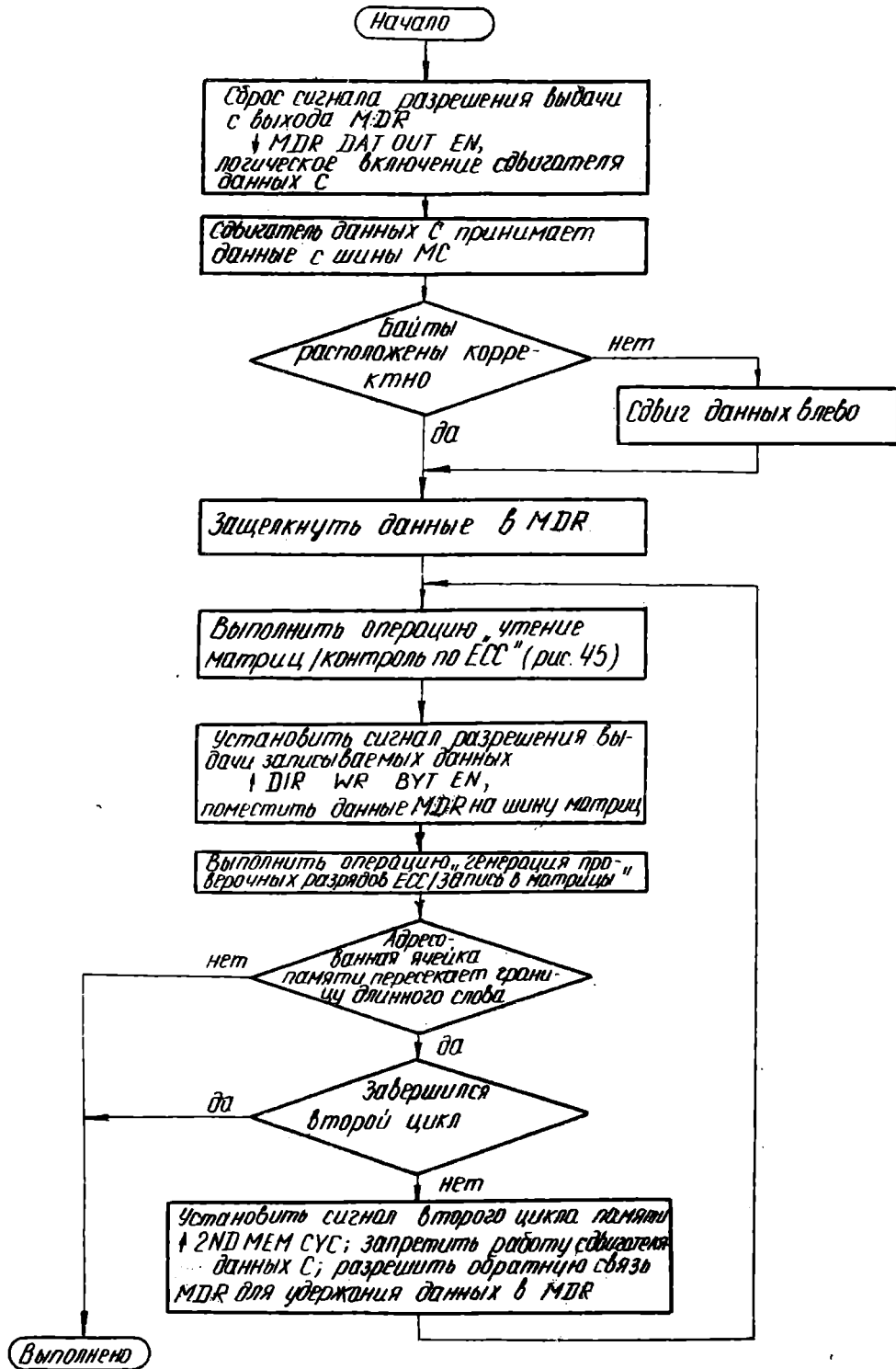


Рис. 51.

Изм. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
17-1602	87.04.29			

№	Лист	№ докум.	Подп.	Дата

3.057.048РЭ1

Лист
51

Управление сдвигом данных и схема выбора байта

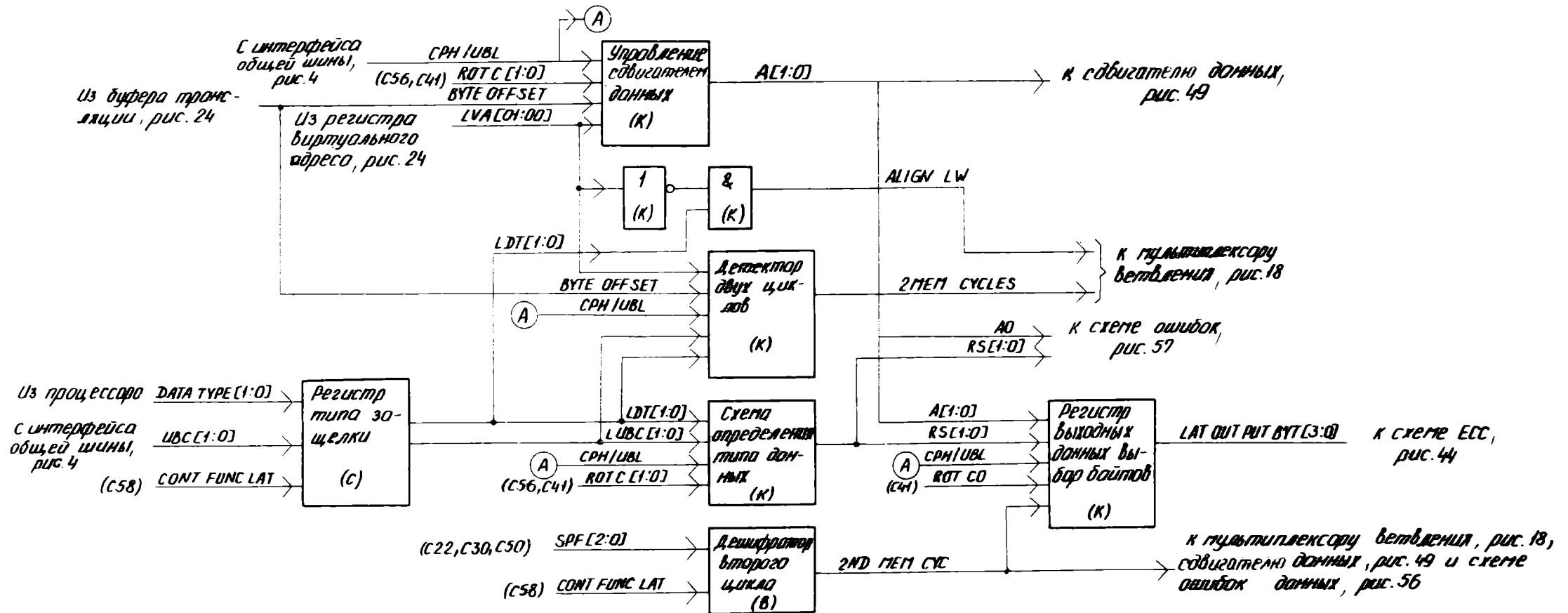


Рис. 52

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1602	84-8704.29			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

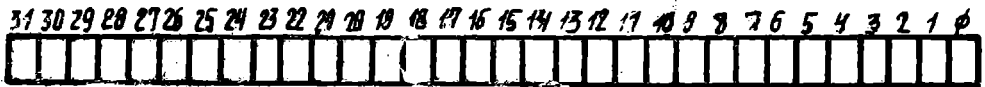
Авт

52

Копировал

Формат А3

Обозначение разрядов регистров CSR

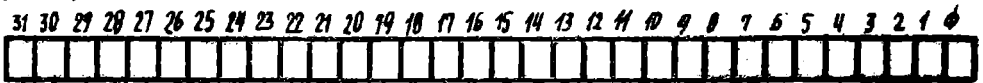


не используется

Т 32 16 8 4 2 1
 проверочные разряды или синдромы

A. CSRD

биты ошибок данных управляющие разряды разряды ошибок при обмене

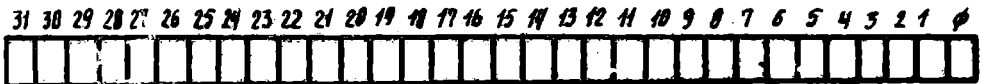


RDS
 CRD
 TB PAR DIAG
 INH REP CRD
 MME
 DIAG CHK
 ECC DIS

не используется Диагностические проверочные разряды

VALID
 TB PAR ERR
 NIM
 UB BSY
 ADAPT REG SEL
 WR ACROSS RG ERR
 DP ERR
 TB MISS
 ACCESS REF
 MODIFY REF
 не используется

B. CSR1, процессор / память



UB RDS не используются

UB NIM
 UB TB PAR ERR

не используются

WR NOT VALID

C. CSR 2, ДШ / память

Рис. 53

Изм. № подл.	Подп. и дата
17-1602	17.04.20
Изм. № инв.	Изм. № дубл.
Взам. инв. №	Подп. и дата
Изм. № инв.	Подп. и дата

Изм. № подл.	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
 53

БЛОК - СХЕМА CSR И СХЕМА ОШИБОК

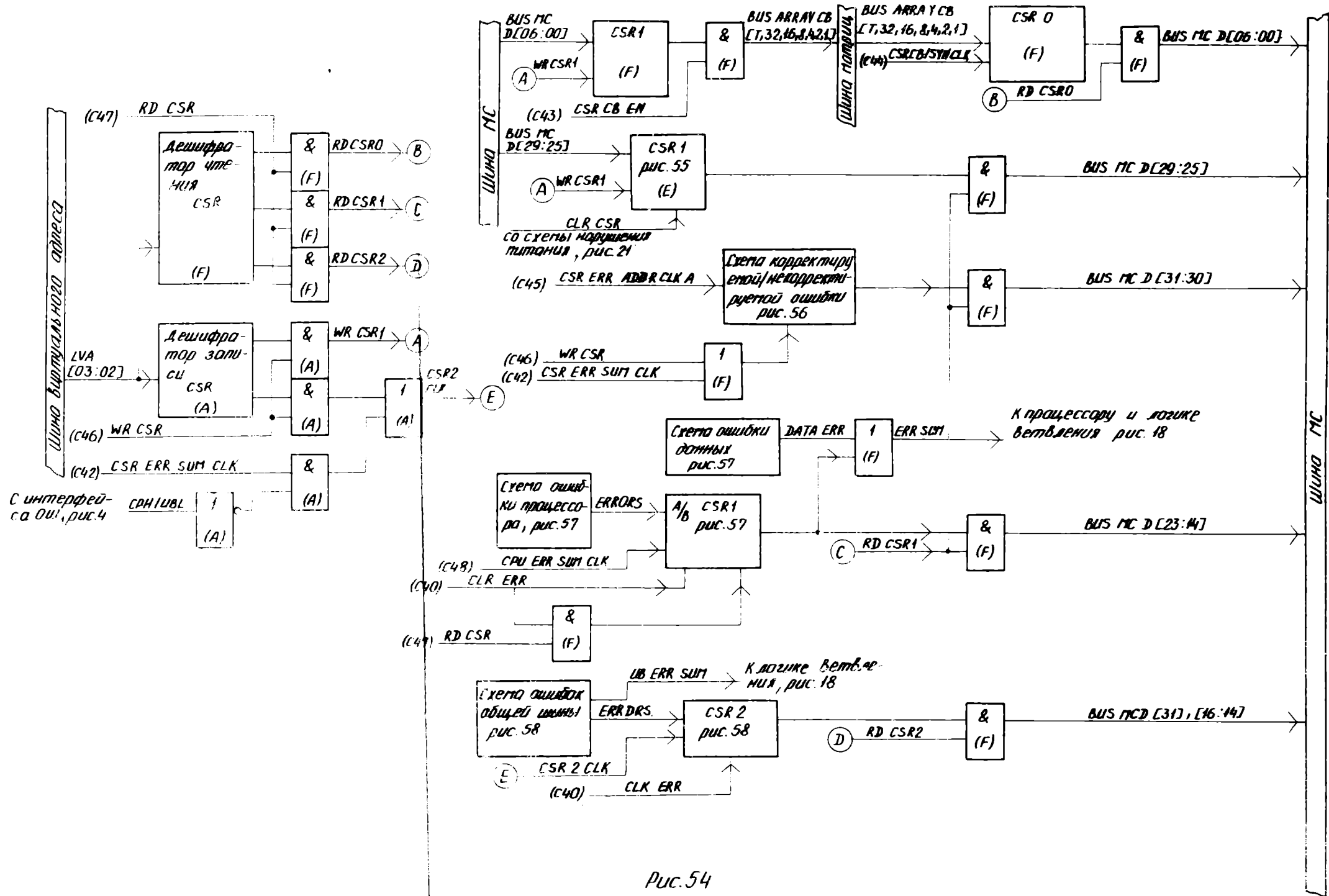


Рис. 54

Инв. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
17-1602	87.01.25			

Схема формирования битов CSR1 для управления памятью

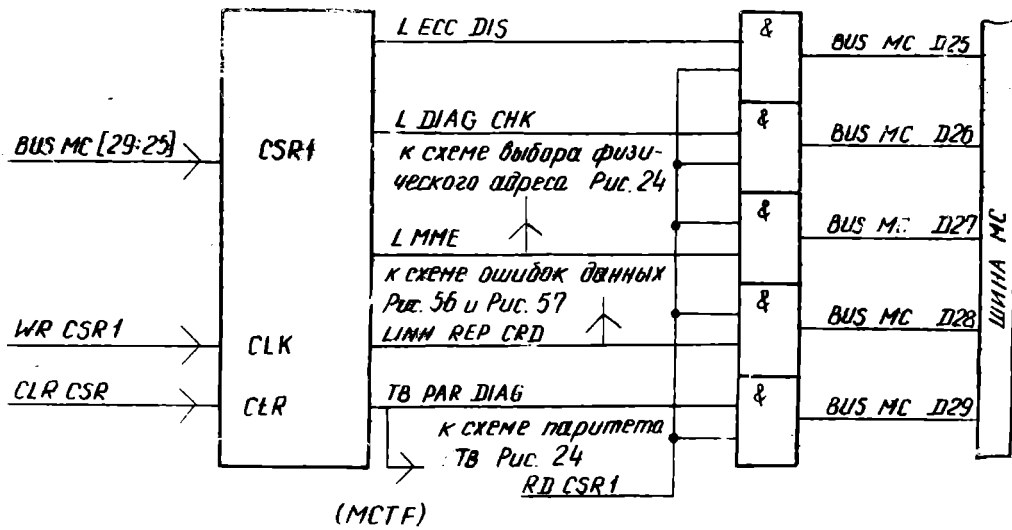


Рис. 55

Схема формирования битов CSR1 [30:31] при обмене между процессором и памятью

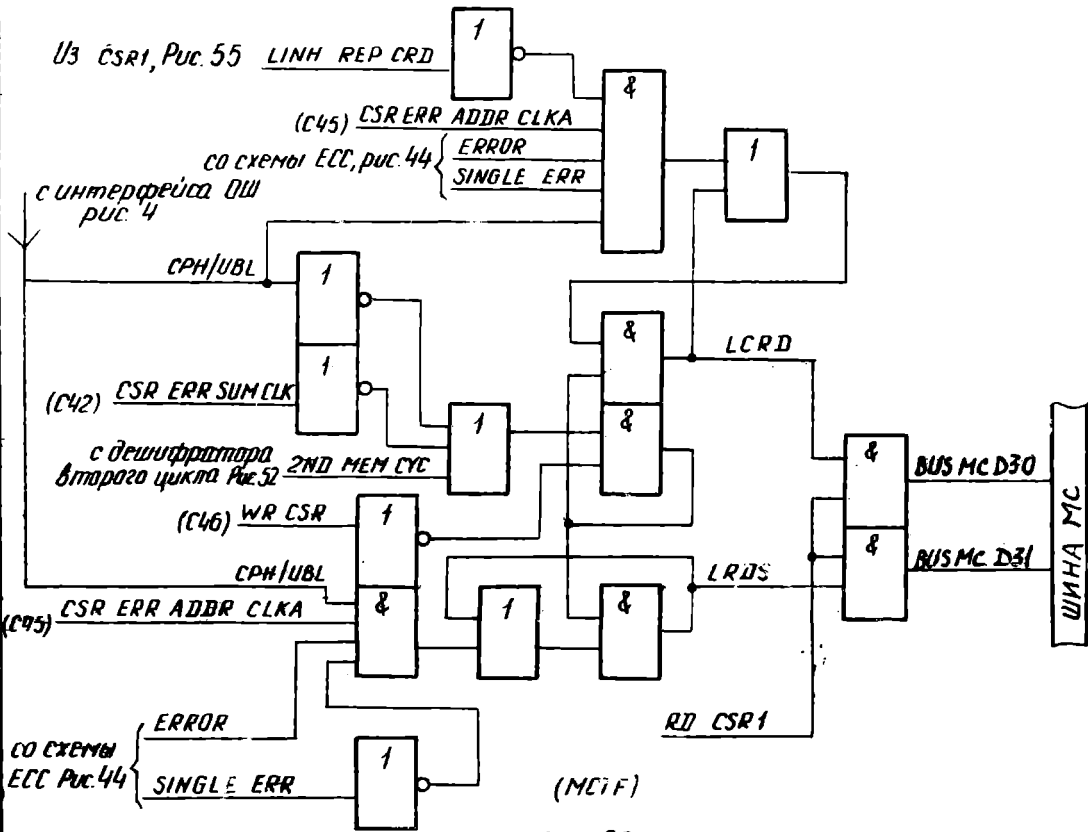


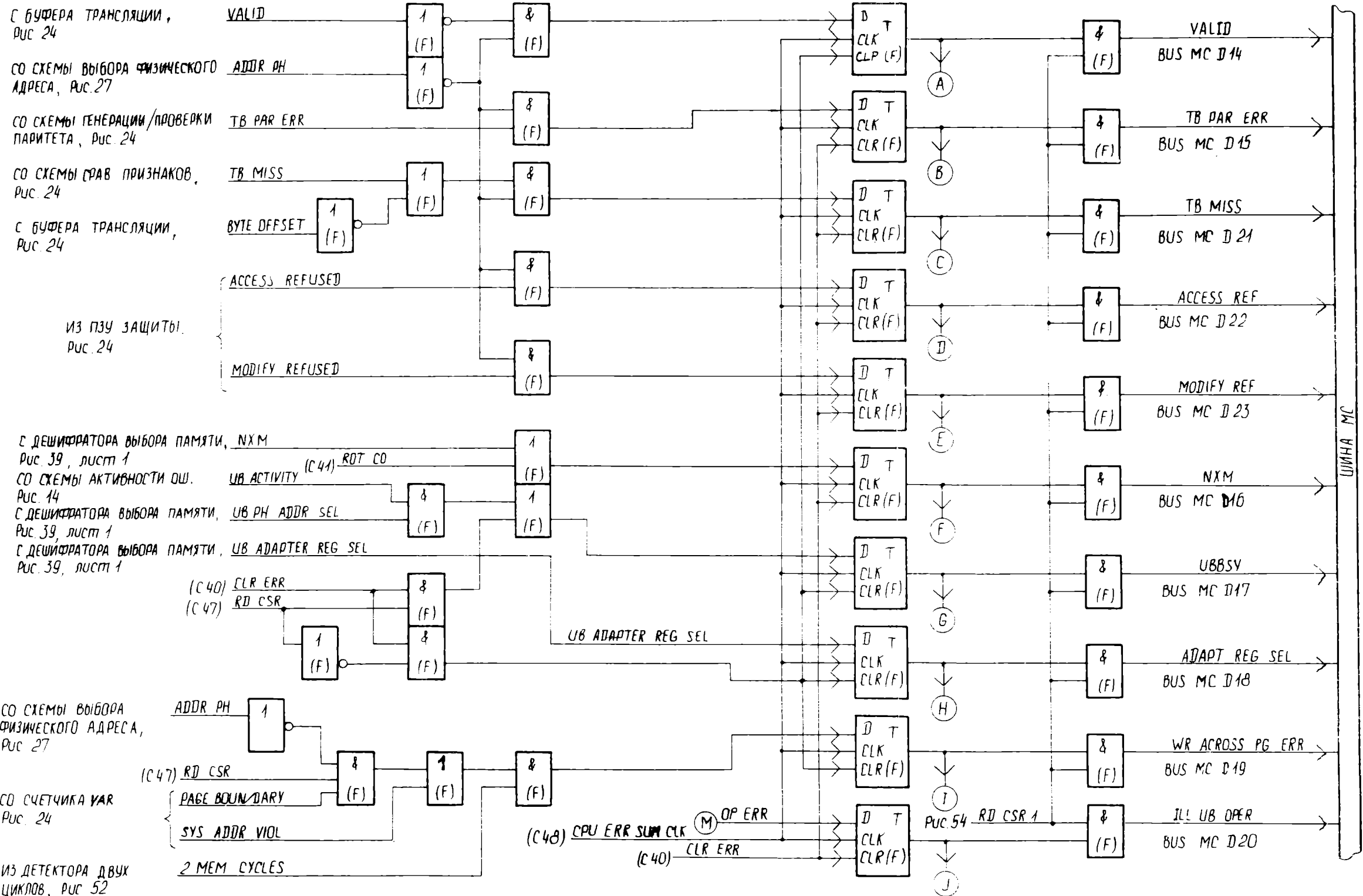
Рис. 56

Имя № подл.	Подп. и дата
17-1602	21.04.20
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата
ИИ	Лист
№ докум.	Подп.
Дата	Дата

3.057.048PЭ1.

Илуст
55

Схема формирования битов CSR1 при работе процессора с памятью и схема суммарной ошибки



ИЗ ПЗУ ЗАЩИТЫ.
PUC 24

С ДЕШИФРАТОРА ВЫБОРА ПАМЯТИ,
PUC 39, ЛУСТ 1

СО СХЕМЫ АКТИВНОСТИ ОШ.
PUC 14

С ДЕШИФРАТОРА ВЫБОРА ПАМЯТИ,
PUC 39, ЛУСТ 1

С ДЕШИФРАТОРА ВЫБОРА ПАМЯТИ,
PUC 39, ЛУСТ 1

(C40) CLR ERR
(C47) RD CSR

СО СХЕМЫ ВЫБОРА
ФИЗИЧЕСКОГО АДРЕСА,
PUC 27

СО СЧЕТЧИКА VAR
PUC 24

ИЗ ДЕТЕКТОРА ДВУХ
ЦИКЛОВ, PUC 52

Рис. 57 (лист 1)

Име. № подл. 17-1602
Подп. и дата 01.04.20
Взаим. инв. №
Име. № дубл.
Подп. и дата

Схема формирования битов ошибок CSR1 при работе процессора с памятью и схема суммарной ошибки

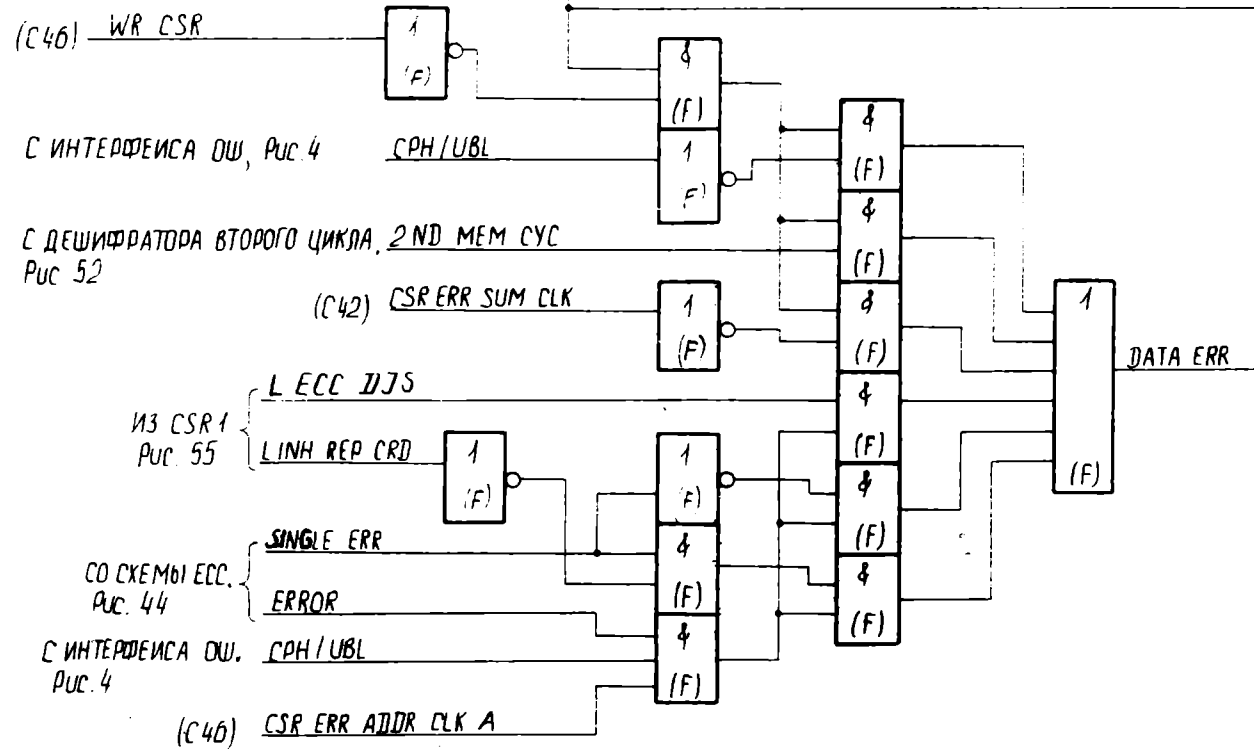
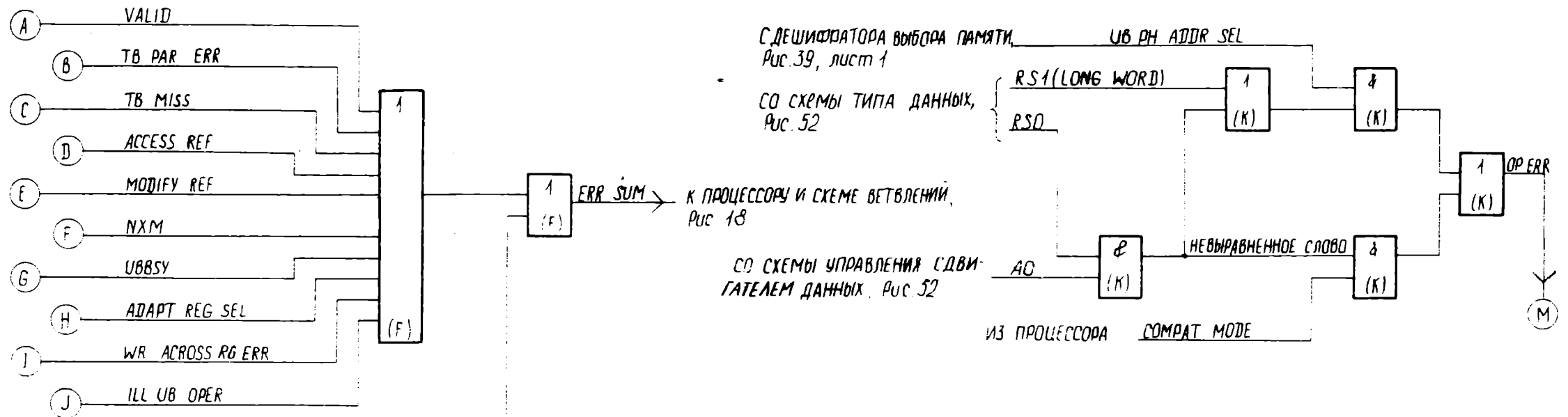


Рис. 57 (лист 2)

Изм. № подл.	77-1602
Подп. и дата	31.01.29
Взам. инв. №	
Изм. № дубл.	
Подп. и дата	

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048PЭI

Лист
57

Формат А3

Схема формирования битов ошибок в CSR2 при работе с памятью ОШ и схема суммарной ошибки

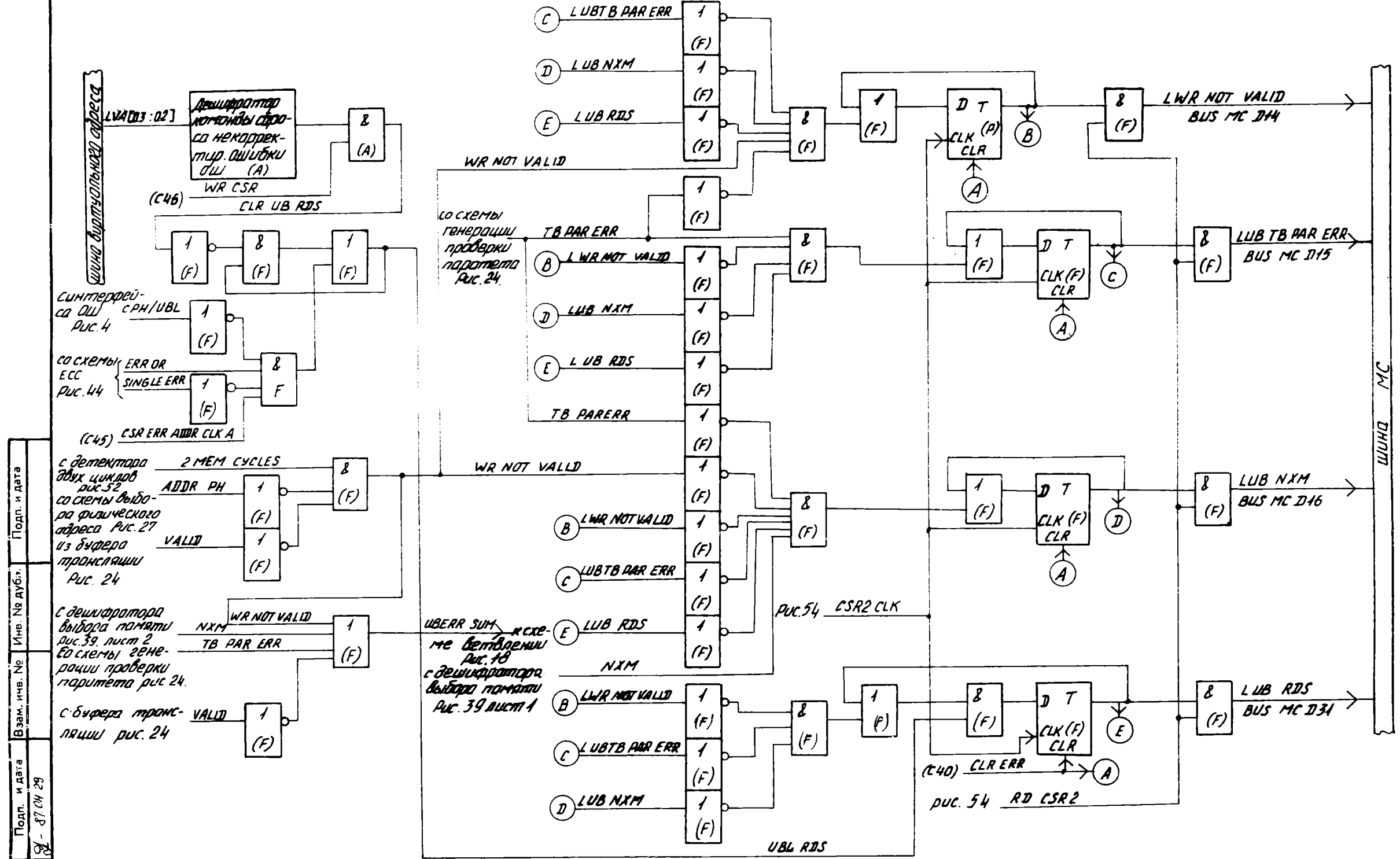


Рис. 58

Изм. № подл.	МТ-1602
Подп. и дата	87.04.29
Взам. инв. №	
Инд. № дубл.	
Подп. и дата	

Изм. № подл.	№ докум.	Подп.	Дата

3.057.048P3I

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопроводительного докум. и дата	Подпись	Дата
	измененных	добавленных	новых	аннулированных					

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1602	<i>В.В.</i> - 27.04.29			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.048РЭІ

Лист
59

Копировал

Формат А4