

ВЫЧИСЛИТЕЛЬНЫЙ КОМПЛЕКС СМ1700 (АРМ СМ1700-М)

Заводской № 0191 Год выпуска 19 85

КОНТРОЛЛЕР НМД СМ5015

Руководство по эксплуатации

Часть I

3.057.052 РЭ

Книга

OldPC.ru

2158

музей компьютеров

УТВЕРЖДЕН  
3.057.052PЭ-IV

КОНТРОЛЛЕР НМЛ СМ 5015  
Руководство по эксплуатации  
Часть I  
3.057.052PЭ

№ инв. № инв.	№ инв. № дубл.	Подп. и дата
41-1716		
Подп. и дата		
21-08-88		

OldPC.ru  
2158  
музей компьютеров



### СОСТАВ ДОКУМЕНТА

Документ состоит из двух частей:

часть I - 3.057.052РЭ "Контроллер НМЛ СМ 5015. Руководство по эксплуатации", в которой изложен текстовый материал, описывающий принцип работы, технические характеристики и условия эксплуатации контроллера;

часть 2 - 3.057.052РЭИ "Контроллер НМЛ СМ 5015. Руководство по эксплуатации. Приложение", в которой даны рисунки, поясняющие текст первой части (всего 8 рисунков).

Имя, фамилия

Стр. №

Подп. и дата

Взам. инв. №

Инд. № дубл.

Подп. и дата

Имя, № подл.

17. 1916

Подп. и дата  
17. 05. 25

3.057.052РЭ

КОНТРОЛЛЕР НМЛ СМ 5015  
Руководство по эксплуатации  
Часть I

Лит.	Стр.	Страниц
	3	81

Согласован

Формат А4

**СОДЕРЖАНИЕ**

	Стр.
Часть I	
I. Введение .....	5
2. Назначение	6
3. Общие указания	7
4. Технические данные	8
5. Указание мер безопасности	10
6. Устройство и работа контроллера	11
7. Программирование	28
8. Функциональное описание контроллера	49
9. Подготовка к работе	66
10. Техническое обслуживание	67
II. Возможные неисправности и способы их устранения	68
12. Транспортирование и хранение	70
Часть 2. 3.057.052РЭ1. Приложение	

Стр.					
4	3.057.052РЭ				
		Изм.	Лист	№ докум.	Подп.

Копирован

## 1. ВВЕДЕНИЕ

1.1. Настоящее руководство по эксплуатации 3.057.052РЭ (в дальнейшем РЭ) предназначено для изучения контроллера НМЛ СМ 5015 (в дальнейшем контроллер), принципов его работы и обеспечения правильной эксплуатации.

1.2. При изучении, эксплуатации и техническом обслуживании необходимо пользоваться эксплуатационной документацией контроллера, а также нижеперечисленными дополнительными документами:

В23.060.016Т0 "Накопитель на магнитной ленте СМ 5309. Техническое описание".

В23.060.016ИЭ "Накопитель на магнитной ленте СМ 5309. Инструкция по эксплуатации и ремонту".

Ц13.057.017Т0 "Форматер ИЗОТ 5004С. Техническое описание".

Ц13.057.017ИЭ "Форматер ИЗОТ 5004С. Инструкция по эксплуатации"

3.060.066РЭ "Устройство запоминающее внешнее СМ I700.5309. Руководство по эксплуатации."

1.3. Перечень условных сокращений, принятых в настоящем РЭ, приведен в табл. 26.

Изм. № подл.	Подл. и дата	Взам. инв. №	Инд. № дубл.	Подл. и дата
17-1716	№ - 87.5.25			
Изм.	Инд.	№ докум.	Подл.	Дата
3.057.052РЭ				Стр.
				5

Копировал

Формат А4

## 2. НАЗНАЧЕНИЕ

2.1. Контроллер предназначен для подключения накопителей на магнитной ленте СМ 5309 (в дальнейшем НМЛ), имеющих рабочую скорость движения магнитной ленты до 2 м/с, два способа записи (БВН-I и ФК), а также выход на индустриальный интерфейс (интерфейс Pertec или ИНМЛ-II) к вычислительному комплексу (в дальнейшем ВК) СМ 1700, через интерфейс ОБЩАЯ ШИНА (ОШ) согласно ОСТ 25 795-78 "СМ ЭВМ. Интерфейс ОБЩАЯ ШИНА".

2.2. Контроллер предназначен для круглосуточной эксплуатации, за исключением времени профилактики, в качестве устанавливаемого в шкаф изделия по категории 3б по ГОСТ 20397-82.

Контроллер должен быть работоспособным при следующих условиях эксплуатации:

- 1) температура окружающего воздуха от плюс 5 до плюс 55 °С;
- 2) относительная влажность воздуха от 40 до 90 % при температуре плюс 30 °С;
- 3) атмосферное давление от 84 до 107 кПа;
- 4) вибрация частотой до 25 Нз с амплитудой не более 0,1 мм.

Стр.	3.057.052РЭ				
6		Измен.	Исполн.	Подп.	Дата

### 3. ОБЩИЕ УКАЗАНИЯ

3.1. Техническое обслуживание контроллера должно выполняться инженерно-техническим персоналом, прошедшим обучение по эксплуатации средств вычислительной техники и обслуживающего ВК СМ I700, в состав которого входит контроллер.

3.2. Для подготовки контроллера к эксплуатации после транспортирования и хранения в зимних условиях должно быть предусмотрено время выдержки его в нормальных условиях эксплуатации в упаковке в течение 4h.

3.3. При вводе в эксплуатацию проверяется:

- 1) комплект поставки на соответствие 3.057.052ПС;
- 2) работоспособность контроллера при помощи тестового и программного обеспечения ВК СМ I700 в соответствии с разделом IO по техническому обслуживанию 3.057.052РЭ.

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052РЭ	Стр.
						7
Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата		
17 - 1716	81 - 87.05.25					

Копировал

Формат А4



#### 4. ТЕХНИЧЕСКИЕ ДАННЫЕ

4.1. Контроллер обеспечивает подключение НМЛ, имеющих скорость движения магнитной ленты до 2 м/с (в частности НМЛ СМ 5309 с форматером ИЗОТ 5004С или аналогичным) к ВК СМ I700.

4.2. Скорость передачи информации между контроллером и ВК СМ I700 72 К *byte/s* при методе записи ФК и 36 К *byte/s* при методе записи БВН-I. Передача данных осуществляется в режиме прямого доступа через интерфейс ОШ.

4.3. Связь контроллера с НМЛ осуществляется через форматер ИЗОТ 5004С (в дальнейшем форматер). Форматер выполняет следующие основные функции:

1) управляет синхронизацией и форматом данных, передаваемых накопителю;

2) обеспечивает контроль достоверности информации;

3) следит за состоянием накопителя и процессом обмена данных с накопителем и передает эту информацию контроллеру;

4) формирует все дискретные сигналы управления накопителем.

4.4. Контроллер обеспечивает логическое подключение одного НМЛ с форматером. Физически к контроллеру можно подключить один НМЛ с форматером и тремя дополнительными НМЛ.

4.5. Контроллер выполняет следующие основные функции:

1) буферизация и синхронизация передачи данных и состояния между шинами ввода/вывода процессора ВК СМ I700 и форматера;

2) передача команды процессора форматеру в виде сигналов READ (ЧТЕНИЕ), REVERSE (ЧТЕНИЕ НАЗАД), WRITE (ЗАПИСЬ), WRITE TAPE MARK (ЗАПИСЬ МАРКЕРА ЛЕНТЫ), ERASE (СТИРАНИЕ) и т.д.

4.6. Электропитание контроллера осуществляется через блок частичный вычислительной машины СМ 2700 от стабилизированного источника электропитания с напряжением плюс 5V.

Стр.

3.057.052РЭ

8

Изм. Внос. Изд. дата. Подп. Дата

Контроль

4.7. Ток, потребляемый от стабилизированного источника электропитания, не более 6А.

4.8. Показатели надежности:

- 1) средняя наработка на отказ - не менее 50000 ч;
- 2) среднее время восстановления - не более 0,75 ч;
- 3) коэффициент технического использования не менее 0,98.

4.9. Габаритные размеры контроллера (высота x ширина x длина), мм, должны быть не более 18 x 285 x 427.

4.10. Масса контроллера не должна превышать 1,5 кг.

Изм. №	№ подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
1	116	И. - 27.05.25			
Имя	Фамилия	№ докум.	Год	Дата	
3.057.052РЭ					Стр.
					9

## 5. УКАЗАНИЕ МЕР БЕЗОПАСНОСТИ

5.1. Эксплуатация контроллера должна выполняться инженерно-техническим персоналом, имеющим удостоверение на право его эксплуатации.

5.2. Обслуживающий инженерно-технический персонал должен регулярно проходить инструктаж и выполнять все требования электробезопасности. Не допускаются к работе лица, незнакомленные с настоящим РЭ.

5.3. Приступая к работе с контроллером, необходимо убедиться в:

- 1) исправности кабельных соединений;
- 2) отсутствии замыкания между шинами заземления и питающего напряжения.

5.4. Не подключать и не отключать разъемы жгутов контроллера при включенном напряжении питания.

5.5. Не оставлять контроллер под напряжением без наблюдения.

5.6. Техническое обслуживание и ремонт контроллера допускается производить только инструментом, рабочее напряжение которого не превышает 36 В. Рабочие органы инструмента и его корпуса должны быть заземлены.

5.7. В помещениях, предназначенных для эксплуатации, должны быть предусмотрены противопожарные меры безопасности.

Стр.	3.057.052РЭ				
№		Изм.	Лист	№ докум.	Подп.

Копировал

## 6. УСТРОЙСТВО И РАБОТА КОНТРОЛЛЕРА

6.1. Основным синхронизирующим и времязадающим элементом контроллера является микропроцессор. Управляющая информация размещена в виде инструкций управления в постоянной памяти. Некоторая часть постоянной памяти содержит диагностическую программу для проверки функционирования контроллера. Диагностическая программа самопроверки контроллера выполняется автоматически после включения питания или по команде диагностики от процессора. Вывешивание индикатора диагностики на плате контроллера указывает на то, что тест самопроверки успешно завершен.

6.2. Контроллер является связывающим звеном между процессором ВК (с интерфейсом ОШ) и одним из четырех накопителей на магнитной ленте. Контроллер выполняет следующие основные функции:

1) буферизирует и передает данные и информацию о состоянии по шинам ввода/вывода ВК;

2) трансформирует командные слова программы ВК на управляющие сигналы форматеру;

3) буферизирует и передает данные и информацию о состоянии между контроллером и форматером.

6.3. Форматер выполняет следующие основные функции:

1) управляет синхронизацией и форматом данных, передаваемых накопителю;

2) следит за состоянием накопителя и процессом обмена данных с накопителем, а также передает эту информацию контроллеру;

3) формирует все дискретные сигналы управления накопителем.

6.4. К контроллеру можно подключить один НМЛ с форматером и три добавочных накопителя. В 3.057.052PЭГ на рис. 1 изображена упрощенная схема подключения накопителей, форматера и контроллера

Инв. № покл. 17-1716	Подп. и дата 31 - 27.05.25	Взам. инв. №	Инв. № дубл.	Подп. и дата	3.057.052PЭ	Стр. 11

Копировал

Формат А4

к ВК СМ I700.

6.5. Передача данных, команд и слова состояния между ВК и контроллером осуществляется по интерфейсу ОШ. Данные и слова уточненного состояния передаются в режиме прямого доступа.

Команды и основное слово состояния передаются в программируемом режиме ввода/вывода под управлением прерывания. Интерфейсные линии контроллер/ОБЩАЯ ШИНА приведены в табл. I.

Сигналы интерфейса ОБЩАЯ ШИНА

Таблица I

Номер контак-та конт-роллера	Сокращенное обозначение		Наименование и краткое описание
	Английское	Русское	
2A16	D15L	Д15	Линия данных бит I5. 16 линий данных от D15L до D00L используются для передачи данных и информации управления/состояния между процессором и контроллером
2A17	D14L	Д14	Линия данных бит I4
2C18	D13L	Д13	Линия данных бит I3
2C19	D12L	Д12	Линия данных бит I2
2C11	D11L	Д11	Линия данных бит I1
2C21	D10L	Д10	Линия данных бит I0
2C22	D09L	Д09	Линия данных бит 9
2C23	D08L	Д08	Линия данных бит 8
2C24	D07L	Д07	Линия данных бит 7
2A31	D06L	Д06	Линия данных бит 6
2A25	D05L	Д05	Линия данных бит 5
2A21	D04L	Д04	Линия данных бит 4
2A29	D03L	Д03	Линия данных бит 3
2C31	D02L	Д02	Линия данных бит 2

Стр.	3.057.052РЭ				
12		Изм.	Лист	№ докум.	Подп.

Копирован

Продолжение табл. I

Номер контакта контроллера	Сокращенное обозначение		Наименование и краткое описание
	Английское	Русское	
2A27	D01L	ДО1	Линия данных бит I
2A28	D00L	ДОО	Линия данных бит 0
3C25	AI7L	AI7	Линия адреса бит I7. I8 линий адреса от AI7L по A00L используются для адресации памяти или регистров периферийных устройств. Адресная информация помещается на адресных линиях устройством-задатчиком, принимается и декодируется устройством-исполнителем. После установки адреса на адресных линиях устройство-задатчик либо высылает либо получает данные по линиям данных
3A25	AI6L	AI6	Линия адреса бит I6
3A24	AI5L	AI5	Линия адреса бит I5
3C3I	AI4L	AI4	Линия адреса бит I4
3A3I	AI3L	AI3	Линия адреса бит I3
3C24	AI2L	AI2	Линия адреса бит I2
4A03	AII L	AII	Линия адреса бит II
4A07	AIO L	AIO	Линия адреса бит IO
4A08	A09 L	A09	Линия адреса бит 9
4A04	A08 L	A08	Линия адреса бит 8
4C06	A07 L	A07	Линия адреса бит 7
4AII	A06 L	A06	Линия адреса бит 6
4AI4	A05 L	A05	Линия адреса бит 5
4CII	A04 L	A04	Линия адреса бит 4
4AI2	A03 L	A03	Линия адреса бит 3

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
41-4716	87.05.25			

Изд.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.  
13

Копирован

Формат А4

Продолжение табл. I

Номер кон- такта конт- роллера	Сокращенное обозначение		Наименование и краткое описание
	Английское	Русское	
3C28	A02 L	A02	Линия адреса бит 2
3C2I	A0I L	A0I	Линия адреса бит I
3A28	A00 L	A00	Линия адреса бит 0
3A27	CI L	UI	Бит управления операциями I
3A29	CO L	UO	Бит управления операциями 0 Вид операций: 1) CIL = 0, COL = 0 - DATI (ввод данных в задатчик); 2) CIL = I, COL = 0 - DATO (вывод данных из задатчика); 3) CIL = I, COL = I - DATOB (вывод байта данных из задат- чика).
3C04	BR7 L	ЗП7	Запрос передачи 7. По одной из линий BR7L... BR4L контрол- лер выставляет сигнал запроса для захвата шины с целью пе- редачи вектора прерывания в процессор
3C06	BR6 L	ЗП6	Запрос передачи 6
3C07	BR5 L	ЗП5	Запрос передачи 5
3C08	BR4 L	ЗП4	Запрос передачи 4
3CI2	BG7INH	РП7 вх	Разрешение передачи 7 входной. Ответ процессора на соответ- ствующие сигналы запроса передачи.
3CI4	BG6INH	РП6 вх	Разрешение передачи 6 входной
3CI6	BG5INH	РП5 вх	Разрешение передачи 5 входной
3CI9	BG4INH	РП4 вх	Разрешение передачи 4 входной
3AI2	BG7OUTH	РП7 вых	Разрешение передачи 7 выходной

Стр.

3.057.052P3

14

Изм. Лист № докум. Подл. Дата

Копирован

Продолжение табл. I

Номер контакта контроллера	Сокращенное обозначение		Наименование и краткое описание
	Английское	Русское	
3A14	BG6 OUT H	РП6 вых	Разрешение передачи 6 выходной
3A16	BG5 OUT H	РП5 вых	Разрешение передачи 5 выходной
3A19	BG4 OUT H	РП4 вых	Разрешение передачи 4 выходной
4A19	NPR L	ЗПД	Запрос прямого доступа. Требование контроллера на захват шины с целью обмена данными с памятью
3C02	NP6 IN H	РПД вх	Разрешение прямого доступа входной. Ответ процессора на сигнал запроса прямого доступа.
3A02	NP6 OUT H	РПД вых	Разрешение прямого доступа выходной
4A29	SACK L	ПВБ	Подтверждение выборки. Контроллер выставляет сигнал в ответ на сигнал NP6 или один из сигналов BG4...BG7 процессора. Установка SACKL означает, что контроллер станет задатчиком после завершения операции на шине текущим задатчиком
4C15	BBSYL	ЗАН	Шина занята. Сигнал устанавливается задатчиком и указывает, что шина занята текущим задатчиком.
3C27	MSYN L	СХЗ	Синхронизация задатчика. Сигнал устанавливается задатчиком и указывает, что адрес и управляющая информация помещены на шине

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1716	21.05.85			

Изм.	Взам.	№ докум.	Подп.	Дата

3.057.052P9

Стр.

15



Продолжение табл. I

Номер контакта контроллера	Сокращенное обозначение		Наименование и краткое описание
	Английское	Русское	
3C29	SSYNL	СХИ	Синхронизация исполнителя. Сигнал устанавливается исполнителем в ответ на сигналы MSYN или INTRL задатчика.
4A23	INTRL	ПРЕР	Прерывание. Контроллер, будучи задатчиком, устанавливает этот сигнал и указывает процессору, что на подшине данных помещен вектор прерывания
3AII	INITL	ПОДГ	Подготовка. Выставляется процессором для сброса в начальное состояние всех устройств, подключенных к шине
2A24	DCLOL	АИП	Авария источника питания

6.6. Перечень сигналов интерфейса между контроллером и форматером приведен в табл. 2 и табл. 3

Сигналы, передаваемые контроллером форматеру

Таблица 2

Номер вилки и контакта контроллера	Сокращенное обозначение	Наименование и краткое описание
X6/55	FWD7 L	Шина записи 7 разряд
X6/59	FWD6 L	Шина записи 6 разряд
X6/57	FWD5 L	Шина записи 5 разряд
X6/45	FWD4 L	Шина записи 4 разряд
X6/53	FWD3 L	Шина записи 3 разряд
X6/51	FWD2 L	Шина записи 2 разряд

Стр.

3.057.052PЭ

16

Изм. Внес. Изданием. Подп. Дата

Композит

Номер вилки контакта контроллера	Сокращенное обозначение	Наименование и краткое описание															
X6/4I	FWDL	Шина записи I разряд															
X6/3I	FWDDL	Шина записи 0 разряд															
X6/35	FWDP L	Шина записи контрольный разряд															
X6/39	FGO L	Старт. Инициализация команды															
X6/37	FFEN L	Форматер разрешен. Сигнал разрешения работы форматера															
X6/33	FFAD L	Форматер-адрес															
X6/I7	FTADDL	Младший разряд адреса накопителя															
X6/O3	FTAD1L	Старший разряд адреса накопителя. Дешифрация адреса накопителя:															
		<table border="1"> <tr> <td>FTAD0</td> <td>FTAD1</td> <td>АДРЕС</td> </tr> <tr> <td>0</td> <td>0</td> <td>НМЛО</td> </tr> <tr> <td>0</td> <td>I</td> <td>НМЛI</td> </tr> <tr> <td>I</td> <td>0</td> <td>НМЛ2</td> </tr> <tr> <td>I</td> <td>I</td> <td>НМЛ3</td> </tr> </table>	FTAD0	FTAD1	АДРЕС	0	0	НМЛО	0	I	НМЛI	I	0	НМЛ2	I	I	НМЛ3
FTAD0	FTAD1	АДРЕС															
0	0	НМЛО															
0	I	НМЛI															
I	0	НМЛ2															
I	I	НМЛ3															
X6/II	FREV L	Установить движение назад															
X6/I5	FWRTL	Установить состояние записи															
X6/25	FWFML	Запись маркера ленты															
X6/23	FEDITL	Установить перезапись															
X6/2I	FERASEL	Стирание															
X6/47	FRTM L	Установить уровень ограничения I															
X6/43	FRTM2L	Установить уровень ограничения 2															
X6/29	FREW L	Установить высокую скорость															
X6/27	FDFL L	Установить местное управление															
X6/I3	FDEN L	Установить НМI в состоянии БВН-I															
X6/49	FLWDL	Последний информационный байт при записи															

Имя, № проп.	Полн. и дати	В зап. кат. №	Имя, № дубл.	Полн. и дата
17-1716	31-87.06.25			

Имя	Плест	№ докум.	Подл.	Дата	3.057.052PЭ	Стр. 17
-----	-------	----------	-------	------	-------------	---------

Сигналы, передаваемые форматером контроллеру

Таблица 3

Номер вилки и контакта контроллера	Сокращенное обозначение	Наименование и краткое описание
X5/25	FRD7 L	Шина воспроизведения 7 разряд
X5/23	FRD6 L	Шина воспроизведения 6 разряд
X5/05	FRD5 L	Шина воспроизведения 5 разряд
X5/57	FRD4 L	Шина воспроизведения 4 разряд
X5/19	FRD3 L	Шина воспроизведения 3 разряд
X5/17	FRD2 L	Шина воспроизведения 2 разряд
X5/21	FRD1 L	Шина воспроизведения I разряд
X5/59	FRD0 L	Шина воспроизведения 0 разряд
X5/55	FRDPL	Шина воспроизведения контрольный разряд
X5/11	FRSTR L	Импульс сопровождения воспроизведения
X5/51	FDWDSL	Импульс сопровождения записи
X5/39	FHER L	Некорректируемая ошибка
X5/35	FCER L	Корректируемая ошибка
X5/29	FFMK L	Маркер ленты
X5/07	FRDY L	Готовность
X5/41	FONL L	Сигнал дистанционного управления
X5/47	FRWDL	Состояние высокой скорости
X5/15	FFPT L	Состояние защиты записи
X5/37	FLDPL	Состояние начала ленты
X5/33	FEOT L	Состояние конца ленты
X5/45	FNRZ L	Состояние БН-I
X5/27	FFBY L	Форматер занят
X5/31	FDBY L	Данные заняты
X5/49	FCCG/IDL	Идентификатор ФК/контрольные байты БН

Стр.

3.057.052PЭ

18

Копирован

6.7. В контроллере имеются два адресуемые регистра:

- 1) регистр данных/адреса (TSDB/TSPA) с адресом 772520<sub>8</sub>;
- 2) регистр состояния (TSSR) с адресом 772522<sub>8</sub>.

Здесь указаны адреса регистров для обслуживания накопителя с номером 0. Адреса регистров для обслуживания накопителей с номерами 1, 2 и 3 получают последовательным прибавлением цифры 4<sub>8</sub> к адресам регистров для обслуживания предыдущих устройств.

6.8. Адрес вектора прерывания 224<sub>8</sub> для накопителя с номером 0. Адрес вектора прерывания для накопителей с номерами 1, 2 и 3 устанавливаются при помощи переключателей.

6.9. Используемый уровень приоритета -5. Он устанавливается на плате контроллера перемычкой.

6.10. Конструкция контроллера

6.10.1. Вся аппаратура контроллера расположена на одной печатной плате. Для подключения контроллера к интерфейсу ОШ используются четыре соединителя типа СНИ-59-64, установленные на плате контроллера. Для подключения кабелей связи с форматером на плате контроллера установлены два соединителя типа ОНП-КР-56,

6.10.2. Для фиксации контроллера в блоке на плате контроллера установлены два зажима-фиксатора.

6.10.3. Плата контроллера содержит несколько групп перемычек и блок из десяти переключателей, что позволяет пользователю варьировать конфигурацией подсистемы. Если какая-то группа параметров или режимов не меняется в течение длительного промежутка эксплуатации, то для их модификации используются перемычки. Те параметры или режимы, которые могут часто меняться в ходе эксплуатации контроллера - модифицируются переключателями. Контроллер поставляется пользователю с перемычками и переключателями в положениях так называемой начальной конфигурации, которая соответствует конфигурации с подключенным НМД СМ 5309.

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052РЭ	Стр.
						19
Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата		
11-1716	87.05.25					

6.10.4. Так как положение переключателей приходится менять сравнительно редко, начальная конфигурация переключателей осуществлена печатным монтажом. Следовательно, для изменения конфигурации, следует обрезать печатный проводник и провести требуемую переключку навесным проводником. Ниже приводится назначение каждой группы переключателей и блока переключателей.

#### 6.II. Выборка адреса контроллера

6.II.I. Переключатель между точкой 5 и точкой I...4 позволяет менять адреса регистров TSDB/TSBA и TSSR контроллера. Это дает возможность к ВК подключить 4 контроллера, задавая им различные адреса. Адреса регистров, соответствующие начальной конфигурации переключателей:

$$TSDB/TSBA = 772520_8;$$

$$TSSR = 772522_8.$$

6.II.2. В табл. 4 приведены возможные положения переключателей и соответствующие этим положениям адреса регистров.

#### Выборка адреса контроллера

Таблица 4

Адреса регистров I <sub>6</sub>		Номер ИМЛ	Положение переключателей
TSDB/TSBA	TSSR		
772420	772422	0	4-5
772424	772426	1	
772430	772432	2	
772434	772436	3	
772520	772522	0	4-5
772524	772526	1	
772530	772532	2	
772534	772536	3	

Стр.

3.057.052РЭ

20

Изм.	Доп.	Исп.	Подп.	Дата

Копирован

Продолжение табл. 4

Адреса регистров I6		Номер НМЛ	Положение перемычек
TSD B /TSBA	TSSR		
772620	772622	0	3-5
772624	772626	1	
772630	772632	2	
772634	772636	3	
772720	772722	0	3-5
772724	772726	1	
772730	772732	2	
772734	772736	3	
777660	777662	0	Любое положение перемычек
777664	777666	1	
777670	777672	2	
777674	777676	3	
777760	777762	0	
777764	777766	1	
777770	777772	2	
777774	777776	3	

6.12. Выборка уровня приоритета

6.12.1. С помощью трех перемычек, установленных между точками 6-7...10, 11-12...15 и 16-17...20 имеется возможность изменить уровень приоритета прерывания.

6.12.2. Перемычкой между точками 6-7...10 коммутируется один из уровней запроса передачи BR4...BR7. Перемычками между точками 11-12...15 и 16-17...20 коммутируются сигналы разрешения передачи B64IN...B67IN и B64OUT...B67OUT соответственно.

6.12.3. В табл. 5 приведены возможные положения перемычек и соответствующие этим положениям уровни приоритетов. Уровень приоритета, соответствующий начальной конфигурации перемычек - 5.

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1716	СЛ - 21.05.25			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052РЭ	Стр.
						21

Копирован

Формат А4

Выборка уровня приоритета

Таблица 5

Уровень приоритета	Конфигурация перемычек
Уровень 4	6-7, II-12, I6-I7, I3-I8, I4-I9, I5-20
Уровень 5	6-8, II-13, I6-I8, I2-I7, I4-I9, I5-20 (начальная)
Уровень 6	6-9, II-14, I6-I9, I2-I7, I3-I8, I5-20
Уровень 7	6-10, II-15, I6-20, I2-I7, I3-I8, I4-I9

6.13. Выборка плотности записи и режима работы

6.13.1. Архитектура ВК не позволяет осуществлять выборку плотности записи (32 bit/mm или 63 bit/mm) и режима работы (старт-стопный или поточный). Поэтому в контроллере предусмотрены некоторые средства для управления плотностью записи и режимом работы.

6.13.2. Пользователь в своем распоряжении имеет три варианта определения вышеупомянутых параметров:

- 1) аппаратная выборка плотности записи;
- 2) программная выборка параметров через командное слово пакета команд (командная выборка);
- 3) программная выборка параметров посредством адресации логических блоков (выборка номера логического блока).

6.13.3. Аппаратная выборка обеспечивает только определение плотности записи и зависит от накопителя. В накопителе CM 5309 пользователь желаемую плотность записи может выбрать с помощью кнопки "БВН I" на передней панели накопителя.

6.13.4. Командная выборка позволяет выбрать плотность записи или режим работы при помощи битов командного поля основного слова пакета команд. Это самый эффективный способ определения параметров

Стр.	3.057.052РЭ				
22		Изм.	Лист	№ докум.	Подп.
				Дата	

Копировал

для пользователя накопителей с поточным режимом, так как он позволяет динамическую выборку старт-стопного или поточного режима. Программные средства ВК СМ Г700 предлагают базовый вариант со старт-стопным режимом.

Режимом работы управляет бит 4 основного слова пакета команд. Единица в этом бите переводит поточный накопитель в поточный режим работы, нулевое значение бита 4 переводит накопитель в старт-стопный режим. Например:  $0005_{16}$  - команда записи в старт-стопном режиме,  $0015_{16}$  - команда поточной записи.

Для обеспечения командной выборки перемычки между точками 27...32 должны находиться в позициях, указанных в табл. 6.

6.13.5. Выборка номера логического блока позволяет выбрать плотность или режим работы с помощью модифицируемых программных средств. Плотность или режим определяется выборкой логических блоков с различными номерами. Для этого на плате контроллера установлены перемычки между точками 27-32 (см. табл. 6).

Отличительная особенность этой выборки - адресация одного накопителя двумя логическими номерами. Так как контроллер может работать с 4 логическими блоками, следовательно только 2 устройства могут быть выбраны этим способом.

Если в составе подсистемы имеется только один накопитель, перемычками обычно соединяются точки 27-31 и 28-30. Это позволяет установить плотность 32 ~~bit/mn~~ или старт-стопный режим при адресации логического блока 0 и плотность 63 ~~bit/mn~~ или поточный режим при адресации логического блока 1 если накопителю присвоен адрес 0. Переключатели S9 и S10 должны быть установлены для адресации двух логических блоков.

Если в составе подсистемы имеется два накопителя, переключатели S9 и S10 должны быть установлены для адресации четырех логических блоков. Если перемычками соединяются точки 27-31 и 28-30,

Изм. № подл.	17-1716	Подп. и дата	31 - 27.05.25	Взам. инв. №		Име. № дубл.		Подп. и дата		3.057.052PЭ	Стр.
											23
Изм.	Лист	№ докум.	Подп.	Дата							

Копирован

Формат А4



Коммутация командной выборки и  
выборки номера логического блока

Таблица 6

Тип выборки	№ логи- ческого блока	Адрес НМЛ и плот- ность (для НМЛ с двойной плотностью)	Адрес НМЛ и режим (для пото- чн. НМЛ)	Положение перемычек
Командная выборка	0	НМЛО	НМЛО	29 — 32 FTAD1
	1	НМЛ1	НМЛ1	27 — 30 F DEN
	2	НМЛ2	НМЛ2	28 — 31 FTAD0
	3	НМЛ3	НМЛ3 (начальное)	27 — 32 FTAD1
Выборка ло- гического блока	0	НМЛО, 32 bit/mm	НМЛО, старт-стоп	27 — 32 FTAD1
	1	НМЛ1, 32 bit/mm	НМЛ1, старт-стоп	29 — 30 F DEN
	2	НМЛО, 63 bit/mm	НМЛО, поточный	28 — 31 FTAD0
	3	НМЛ1, 63 bit/mm	НМЛ1, поточный	29 — 32 FTAD1
	0	НМЛО, 32 bit/mm	НМЛО, старт-стоп	28 — 30 F DEN
	1	НМЛО, 63 bit/mm	НМЛО, поточный	27 — 31 FTAD0
	2	НМЛ2, 32 bit/mm	НМЛ2, старт-стоп	
	3	НМЛ2, 63 bit/mm	НМЛ2, поточный	

Стр.

24

3.057.052РЭ

Изм. Лист

№ докум.

Подп.

Дата

Копировал

накопителям должны быть присвоены адреса 0 и 2. Накопитель с адресом 0 реагирует на адресацию логических блоков 0 и 1, накопитель с адресом 2 - на адресацию логических блоков 2 и 3. Если соединяются точки 29-30 и 27-32, накопителям должны быть присвоены адреса 0 и 1, реагирующие на адресацию логических блоков 0,2 и 1,3 соответственно.

6.14. Выборка вектора прерывания, количества передаваемых слов, количества адресуемых накопителей.

6.14.1. Блок переключателей на плате контроллера содержит 10 двухпозиционных переключателей. В табл. 7 указано назначение каждой позиции в блоке переключателей.

Выборка вектора прерывания, количества передаваемых слов, количества адресуемых накопителей

Таблица 7

Установка выключателей для коммутации вектора прерывания ЗОС							
Переключатель	2	3	4	5	6	7	8
Бит	8	7	6	5	4	3	2
	Вкл.	Выкл.	Выкл.	Вкл.	Вкл.	Вкл.	Вкл.

Логический блок	Вектор прерывания
0	224 <sub>8</sub>
1	Положение переключателей S2... S8 (плавающий)
2	Положение переключателей +4 (плавающий)
3	Положение переключателей +8 (плавающий)

Име. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
П- 116	81.05.25			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052P3	Стр.
						25

Копировал

Формат Д4

Количество слов	2 слова	4 слова
Переключатель S1	Вкл.	Выкл.

Количество накопителей	1	2	3	4
Переключатель S9	Выкл.	Выкл.	Вкл.	Вкл.
Переключатель S10	Выкл.	Вкл.	Выкл.	Вкл.

6.14.2. Переключателями S2...S8 выбирается начальный адрес вектора прерывания. Если к контроллеру подключается только один накопитель, устанавливать переключатели S2...S8 в какое-то определенное положение не требуется. Адрес вектора прерывания нулевого накопителя - стандартный.

Если к контроллеру подключено два или более накопителей, переключатели S2...S8 должны быть установлены в какое-то фиксированное положение для определения плавающего адреса вектора прерывания.

Следует заметить, что если к контроллеру подключается третий или четвертый накопитель, адреса векторов прерывания для этих накопителей определяются автоматически при условии, что переключатели S9 и S10 установлены правильно. То есть, адреса третьего или четвертого накопителей на четыре или восемь адресов соответственно выше адреса второго накопителя. Например, если плавающий адрес вектора прерывания  $300_8$  был закреплен за вторым накопителем (как это показано в табл. 7), адреса векторов третьего и четвертого накопителей будут равны  $304_8$  и  $310_8$  соответственно.

В начальном варианте на переключателях установлен адрес вектора прерываний  $300_8$ .

Стр.	3.057.052РЭ				
26		Изм.	Лист	№ докум.	Подп.
				Дата	

Копирован



## 7. ПРОГРАММИРОВАНИЕ

### 7.1. Основные определения

7.1.1. ФУНКЦИЯ. Активное состояние системы (выполнение записи, чтения, перемотки).

7.1.2. КОМАНДА. Инструкция, которая инициирует функцию.

7.1.3. АДРЕС. Двоичный код, помещаемый на адресную шину задатчиком с целью выборки регистра в устройстве исполнителя. Под выражением "регистр" подразумеваются как дискретные элементы (триггера), так и элементы памяти.

7.1.4. РЕГИСТР. Группа элементов памяти, реагирующая на единственный адрес для приема и хранения информации (состояния, данных, управляющей информации), которая может быть использована другими устройствами ВК.

### 7.2. Последовательности программ

7.2.1. Команды, данные и информация о состоянии передаются между процессором и контроллером группами байтов, называемыми пакетами. Имеются четыре типа пакетов:

- 1) командный пакет;
- 2) пакет данных;
- 3) пакет характеристик;
- 4) пакет сообщений (или пакет конца).

Пакеты в память ВК помещаются центральным процессором. В типичном случае разделяют две основные группы пакетов (буферов): буфера данных и буфера управления/ состояния. Обе группы могут управляться как центральным процессором, так и контроллером. Содержимое и источники буферов приведены в табл. 8.

Стр.	3.057.052РЭ				
28		Изм.	Лист	№ докум.	Подп.

Копировал

Содержимое и источники буферов

Таблица 8

Буфер данных	Буфер управления/состояния	Количество байтов	Источник
	Командный пакет	8	процессор
Данные считанные с ленты		I	контроллер
Данные для записи на ленту		I	процессор
	Пакет характеристик	8	процессор
	Пакет сообщений	I4	контроллер

7.2.2. Использование пакетирования между процессором и контроллером повышает эффективность системы путем уменьшения количества передач под управлением процессора. Вдобавок, информация о состоянии, команды и данные передаются в режиме прямого доступа.

7.2.3. В контроллере имеются два программно доступных регистра: регистр состояния (TSSR) и комбинированный регистр адреса шины/буфер данных (TSBA/TSDВ). Дополнительные регистры, предназначенные для управления операциями ленточных устройств, помещены в памяти. Например, пять дополнительных слов состояния, которые содержат сведения о состоянии подсистемы, запоминаются в памяти по инициативе контроллера.

7.2.4. Типовая последовательность операций при командах ЧТЕНИЕ и ЗАПИСЬ:

- 1) процессор считывает регистр состояния (TSSR);
- 2) процессор загружает регистр буфера данных (TSDВ) начальным адресом командного пакета;

3.057.052P9

Стр.  
29

Изм. № подл.	Подл. и дата	Взам. инв. №	Име. № дубл.	Подл. и дата
19-1116	31.05.25			

Изм.	Лист	№ докум.	Подл.	Дата

Копирован

Формат Д4

3) регистр адреса шины (TSBA) способствует выборке командного слова. В типичном случае это команда УСТАНОВКА ХАРАКТЕРИСТИК.

Пакет команды УСТАНОВКА ХАРАКТЕРИСТИК занимает четыре последовательные ячейки памяти (восемь байтов), где содержатся (рис.3 3.057.052РЭ1):

- командное слово;
- младшие биты адреса пакета характеристик;
- старшие биты адреса пакета характеристик;
- счетчик байтов пакета характеристик.

Цель выборки содержимого пакета характеристик—получение начального адреса пакета сообщений. После окончания операции чтения или записи ячейки пакета сообщений загружаются словами уточненного состояния по инициативе контроллера;

4) процессор загружает регистр буфера данных начальным адресом командного пакета;

5) регистр TSBA способствует выборке командного слова ЧТЕНИЯ или ЗАПИСИ. Командный пакет ЧТЕНИЯ/ЗАПИСИ содержит четыре последовательные ячейки (восемь байтов), где содержатся (рис. 4

3.057.052РЭ1):

- командное слово;
- младший байт начального адреса ячейки памяти, откуда данные должны быть считаны (при команде ЗАПИСЬ), или куда должны быть записаны (при команде ЧТЕНИЕ);
- старший байт начального адреса ячейки памяти;
- количество байтов, которые должны быть переданы или получены при выполнении операции (счетчик байтов);

6) контроллер, как задатчик, приступает к обмену данными между памятью и выборочным накопителем;

7) чтение или запись продолжается до конца зоны или до определенного положения счетчика байтов соответственно;

Стр.	3.057.052РЭ				
30		Изм.	Лист	№ докум.	Подп.

Копирован

8) информация о состоянии загружается в регистр TSSR контроллера и семь ячеек памяти (пакет сообщений), определенных последней командой УСТАНОВКА ХАРАКТЕРИСТИК;

9) контроллер вырабатывает сигнал прерывания по окончании команды.

7.2.5. Пакет команды УСТАНОВКА ХАРАКТЕРИСТИК был упомянут в пункте 7.2.4.3) при описании последовательности команд ЧТЕНИЕ и ЗАПИСЬ. Команда УСТАНОВКА ХАРАКТЕРИСТИК является командой, при выполнении которой (таких команд пять) магнитная лента не приводится в движение. Основное назначение этой команды - загрузка начального адреса пакета состояния в контроллер. Другое назначение - загрузка слова характеристик в контроллер. Слово характеристик устанавливает условия прерывания и останова по маркеру в контроллере. Последовательность команды УСТАНОВКА ХАРАКТЕРИСТИК показана см. рис.3

3.057.052РЭ1.

### 7.3. Регистры и пакеты

#### 7.3.1. Регистр адреса шины (TSBA)

Используются следующие адреса регистра TSBA, в зависимости от номера накопителя:

- 1) 772520<sub>8</sub> (HML0);
- 2) 772524<sub>8</sub> (HML1);
- 3) 772530<sub>8</sub> (HML2);
- 4) 772534<sub>8</sub> (HML3).

Регистр TSBA - это 18-ти битовый регистр, загружаемый от регистра буфера данных (TSDВ) каждый раз, как только регистр TSDВ загружается как исполнитель по OII от процессора. Биты 15...2 регистра TSBA загружаются соответственно битами 15...2 регистра TSDВ. В разряды I7 и I6 регистра TSBA загружаются биты I и 0 соответственно регистра TSDВ. Биты I и 0 регистра TSBA загружаются нулями. Биты I7 и I6 регистра TSBA представлены в регистре состояния (TSSR)

Изм.	Лист	№ докум.	Подп.	Дата
Име. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
И-1716	31.05.25			

3.057.052РЭ

Стр.

31

Копировал

Формат А4



битами 9 и 8 соответственно. Регистр TSBA только считывается. Он содержит адрес последнего командного пакета.

### 7.3.2. Регистр буфера данных (TSDВ)

Используются следующие адреса регистра TSDВ, в зависимости от номера накопителя:

- 1) 772520<sub>8</sub> (НМЛО);
- 2) 772524<sub>8</sub> (НМЛІ);
- 3) 772530<sub>8</sub> (НМЛІІ);
- 4) 772534<sub>8</sub> (НМЛІІІ).

Регистр TSDВ - это 16-ти битовый регистр, загружаемый от ОШ. Регистр TSDВ используется как буферный регистр командного слова контроллеру (в начале операции) в том случае, когда контроллер является исполнителем. Регистр TSDВ используется также для временного хранения данных во время непроцессорных передач, когда контроллер является задатчиком. Когда контроллер является исполнителем, регистр TSDВ может быть загружен при помощи трех различных передач от задатчика на шине. Две из этих передач используются для обслуживания (DATOV старшего байта и DATOV младшего байта). Третий тип передачи - передача слова (DATO).

Регистр TSDВ используется только для записи. Он не обнуляется по инициализации подсистемы или ОШ. Когда запись в TSDВ осуществлена, после некоторого времени контроллер выставляет сигнал SSYN.

### 7.3.3. Регистр состояния (TSSR)

Используются следующие адреса регистра TSSR в зависимости от номера накопителя:

- 1) 772522<sub>8</sub> (НМЛО);
- 2) 772526<sub>8</sub> (НМЛІ);
- 3) 772532<sub>8</sub> (НМЛІІ);
- 4) 772536<sub>8</sub> (НМЛІІІ).

Наименования и назначение битов регистра состояния приведены

Стр.	3.057.052РЭ				
32		Изм.	Лист	№ докум.	Подп.

Комплекс

в табл. 9.

### Назначение битов регистра TSSR

Таблица 9

Биты	Сокращенное обозначение	Код окончания (8-ный код)	Назначение и краткое описание
I5	SC	-	Специальное условие ( <i>Special Conditions</i> ). При выполнении последней команды зафиксирована ошибка или особое условие: маркер ленты при командах чтения, обратное движение от маркера НАЧАЛО ЛЕНТЫ (НЛ), опознавание маркера КОНЕЦ ЛЕНТЫ (КЛ) при записи и т.д.
I4, I3	-	-	Не используются
I2	RMR	-	Модификация регистра отвергнута ( <i>Register Modifications Refused</i> ). Бит выставляется контроллером при загрузке указателя (адреса) команды в регистр TSDR, когда нет готовности подсистемы (не установлен бит SSR). Бит может быть выставлен при неисправности системы, если разрешены ATTN прерывания
II	NXM	4/5	Несуществующая память ( <i>Nonexistent Memory</i> ). Бит устанавливается контроллером при обращении к несуществующей ячейке памяти (при считывании пакета команд или данных, при записи данных или пакета сообщений)
IO	NBA	-	Нужен адрес буфера ( <i>Need Buffer Address</i> ). Контроллеру необходим адрес буфера сообщений. Бит сбрасывается во время команды УСТАНОВКА ХАРАКТЕРИСТИК, если контроллер получает необходимые данные. Бит NBA устанавливается всегда после инициализации подсистемы

Изм. № подл.	Подп. и дата	Взам. инв. №	Ина. № дубл.	Подп. и дата
71-1116	81.05.25			

Продолжение табл. 9

Бит	Сокращенное обозначение	Код окончания (8-ный код)	Назначение и краткое описание
09	AI7	-	Бит I7 адресной шины. Биты AI7 и AI6 - это значение битов I7 и I6 регистра TSBA
08	AI6	-	Бит I6 адресной шины
07	SSR	-	Готовность подсистемы ( <i>Subsystem Ready</i> ). При единичном значении бита SSR подсистема не занята и готова принять новый указатель (адрес) команды
06	OFL	-	Местное управление ( <i>Off-Line</i> ). Накопитель находится в автономном режиме работы
05, 04	-	-	Не используются
03	TC2	-	Код окончания, бит 02 ( <i>Termination Class Bit 02</i> ). Этот бит, совместно с битами TC1 и TC0, определяет код возникшей ошибки или особого условия при выполнении команды. Каждое из восьми возможных значений этого кода соответствует какому-то определенному классу ошибок или каким-то ситуациям подсистемы (см. табл. 10). То есть, код, представленный битами TC2...TC0, содержит информацию для определения состояния подсистемы. Биты TC2...TC0 действительны лишь при установленном бите I5 ( <i>SC</i> ).
02	TC1	-	Код окончания, бит 01 ( <i>Termination Class Bit 01</i> )
01	TC0	-	Код окончания, бит 00 ( <i>Termination Class Bit 00</i> )
00	-	-	Не используется

Стр.

3.057.052P3

34

Изм. Лист № докум. Подп. Дата

Копировал



Продолжение табл. IО

Биты TSSR 03, 02, 01	Описание
IOI	Исправимая ошибка (нет перемещения ленты)
IIO	Неисправимая ошибка (потеряна позиция ленты)
III	Неисправимая ошибка контроллера

Определение битов командного слова

Таблица II

Биты	Сокращенное обозначение	Определение
I5	ACK	Подтверждение. Бит устанавливается по команде от процессора, указывая, что буфер сообщений доступен контроллеру, т.е. бит передает контроллеру управление буфером сообщений
I4	SVC	
I3	OPR	Изменение последовательности операций при выполнении команд повторного чтения
I2	SWB	Перестановка байтов. Изменяется порядок расположения байтов при командах чтения/записи
II...8		Поле модификации команды. Биты модификации команды совместно с кодом команды определяют команду подсистемы. См табл. I2 и биты 4...0.
7...5		Разрешение прерывания. Если установлены значения битов IOO, прерывание произойдет при установленных битах SC или SSR регистра состояния. При значении битов OOO прерывание неразрешено
4...0		Поле кода команды. Биты кода команды совместно с полем модификации команд определяют команду подсистемы. См. табл. I2 и I3

Стр.	3.057.052PЭ				
36		Изм.	Лист	№ докум.	Подп.

Копирован

Коды и модификации команд в старт-стоповом режиме

Таблица I2

Поле кода команды	Команда	Поле модификации команды	Модифицированная команда
0000I	Чтение	0000	Чтение вперед
		000I	Чтение назад
		00IO	Повторное чтение предыдущей записи (пропуск записей назад, чтение вперед)
		00II	Повторное чтение последующей записи (пропуск записи вперед, чтение назад)
00IOO	Установка характеристик	0000	Установить адрес буфера сообщений и слово характеристик устройстве
00IOI		Запись	0000
0IOOO <sup>И</sup>	Позиционирование		0000
		000I	Пропуск записей назад
		00IO	Пропуск файлов вперед
		00II	Пропуск файлов назад
		0IOO	Перемотка
0IOOI <sup>Ж</sup>	Форматирование	0000	Запись маркера
		000I	Стереть (стереть промежуток ленты)
		00IO	Повторная запись маркера (пропуск записей назад, стереть, запись маркера)
0IOIO <sup>Ж</sup>	Управление	0000	Разгрузить буфер сообщений
		000I	Перемотать и разгрузить
		00IO	Очистка ленты

Име. № подл. 77-176  
 Подл. и дата 31.05.25  
 Взам. инв. №  
 Инв. № дубля  
 Подл. и дата

Продолжение табл. 12

Поле кода команды	Команда	Поле модификации команды	Модифицированная команда
01011 <sup>ЖЖ</sup>	Инициализация	0000	Инициализация устройства
01111 <sup>ЖЖ</sup>	Вывод состояния	0000	Вывести состояние (конец сообщения)

\* Короткий (2 слова) пакет команд

ЖЖ Одно слово в пакете команд

Коды и модификации команд в поточном режиме

Таблица 13

Поле кода команды	Команда	Поле модификации команды	Модифицированная команда
10001	Чтение поточное	0000	Чтение вперед
		0001	Чтение назад
		0010	Повторное чтение предыдущей записи (пропуск записей назад, чтение вперед)
		0011	Повторное чтение предыдущей записи (пропуск записей вперед, чтение назад)
10101	Запись поточная	0000	Запись данных
		0010	Повторная запись (пропуск записей назад, стирание, запись данных)
11000 <sup>*</sup>	Позиционирование поточное	0000	Пропуск записей вперед
		0001	Пропуск записей назад
		0010	Пропуск файлов вперед
		0011	Пропуск файлов назад

Стр.	3.057.052РЭ				
38		Изм.	Лист	№ докум.	Подп. Дата

Копирован

Поле кода команды	Команда	Поле модификации команды	Модифицированная команда
		0100	Перемотка
11001 <sup>жж</sup>	Формат поточный	0000	Запись маркера
		0001	Стереть (стереть промежутки ленты)
		0010	Перезапись маркера (пропуск записей назад, запись маркера)

\* Короткий (2 слова) пакет команды

<sup>жж</sup> Одно слово в пакете команд

### 7.3.6. Короткий пакет команд

Короткий пакет команд содержит командное слово и счетчик

I5	I4	I3	I2	II	IO	9	8	7	6	5	4	3	2	I	0
Командное слово															
Счетчик записей/маркеров ленты															

7.3.7. Определение битов командного слова пакета было приведено в табл. II. Эта таблица вполне справедлива и для командного слова короткого пакета команд.

Короткий пакет используется для команд ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД, ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД или ПЕРЕМОТКА до начала ленты.

Счетчик в этом случае должен быть вторым словом пакета.

Команда ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД автоматически заканчивается при обнаружении маркера ленты. Если определен маркер ленты, но содержимое счетчика не было уменьшено до нуля, устанавливается бит RLS в слове 0 уточненного состояния.

Команда ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД заканчивается, когда обна-

Изм. № подл.	Подл. и дата	Взам. инв. №	Инд. № дубл.	Подл. и дата
17-1716	31-87.05.25			

Изм.	Лист	№ докум.	Подл.	Дата	3.057.052PЭ	Стр.
						39



руживается двойной маркер ленты и установленный бит *ESS* в слове характеристик. Команда также заканчивается, если маркер ленты является первой зоной от маркера НЛ и биты *ESS* и *ENB* установлены в слове характеристик. Если в упомянутых случаях содержимое счетчика не было уменьшено до нуля, устанавливается бит *RLS* в слове 0 уточненного состояния.

Если маркер НЛ фиксируется в результате выполнения команд *ПРОПУСК ЗАПИСЕЙ НАЗАД* или *ПРОПУСК ФАЙЛОВ НАЗАД*, устанавливается бит *RIB* в слове 3 уточненного состояния.

После назначения команды *ПЕРЕМОТКА* прерывание не будет формироваться пока не будет достигнут маркер НЛ.

Примечание. Если лента позиционирована между маркером НЛ и первой зоной и назначена команда *ПРОПУСК ЗАПИСЕЙ НАЗАД* или *ПРОПУСК ФАЙЛОВ НАЗАД*, будет установлен бит *RIB*, а содержимое счетчика зон/маркеров останется без изменения по завершению команды по сравнению с первоначальной установкой.

### 7.3.8. Пакет сообщений

Пакет сообщений содержит основное слово пакета, счетчик слов пакета, счетчик остатка, слово 0 уточненного состояния, слово 1 уточненного состояния, слово 2 уточненного состояния, слово 3 уточненного состояния.

Адрес, по которому размещается основное слово пакета сообщений (адрес пакета сообщений), хранится в пакете характеристик.

Определение битов основного слова пакета сообщений

Таблица 14

Биты	Сокращенное обозначение	Определение
I5	АСК	Бит устанавливается контроллером и сообщает процессору, что ему передается право управления буфером команд. При сообщении типа <i>ATTN</i> этот

Стр.	3.057.052РЭ				
40		Изм.	Лист	№ докум.	Подп.

Контроль

Биты	Сокращенное обозначение	Определение
I4...I2		бит установлен не будет, хотя контроллер уже не имеет право управления буфером команд Всегда нули
II...8		Тип ошибки-биты определяют тип ошибки, обнаруживаемой в оставшейся части буфера сообщений. OOOO (тип ATTN) - зафиксировано изменение состояния ленточного устройства МЕСТНОЕ ↔ ДИСТАНЦИОННОЕ (код окончания = IOOII) OOOI (тип FAIL) - другая ошибка (ILC, ILA, NDA) (код окончания = IOOOI) OOIO (тип FAIL) - ошибка защиты записи или неосуществляемая функция (код окончания = IOOOI)
7...5		Всегда нули
4...0		Код сообщения IOOOO - конец без ошибки Код окончания - 0, 2 IOOOI - ошибка до операции Код окончания - 3 IOOIO - ошибка во время операции (одна или более) Код окончания - 4, 5, 6, 7 IOOII - Внимание, прерывание, вызванное условием, определенным типом ошибки (см. биты II...8) Код окончания - I, 7

7.3.9. Счетчик слов пакета сообщений

Счетчик слов пакета сообщений размещается за основным словом. Содержимое счетчика представляет количество байтов состояния, оставшихся в пакете сообщений. Биты счетчика отражают - 5 слов (10 байтов): слово счетчика остатка и 4 слова состояния.

7.3.10. Счетчик остатка

Имя, № подл.	В зам. инв. №	Имя, № дубл.	Подл. и дата
17-1916			17-05-25

Изм.	Лист	№ докум.	Подл.	Дата

3.057.052P9

Стр.  
41

Это третье по порядку слово в пакете сообщений. Оно указывает на количество оставшихся байтов, зон, маркеров ленты при выполнении команд ЧТЕНИЕ, ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД, ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД. Содержимое счетчика не имеет смысла для остальных команд.

Определение битов слова 0 уточненного состояния

Таблица I5

Бит	Наименование	Код окончания	Определение
I5	TMK	2	Определен маркер ленты. Бит устанавливается, когда опознается маркер ленты во время выполнения команд ЧТЕНИЕ, ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД, ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД или в результате выполнения команд ЗАПИСИ МАРКЕРА или ПЕРЕЗАПИСИ МАРКЕРА.
I4	RLS	2	Короткая запись. Установленный бит обозначает: <ol style="list-style-type: none"> <li>1) длина зоны короче чем указано счетчиком байтов при операции чтения;</li> <li>2) обнаружен маркер ленты или маркер НЛ прежде чем обнулится счетчик зон при операции ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД;</li> <li>3) обнаружен маркер НЛ или двойной маркер ленты прежде чем обнулится счетчик маркеров при операции ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД (если команда ПРОПУСК ФАЙЛОВ разрешена, см. LET, бит I3)</li> </ol>
I3	LET	2	Логический конец ленты. Бит устанавливается только при командах ПРОПУСК ФАЙЛОВ, если обнаружен двойной маркер ленты или при движении от маркера НЛ первой считанной зоной окажется маркер ленты. Бит устанавливается только тогда, если это разрешается командой УСТАНОВКА

Стр.

3.057.052РЭ

42

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

Копировал

Продолжение табл. I5

Бит	Наименование	Код окончания	Определение
			ХАРАКТЕРИСТИК и только при движении ленты вперед
I2	RLL	2	Длинная запись. Считана зона была длиннее, чем указано счетчиком байтов
II	WLE	3	Ошибка защиты записи. Подана команда ЗАПИСЬ, но загруженная на накопитель катушка не содержит кольца разрешения записи
IO	NEF	3	Неосуществимая функция. Команда не может быть выполнена по одной из следующих причин: 1) команда движения назначена без бита SVC, когда бит VSK был установлен; 2) назначена команда с обратным движением, но лента уже была позиционирована на маркере HL; 3) назначена команда движения, но устройство в автономном режиме; 4) назначена команда записи при отсутствии кольца разрешения записи (состояние защиты записи [WLS])
9	ILC	3	Неразрешенная команда. Команда назначена, но код команды или код модификации команды неразрешены для устройства
8	ILA	3	Неразрешенный адрес. Адрес содержит битов больше I8 или является нечетным.
7	MOT	-	Движение. Лента была приведена в состояние движения
6	ONL	I/3	Дистанционный. Устройство находится в дистанционном режиме и работоспособно. Это вызывает установку кода окончания I при ATTN прерывании или кода окончания 3 при неосуществимой функции, если команда была

Изм.	Лист	№ докум.	Подп.	Дата
17-1716				
Изм. инв. №	Взам. инв. №	Изм. № дубл.	Подп. и дата	
Подп. и дата	87.06.25			

3.057.052PЭ

Стр.

43

Продолжение табл. 15

Бит	Наименование	Код окончания	Определение
			отвергнута по пребыванию накопителя в местном режиме
5	IE	-	Разрешение прерывания. Отражает состояние бита разрешения прерывания в последней команде
4	VCK	3	Бит устанавливается, когда устройство ленточное меняет состояние (дистанционное на местное и наоборот). Всегда устанавливается после инициализации
3	PED	-	Фазо-кодовое устройство. Установленный бит указывает на то, что подключено устройство с фазо-кодовым методом записи. Нулевое значение бита указывает на метод БВН
2	WLK	3	Защита записи. Катушка на накопителе лишена кольца защиты записи, следовательно запись запрещена
I	BOT	2/3	Начало ленты. Лента позиционирована в точке загрузки, на что указывает положение рефлективной полоски на ленте. Если маркер НЛ фиксируется при движении ленты назад, устанавливается код окончания 2, если лента уже находится в точке загрузки и назначается команда с движением ленты назад, устанавливается код окончания 3.
0	EOT	2	Конец ленты. Лента позиционирована над рефлективной полоской конца ленты или за ней. Бит не может быть сброшенный, пока маркер не пройдет в обратном направлении под управлением программы. Инициализация подсистемы всегда сбрасывает бит (состояние при чтении, код окончания 2 при записи).

Стр.

3.057.052P3

44

Изм. Лист Не докум. Подп. Дата

Копировал

Продолжение табл. I5

Бит	Наименование	Код окончания	Определение
			Бит не устанавливается и не сбрасывается в режиме отладки (автономном).

Определение битов слова I уточненного состояния

Таблица I6

Бит	Наименование	Код окончания	Определение
I5	DTL	4	Полный FIFO при команде чтения и требуется ввод считанного байта по инициативе форматера. Пустой FIFO при команде записи и требуется вывод байта для записи по инициативе форматера
I4...02	-	-	Не используются
01	ERR	4	Некорректируемые данные. Ошибка паритета без индикации соответствующей мертвой дорожки или больше чем одна мертвая дорожка в поле данных
00	PAPER	4	Ошибка паритета считанных данных. Контроллер определил ошибку по паритету данных на линиях воспроизведения накопителя.

Определение битов слова 2 уточненного состояния

Бит	Наименование	Определение
I5	OPM	Бит означает, что последняя команда должна привести ленту в движение
I4...00	-	Не используются

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
ИТ- 4716	30. 87.05.25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.  
45

Копирован

Формат А4

Определение битов слова 3 уточненного состояния

Таблица I7

Бит	Наименование	Код окончания	Определение
I5...07	-	-	Не используются
06	OPJ	6	Операция незавершена. При командах ЧТЕНИЕ, ПРОПУСК ЗАПИСЕЙ ВПЕРЕД/НАЗАД или ПРОПУСК ФАЙЛОВ ВПЕРЕД/НАЗАД лента продвинулась на 7,87 м без обнаружения каких-либо данных. Бит также устанавливается при команде записи, если после продвижения ленты на 1,26 м нет передачи данных от головки воспроизведения
05	REV	-	Движение назад. Обратное движение ленты при выполнении текущей операции. При выполнении многофункциональных команд (например, повторное чтение) бит устанавливается, если хотя бы одна операция команды требовала движения ленты назад
04	-	-	Не используется
03	DCK	6	Установленный бит указывает, что за маркером НЛ обнаружено некорректное поле идентификации. Это служит признаком того, что при записи информации не применялся фазо-кодовый метод. Тем не менее, информация на ленте представлена именно фазо-кодовым методом и может быть считана. Примечание. В случае некорректного поля идентификации на ленте, код окончания 6 будет установлен лишь при попытке записи
02,01	-	-	Не используются
00	RIB	2	Назад к маркеру НЛ. Бит устанавливается, когда в ходе выполнения команд ЧТЕНИЕ, ПРОПУСК ЗАПИСЕЙ НАЗАД, ПРОПУСК ФАЙЛОВ НАЗАД обнаружен маркер НЛ. Движение ленты притом прекращается

Стр.

3.057.052РЭ

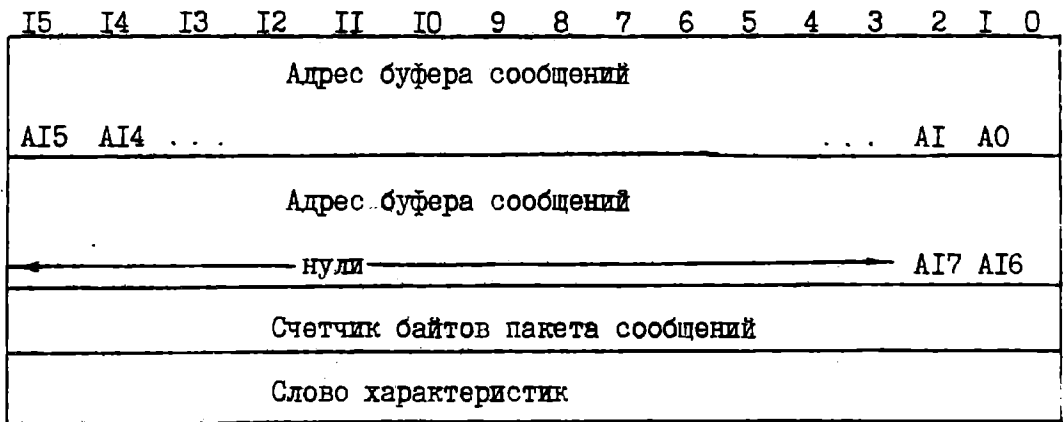
46

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

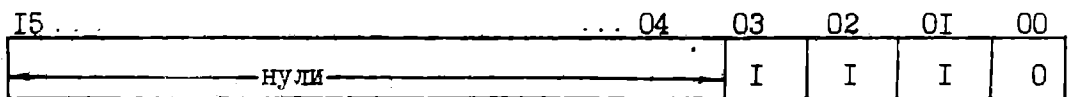
Копировал

### 7.3.II. Пакет характеристик

Пакет характеристик содержит адрес буфера сообщений (адрес основного слова пакета сообщений), счетчик байтов пакета сообщений, слово характеристик.



### 7.3.I2. Счетчик байтов пакета сообщений



Счетчик байтов пакета сообщений размещается за адресом буфера и представляет количество байтов пакета сообщений. Биты счетчика отражают семь слов пакета сообщений.

### Определение битов слова характеристик

Таблица I8

Бит	Наименование	Определение
I5...8	-	Не используются
7	ESS	Разрешение останова при команде ПРОПУСК ФАЙЛОВ. Когда бит установленный, происходит останов ленты при выполнении команд ПРОПУСК ФАЙЛОВ, если обнаруживается двойной маркер ленты (два маркера ленты подряд). Когда бит сброшенный, команда будет завершена лишь по обнулению счетчика маркеров или на маркере НЛ

Имя. № подл.	Подп. и дата	Взам. инв. №	Имя. № дубл.	Подп. и дата
17-1716	28.08.25			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052P3	Стр.
						47

Копировал

Формат А4



Продолжение табл. 18

Бит	Наименование	Определение
6	ENB	Разрешение останова при команде ПРОПУСК ФАЙЛОВ от НЛ. Бит действительный лишь при установленном бите ESS. Если команда ПРОПУСК ФАЙЛОВ начинается от начала ленты и первой зоной окажется маркер ленты, произойдет останова и установка LET (XSTATO). При сброшенном ENB, LET не устанавливается, модифицируется счетчик и команда продолжается
5	EAI	Разрешение прерывания по условию внимания. Когда этот бит нулевой, условия внимания такие, как автономный режим, дистанционный режим и ошибка микродиагностики не вызовут прерывания работы процессора. Если бит установленный, прерывания разрешены
4	ERI	Если бит нулевой, прерывание не устанавливается при приеме контроллером команды ОСВОБОДИТЬ БУФЕР СООБЩЕНИЯ. При опознавании команды подтверждается только бит SSR. Если бит ERI единичный, прерывание будет установлено при приеме команды
3...0	-	Не используются.

Стр.

3.057.052PЭ

48

Изм.	Лист	№ докум.	Подп.	Дата

Копирован

## 8. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Функциональные элементы контроллера показаны на рис. 5  
3.057.052РЭ1.

### 8.1. Системный интерфейс

Системный интерфейс охватывает следующие логические узлы:

- 1) приемопередатчики и регистры данных ОШ;
- 2) приемопередатчики и регистр/счетчик адреса ОШ;
- 3) логика декодирования адреса;
- 4) приемопередатчики управления ОШ;
- 5) логика управления и состояния ОШ.

Системный интерфейс является жесткой логикой и служит для буферизации и синхронизации при передачах информации между ОШ и другими секциями контроллера. Контроль над адресными линиями ОШ осуществляется логикой декодирования адреса. При опознавании адреса, присвоенного регистрами *TSDВ/TSBA* или *TSSR*, ассоциируемого с одним из ленточных устройств, подключенных к контроллеру, разрешается работа логики состояния и управления ОШ. Логика декодирования адреса связывает ОШ с микропроцессором и синхронизирует передачу информации между ОШ и шинами *D/Y* контроллера.

### 8.2. Логика декодирования адреса

Адрес декодируется элементом программируемой постоянной памяти PROM (КР 556 РТII -D I02), см. рис. 6 3.057.052РЭ1, где *D I02* - позиционное обозначение микросхемы на плате и схемой совпадения (К555ЛА2 -D I01) и формируется сигнал *SLAVEH*, если был опознан базовый адрес контроллера. Базовый адрес - это адрес регистра *TSDВ/TSBA* нулевого устройства. Один из 4 возможных базовых адресов может быть выбран при помощи переключки (4-5) способом соединения соответствующего выхода (КР 556 РТII -D I02) с контактом 04 схемы совпадения (К552ЛА2 -D I01). Самый младший базовый адрес 772520.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
47 - 1716	27.05.25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.  
49

Копировал

Формат А4

Возможные базовые адреса приведены в табл. 4.

Адрес ленточного устройства и адресуемых регистров определяется микропроцессором. Младшие разряды адреса (8 битов) передаются на D шину сигналом XSDOL. Сигнал XSDOL формируется в логике управления D шиной и декодирует адрес контроллера как исполнителя.

Входами логики декодирования адреса являются регистры и приемопередатчики адреса OШ и сигнал MSYNL (CX3) OШ предварительно буферизированные. Состояние сигнала SLAVE N периодически опрашивается микропрограммой. Когда обнаруживается присутствие сигнала, начинается последовательность обмена информацией между OШ и контроллером.

### 8.3. Приемопередатчик регистра адреса OШ

16 младших битов адреса буферизированы между OШ и Y шиной контроллера при помощи элементов (K1804BA2 - D63, D75, D88). Два старших бита адреса буферизированы через элемент (KP559ИПЗ-D69). Два старших адресных бита формируются от регистра управления OШ (K53ITM8 - D90). 14 старших адресных битов поступают на логику декодирования адреса. 8 младших адресных битов через буферизирующий элемент (K555АП5 - D46) передаются на D шину по сигналу XSDOL. По сигналу EADDL осуществляется привязка адресных битов регистра адреса контроллера к OШ. Восемьбитовая шина Y стробируется на 18 битовый адресный регистр сигналами LXR2 и LXR5.

Примечательно, что три бита (от первого по третьему) подключаются к приемопередатчикам адресной шины (K1804BA2 - D63) через прямой/реверсивный счетчик (K555ИЕ13 - D89). Упомянутый счетчик является составной частью прямого/реверсивного счетчика адреса и хранит часть адресного кода, необходимого для осуществления передачи данных.

Стр.	3.057.052P9				
50		Изм.	Лист	№ докум.	Подп.

Копировал

#### 8.4. Приемопередатчики регистра данных ОШ

Трехуровневые приемопередатчики/регистры (K1804BA2 - D 44, D 45, D 47, D 48) являются буферами линии данных D 00L... D15L между ОШ и контроллером. Принятые данные запоминаются в регистрах приема по сигналу LDDIR H, откуда они могут быть выведены на D шину по сигналам XSD1 и XSD2. Данные от Y шины помещаются в регистрах по сигналам LXRD и LXR1 и выводятся на ОШ по сигналам INTR H, TSSYN H или TCI H и NPRBSYN H.

#### 8.5. Приемопередатчики управления ОШ

Линии управления между ОШ и цепями управления контроллера буферизированы элементами (КР 559 ИПЗ - D 60, D 61, D 59, D 70, D 71). Приемники постоянно связаны с линиями ОШ. Большинство передатчиков также находятся в постоянном возбужденном состоянии, но элементы (КР 559 ИПЗ - D 59, D 80) активизируются сигналами EADD L и EDATA L соответственно.

#### 8.6. Логика состояния и управления ОШ

С целью обеспечения быстрого реагирования на состояние ОШ, синхронизация передач по линиям ввода/вывода осуществляется "жесткой" логикой. Различают информационные передачи двух типов:

- 1) программный ввод/вывод;
- 2) передача данных по внепроцессорному запросу.

Во время программного ввода/вывода процессор является задатчиком на шине. Во время внепроцессорных передач (режим прямого доступа), задатчиком на шине является контроллер. Во время программного ввода/вывода начальный адрес пакета команд помещается в регистре TSDВ, либо делается выборка регистра TSSR контроллера. Упомянутые регистры размещены в ячейках памяти 256 x 8 RAM. Как это было упомянуто выше, логика декодирования адреса вырабатывает сигнал SLAVE H, когда процессор требует выборки регистров контроллера.

Инв. № подл. 17-1116	Подл. и дата 8.05.26	Взам. инв. №	Инв. № дубл.	Подл. и дата
Изм.	Лист	№ докум	Подл.	Дата
3.057.052PЭ				Стр. 51

Копировал

Формат А4

Логика состояния и управления ОШ содержит:

- 1) логику прерывания контроллера;
- 2) логику прямого доступа;
- 3) логику состояния, управления, время задающие цепи, логику для самопроверки.

Задающая частота для синхронизации работы контроллера вырабатывается элементом D 85. На выходе элемента выдается сигнал частотой 12 МГц. Данная частота делится по модулю 2 триггером (К 531 ТВ9 - D 84), чтобы получить синхронизирующие сигналы SCLK L и XCLK L с периодом следования 167 нс.

Триггером самодиагностики (К 555 ТМ2 - D 19) управляется светодиод и вырабатывается сигнал STL600D H, посылаемый через регистр состояния ОШ на D шину.

Потеря питания контроллером или ошибка при самопроверке (отсутствие DСOK H) немедленно приводит к гашению триггера (К 555 ТМ2 - D 19). Триггер будет вновь установленный, если пройдет тест самопроверки (присутствует серия ССROK L).

Микропроцессор формирует управляющие сигналы для ОШ, которые первоначально от Y шины поступают на регистр (К 531 ТМ8 - D 77, D 90). Занесение в регистр осуществляется по сигналу LXR4L. Выходы регистра соединены с различными линиями управления (INTRH, TBR H и т.д.). Регистр очищается по сигналу RESETH. Состояние линий ОШ, поступающих в контроллер, также как различные сигналы внутреннего состояния контроллера буферизируются в регистре (К 555 ИР23 - D III) и могут быть приняты оттуда микропроцессором через D шину по сигналу XSD3.

Логика прерывания контроллера и соответствующая временная диаграмма приведена на рис. 2 3.057.052РЭ1. Временные диаграммы захвата шины в режиме прямого доступа и обмена данными в этом режиме приведены на рис. 7 и 8 3.057.052РЭ1.

Стр.	3.057.052РЭ				
52		Изд.	Лист	№ докум.	Подп.

Копировал

### 8.7. Микропроцессор

Микропроцессор содержит следующие основные структурные элементы:

- 1) память 256 x 8 RAM;
- 2) память 256 x 8 ROM;
- 3) мультиплексоры для проверки условий;
- 4) 8-битовое арифметико-логическое устройство (ALU);
- 5) 1K x 56 - битовая управляющая память;
- 6) управляющий процессор K1804 ВУ4;
- 7) регистр вектора;
- 8) логика декодирования.

Упомянутые структурные элементы взаимосвязаны для осуществления различных функций контроллера. Информация от одного структурного элемента к другому передается по внутренним магистралям (Y и D шины).

Микропроцессор функционирует под управлением информации, извлекаемой из постоянной памяти (ROM или PROM).

Слово, содержащее управляющую информацию, именуется микроинструкцией, так как для выполнения некоторой функции требуется выборка определенного количества управляющих слов в некоторой последовательности. Однажды занесены в управляющую память, микроинструкции в дальнейшем не могут быть изменены.

### 8.8. Память 256 x 8 RAM

Память 256 x 8 RAM является операционной динамической памятью контроллера. В табл. 19 и 20 показано содержимое памяти. Младшие 16 ячеек резервированы для содержимых регистров TSBA и TSSR для каждого из четырех устройств, которые могут быть подключены к контроллеру.

Ячейка памяти IF является таблицей управления ленточного

Изм. №	Подп. и дата	Взам. инв. №	Изм. № дубл.	Подп. и дата
17-1716	31-05-25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.  
53

Копировал

Формат А4

устройства. В этой ячейке хранится отображение содержимого регистра управления (К 555 ТМ8 - D 33, D 50).

В ячейках 20...27 хранится содержимое последнего пакета характеристик.

Ячейки 30...37 служат буфером данных между FIFO контроллера и основной памятью системы при внепроцессорных передачах.

Ячейки от 40 по 7F предназначены для хранения пакетов сообщений для всех четырех устройств, которые могут быть подключены к контроллеру.

Размещение информации по адресам в памяти RAM

Таблица I9

00...0F	Адресуемые регистры
10...17	Командный пакет
18...1E	Не используется
1F	Управление накопителем
20...27	Пакет характеристик
28...2F	Не используется
30...37	Буфер прямого доступа (DMA)
38...3F	Таймер
40...4F	Информация состояния и управления блока логического 0
50...5F	Информация состояния и управления блока логического 1
60...6F	Информация состояния и управления блока логического 2
70...7F	Информация состояния и управления блока логического 3
7F...FF	Не используется
	7 6 5 4 3 2 1 0

Стр.

3.057.052PЭ

54

Мзм. Лист Не докум. Подл. Дата

Копировал

Информация состояния и управления логического блока

Таблица 20

Адрес

RAM	Адрес буфера сообщений							
X0	A7	A6	A5	A4	A3	A2	A1	A0
X1	Адрес буфера сообщений							
X2	AI5	AI4	AI3	AI2	AI1	AI0	A9	A8
X3	ESS	ENB	EAI	ERI	MBR	VCK	Адрес буфера сообщений AI7 AI6	
X4	ATTN	ONL	REWQ	RWDI	DCK	EOT	OLD CMD REV	WRT
X5	ACK				Тип ошибки			
X6	Счетчик остатка (мл. биты)							
X7	Счетчик остатка (ст. биты)							
X8	MOT	ONL	IE	VCK	PED	WLK	BOT	EOT
X9	TMK	RLS	LET	RLL	WLE	NEF	ILC	ILA
XA							HER	PAR
XB	DLT							
XC								
XD	OPM							
XE	OPI		REV	DCK		RIB		
XF								

Характеристики

Характеристики

Основное слово сообщений

Основное слово сообщений

XSTAT0

XSTAT0

XSTAT1

XSTAT1

XSTAT2

XSTAT2

XSTAT3

XSTAT3

Изм. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-1716	(2) - 87.05.25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052P3

Стр.

55

Копировал

Формат А4



Регистр/счетчик адреса (K555 ИЕІЗ - D 97, D 96) управляет адресными линиями памяти. Начальный адрес, по которому должно произойти обращение к памяти, загружается в регистр адреса от Y шины по сигналу LXREL. Сигнал INCRAML увеличивает адресный счетчик для выборки следующей ячейки.

Память состоит из элементов (KM I32 PУ8 - D 95, D 94). Содержимое ячейки памяти выводится на D шину через элемент (K53I АПЗ - D IIO).

Информация от Y шины запоминается в адресуемой ячейке памяти по сигналу LXRFL. Считывание адресуемой ячейки памяти на D шину разрешается сигналом XSDFL.

#### 8.9. Память 256 x 8 ROM

В элементе постоянной памяти (KP 556 PТII - D 99, D IO9) хранятся константы и маски битов, что позволяет значительно ускорить манипуляции с информацией в ALU (ALU) контроллера.

Типичные случаи использования ROM:

- 1) декодирование команд;
- 2) сортировка ошибок;
- 3) определение очередности команд/прерываний;
- 4) логический модуль (очередность адресов и т.д.).

Регистр адреса памяти (K555IP23 - D 83) загружается от Y шины по сигналу LXRDL. Содержимое адресных ячеек памяти считывается на D шину по сигналу разрешения XSDEL.

#### 8.10. Логика проверки условий контроллера

Цель логики - осуществление контроля над некоторыми логическими условиями при помощи специальных инструкций, а также постоянная проверка уровня сигнала CCEL входа в микросеквенсер. Сигнал CCEL вырабатывается если на входе мультиплексера во время проверки присутствует одно из семи нижеперечисленных условий:

- 1) выбранные биты на Y шине;

Стр.	3.057.052PЭ				
56		Изм.	Лист	№ докум.	Подл.

Контроль

- 2) ноль;
- 3) нет нуля;
- 4) перенос;
- 5) нет переноса;
- 6) контроллер определил себя как исполнителя или принято решение на прерывание;
- 7) завершен цикл обмена по прямому доступу.

Выборкой упомянутых условий управляют сигналы CR4-1, CR4-2, CR4-3.

Биты  $\bar{Y}$  шины проверяются мультиплексером (K531 КП7 - D73) по сигналам выборки CRI-0, CRI-1, CRI-2. Выбранные биты, также состояние условий нуля и переноса ALU запоминаются в регистре (K555ТМ8 - D64) по сигналу SCLK L.

Для обработки шестого и седьмого условия используются по два триггера для привязки этих событий к системе синхронизации контроллера.

#### 8. II. ALU микропроцессора

Алфавитно-логическое устройство микропроцессора реализовано на двух микросхемах (KI804BCI - D67, D68). Каскадное соединение упомянутых микросхем позволяет осуществлять манипуляции над 8-битовыми байтами. Все обрабатываемые данные поступают на ALU по D шине. Данные из ALU выводятся по  $\bar{Y}$  шине. Инструкции управления для ALU считываются от управляющей памяти (см. табл. 21). В табл. 22 приведены выходы ALU.

#### 8.12. Процессор управления

Процессор управления (микросеквенсер) определяет последовательность выполнения микроинструкций, считываемых с управляющей памяти.

Процессор управления реализован на микросхеме (KI804 BV4 - D66). Выходами процессора управления являются адресные линии CSA0...CSA9, при помощи которых выбирается одна из 1024 ячеек управляющей памяти.

Име. № подл.	17-1116	Подп. и дата X - 21.05.25	Взам. инв. №	Име. № дубл.	Подп. и дата					Стр.
Изм.	Лист	№ докум.	Подп.	Дата	3.057.052PЭ				57	

Копировал

Формат Д4

В качестве кода управления используются выходы управляющей памяти CR5-4...CR5-7. Может быть выбрана любая инструкция из 16 возможных.

Инструкции могут быть модифицированы по состоянию сигнала CSE L на входе процессора. Под действием инструкции определяется следующий адрес управляющей памяти.

Первичными источниками адресов могут быть:

- 1) программный счетчик/регистр, встроенный в процессор управления;
- 2) стек в объеме пяти слов, встроенный в процессор управления;
- 3) адрес определяется по состоянию CR5-0...CR5-7, CR4-0, CR6-7.

определяющие входы АЛУ (ALU)

Таблица 2I

Мнемоника ALU	Определение
AA3...AA0	Адресный вход внутренней оперативной памяти ALU по каналу А
AB3...AB0	Адресный вход внутренней оперативной памяти ALU по каналу В
IN8...IN0	Функциональные входы ALU: IN2...IN0 определяют операнды R и S для текущей операции ALU  IN5...IN3 определяют операцию, которая должна быть осуществлена под операндами R и S в текущем такте  IN8...IN6 определяют внутренний приемник результата операции
CR	Входной перенос ALU. Используется при арифметических операциях
C	Вход синхронизации

Стр.  
58

3.057.052P3

Изм. Лист № докум. Подп. Дата

Копирован

## Выходы ALU (ALU)

Таблица 22

Мнемоника ALU	Определение
Z0	Нулевой результат операции ALU
CR4	Выходной перенос ALU
RGMO	Младший бит входного мультиплексера сдвига оперативной памяти
RGM3	Старший бит входного мультиплексера сдвига оперативной памяти ALU
RGQ3, RGQ0	Выходы сдвига регистра Q
OD3... ODO	Выходы ALU для вывода результата операции на внешний приемник

4) адрес определяется по содержимому регистра адреса микро-вектора (K53ПИР23 - D 74).

### 8.13. Управляющая память

Управляющая память состоит из семи элементов программируемой постоянной памяти PROM (KP556PT20 - D 52... D 58). Каждый элемент является 1024 x 8-битовой памятью. Вывод информации при считывании - через встроенный буферный регистр. Семь элементов PROM образуют 56-битовое слово инструкции, которое ради удобства делится на семь 8-битовых полей.

Содержимое управляющей памяти адресуется управляющим процессором и стробируется в буферный регистр по сигналу SCLK.

По сигналу VEC H запрещается вывод поля CR5 PROM, когда регистр адреса микровектора соединен с управляющим процессором. Содержимое элемента D52 выводится на D шину по сигналу XSDAL.

### 8.14. Регистр адреса микровектора

Регистр загружается содержимым Y шины по сигналу LXRBL.

Изм. № подл.	Изм. № док.	Подп. и дата	Взам. инв. №	Инв. № док.	Подп. и дата		Стр.
17-1116		87.05.25				3.057.052PЭ	59
Изм.	Лист	№ докум.	Подп.	Дата			

Копировал

Формат А4

Если проверка условий подтверждает выход микросеквенсера  $VEC H$ , выходы регистра (K53ИПР23 - D74) заменяют биты  $CR5-0...CR5-7$  как прямой адресный вход микросеквенсера.

#### 8.15. Логика декодирования

Логика содержит мультиплексеры, приводимые в действие битами полей управляющей памяти  $CR3$  и  $CR6$  и сигналом  $XCLK$ . Выходы мультиплексеров синхронизируют взаимодействие между различными элементами контроллера.

По сигналам, которые вырабатываются на выходах мультиплексеров (K53ИИД7 - D 38, D 39), регистры загружаются информацией от  $Y$  шины (см. табл. 23). По сигналам, которые вырабатываются на выходах мультиплексеров (K53ИИД7 - D 36, D 37), связываются выходы регистров с  $D$  шиной (см. табл. 24). По отношению к АЛУ микропроцессора элементы (K53ИИД7 - D 36, D 37) осуществляют функцию декодирования регистров-источников информации, так как определяется регистр-источник, содержимое которого по шине  $D$  будет направлено в АЛУ. Элементы (K53ИИД7 - D 38, D 39) осуществляют функцию декодирования регистров-приемников информации, так как определяется регистр-приемник, который должен принять информацию от АЛУ по шине  $Y$ .

Мультиплексер импульсов управления (K53ИИД7- D 35) формирует импульсы для инициализации или определения функции. Импульсы осуществляют синхронизацию, установку или сброс триггеров управления.

#### 8.16. Периферийный интерфейс

Периферийный интерфейс содержит следующие логические секции:

- 1) переключатели конфигурации ленточных устройств;
- 2) логика управления, команд и состояния устройств;
- 3) контроллер буфера данных (FIFO);
- 4) приемопередатчики буфера данных FIFO и ввода/вывода ленточных устройств.

Стр.

3.057.052РЭ

60

Изм. Лист

№ докум.

Подп.

Дата

Копирован

Передача информации по Y шине от выхода АЛУ (ALU)

Таблица 23

LXR0	Данные ОШ (старший байт)							
LXR1	Данные ОШ (младший байт)							
LXR2	Адрес ОШ (старший байт)							
LXR3	Адрес ОШ (младший байт)							
LXR4	INTR	BR	SSYN	ENAFIFO	C1	CO	D17	D16
LXR5	FLQL	FOFL	FREW	EDIT	ERASE	WFM	REV	WRT
LXR6	Данные FIFO							
LXR7	GO	RTH1	RTH2	FEN	FAD	DEN	TADO	TAD1
	Не используется							
	Не используется							
	Не используется							
LXRB	Векторный адрес							
LXRC	Гашение индикации самодиагностики							
LXRD	Адрес ROM							
LXRE	Адрес RAM							
LXRF	Данные RAM							
	7	6	5	4	3	2	I	0

Передача информации по D шине на вход АЛУ (ALU)

Таблица 24

XSD0	Адрес контроллера как исполнителя (ADD7... ADD0)							
XSD1	Данные ОШ (старший байт)							
XSD2	Данные ОШ (младший байт)							
XSD3	BG	MASTR	PAR ER	STL GOOD	ADDVFL	SSYN	C1	CO
XSD4	Данные FIFO							
	Не используется							
	Не используется							
XSD7	FMK	DNL	INACT	OUT ACT	EMPTY	FULL	HER	RWS

Име. № ...одп.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
17-11/16	24-05-25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052PЭ

Стр.  
61

Копировал

Формат А4

XSD8	DATA LATE	FRDY	FBSY	DBSY	DENS CHK	FPRT	BOT	EOT
XSD9	SW 7	SW 6	SW 5	SW 4	SW 3	SW 2	SW I	SW 0
XSDA	Секция микропрограммной памяти							
	Не используется							
	Не используется							
XSDD	PE	EDT FLDP	CER	0	SW9	SW8		OPI
XSDE	Данные ROM							
XSDF	Данные RAM							
	7	6	5	4	3	2	I	0

8.17. Переключатели конфигурации ленточных устройств

Блок переключателей разрешает оператору:

1) выбрать базовые адреса векторов прерывания для устройств с I по 3 (S2...S8);

2) установить количество слов, передаваемых во время каждого цикла внепроцессорной передачи (S1);

3) установить количество устройств, адресуемых системой (S9, S10).

Состояние переключателей передается на D шину через буферные элементы (K555АП5 - D I00, D II2) по стробирующим сигналам XSD9L и XSDDL соответственно. Через буфер (K555АП5 - D I00) на D шину выдаются также биты состояния выбранного устройства.

8.18. Логика управления, команд и состояния

Логика содержит регистры для запоминания сигналов управления (K555ТМ8 - D 33, D 42, D 49, D 50) ленточному устройству, а также приемные элементы сигналов ленточного устройства на D шину (K555АП3 - D 24, D 25).

Прием сигналов управления и команд в регистры (K555ТМ8 - D 33, D 42, D 49, D 50) стробируется сигналами LXR7 и LXR5 соответственно.

Стр.	3.057.052P9				
62		Изм.	Лист	№ докум.	Подп.

Копировал

Состояние устройства выводится на D шину стробирующими сигналами XSD7 и XSD8. Такие сигналы, как маркер ленты, исправимая или неисправимая ошибка, маркер конца ленты и т.д., предварительно запоминаются в триггерах (K555TP2, K555TM2 - D8, D6).

### 8.19. Контроллер FIFO

Контроллер FIFO вырабатывает адрес и управляющие сигналы для буфера данных FIFO. Буфер FIFO - это память RAM между линиями записи/считывания ленточного устройства и буфером DMA контроллера. Все данные между блоком центрального процессора и ленточными устройствами проходят через буфер FIFO.

Логика контроллера FIFO приводится в действие по сигналу ENA-FIFO H. Схема формирования адреса FIFO включает в себя два IO-рядных счетчика, используемых как указатели адреса при записи и считывании информации в буфер FIFO. Адрес ячейки буфера определяется сигналами FAD0... FAD9.

Управление счетчиком записи FIFO осуществляется по сигналу SJ. Сигнал SO управляет счетчиком считывания FIFO. После активизации SJ, подтверждается сигнал FIFWTL, а после активизации SO, подтверждается сигнал FIFRDL. FIFWTL означает запись данных в буфер FIFO либо с ленты, либо от шины Y. FIFRDL означает считывание данных с буфера FIFO с последующей передачей на D шину или записью на ленту.

Со входами SO и SJ связаны SR триггера (K555TM2 - D8), которые управляют формированием вышеупомянутых сигналов SO и SJ. При считывании данных с ленты по сигналу FRSTR1 устанавливается триггер (K555TP2 - вых. 9 - D8), возбуждается SJ, формируется FIFWTL и увеличивается на единицу содержимое регистра слежения за адресами при записи FIFO. При записи данных на ленту, информация из буфера данных (DMA) передается в буфер FIFO. В этом случае триггер (K555TP2 - вых. 9 - D8) устанавливается по сигналу LXR6 L. При

Име. № гэдл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
11-1116	20-01-85			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052PЭ	Стр.
						63

Копировал

Формат А4



записи в буфер *FIFO*, триггер (K555TP2 - вых. 9 - D8) гасится по сигналу *FIFWTL*, задержанному цепочкой C3, R20.

При считывании данных из буфера *FIFO* по сигналам *FDWDSL* (запись данных на ленту от *FIFO*) или *XSD4L* и *SCLKL* (передача данных от *FIFO* на буфер *DMA*), устанавливается триггер (K555TP2 - вых. 4 - D8), возбуждается *SO*, формируется *FIFRD L* и увеличивается на единицу содержимое регистра слежения за адресами при считывании *FIFO*.

При считывании из буфера *FIFO*, триггер (K555TP2 - вых. 4 - D8) гасится по сигналу *FIFRD L*, задержанному цепочкой C4, R21.

Состояние *FIFO* определяется сигналами *OUTACTH*, *INACTH*, *FULLH*, *EMPTUH*, *DATLATH*, поступающими в микропроцессор по шине D.

Хотя *FIFO* приводится в действие вышеупомянутыми *FRSTR L*, *LXREL* (запись *FIFO*) и *FDWDSL*, *XSD4L* и *SCLK L* (считывание *FIFO*), но лишь после снятия этих условий становятся активными *SJ* и *SO*.

Если вырабатывается строб записи или считывания, но еще необработанный аналогичный предыдущий строб, формируется условие *DATLAT L*.

#### 8.20. Буфер данных *FIFO*

1024 x 8-битовый буфер *FIFO* (KMI32P78 - D26, D27) буферизирует все данные между ленточным устройством и буфером *DMA*. Буфер *DMA* представляет собой 256 x 8 микропроцессорную память *RAM*.

Элемент (K155M12 - D28) предназначен для формирования - проверки паритета по нечету. Паритетный бит формируется и передается для записи на ленту. Если при считывании данных с ленты обнаруживается четный паритет байта, запускается триггер (K555TM2 - D20) и формируется сигнал *PARER H*.

При записи данных на ленту осуществляются следующие операции:

I) вырабатывается разрешающий сигнал *ENAFIFO H*;

Стр.	3.057.052P3				
64		Коп. Лист	№ докум.	Подп.	Дата

Копиреал

- 2) сигналом *LXR6L* стробируется содержимое *Y* шины в регистр (K555IP23 - D29) и синхронизируется *SJ* контроллера *FIFO*;
- 3) содержимое регистра (K555IP23 - D29) заносится в буфер данных *FIFO* по адресу *FADD...FAD9*. Стробом записи является *FIFWTL*;
- 4) последовательность операций по пунктам 2 и 3 будет повторяться пока эта цепочка не будет прервана;
- 5) во время выполнения указанной цепочки или до ее инициализации к адресуемому ленточному устройству был послан сигнал *FGO*. После того, как лента была приведена в движение и достигнута номинальная скорость, от форматера к контроллеру поступает сигнал *FDWDSL*;
- 6) *FDWDSL* синхронизирует *SO* контроллера *FIFO*;
- 7) адресные линии *FADD...FAD9* выбирают первую ячейку, которая была загружена данными;
- 8) сигналом *FIFRDL* стробируется занесение данных из буфера *FIFO* в регистр (K555IP23 - D30);
- 9) процедуры записи - считывания данных *FIFO* во время выполнения команды могут произвольно сменяться в случайной последовательности. Запись данных в *FIFO* прекращается после того, как содержимое счетчика слов станет нулевым. Считывание данных из *FIFO* невозможно, если *FIFO* вырабатывает условие *EMPTYH*.

При выполнении команды чтения с ленты по *RSTR L* данные с ленты стробируются в регистр (K555IP23 - D2I), откуда они записываются в буфер *FIFO* по сигналу *FIFWTL*. Содержимое буфера *FIFO* выводится при необходимости на регистр (K555IP23 - D3I) по сигналу *FIFRDL*. Выходы регистра соединяются с шиной *D* под действием сигнала *XSD4L*.

Примечание. Суммарная емкость буфера данных контроллера составляет 1034 байта: 1024 байта буфера *FIFO*, регистровый вход и выход *FIFO* и восемь байтов в 256 x 8 памяти *RAM*.

Изм. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
17-4716	29-05-85			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052PЭ	Стр.
						65

## 9. ПОДГОТОВКА К РАБОТЕ

9.1. Удалите упаковочные материалы и проверьте комплект поставки согласно паспорту 3.057.052ПС. Визуально убедитесь в отсутствии трещин, утери компонент и обрывов печатных соединений. О повреждениях и в случае несоответствия комплекту поставки сообщите представителю изготовителя.

9.2. Установку и подготовку контроллера к работе произведите в следующем порядке:

1) вставьте контроллер в блок частичный вычислительной машины СМ 2700 согласно I.700.01336;

2) подключите жгуты к контроллеру согласно 3.060.066РЭ;

3) подготовьте НМД к работе согласно В23.060.016ИЭ.

9.3. Готовность контроллера к работе подтверждается индикатором самодиагностики, который высвечивается зеленым светом после включения питания контроллера, если внутренний тест самодиагностики успешно завершен.

Стр.	3.057.052РЭ				
66		Изм.	Лист	№ докум.	Подп.

Копировал

## Ю. ТЕХНИЧЕСКОЕ ОБСЛУЖИВАНИЕ

Ю.1. Техническое обслуживание контроллера должно проводиться обслуживающим персоналом ВК СМ I700, имеющим право на обслуживание контроллера с учетом централизованного обслуживания.

Регламент технического обслуживания - не более 0,5 h в 6 месяцев.

Ю.2. Техническое состояние контроллера определяется по световому индикатору, указывающему, что тест самодиагностики прошел успешно. Однако, окончательная проверка готовности контроллера к работе устанавливаемая в составе ВК СМ I700 при помощи тестов EVMAA и EVMAD. При работе теста EVMAA неисправимых ошибок информации не должно быть. Допустимы исправимые (*soft*) ошибки при выполнении записи информации на магнитную ленту из-за недоброкачества носителя. Тест EVMAD выполняется без программных повторений записи, поэтому должна применяться доброкачественная магнитная лента. В противном случае возможно появление неисправимых (*hard*) ошибок при записи информации во время теста EVMAD.

Изм. № подл.	Подп. и дата	Взам. инв. №	Изн. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.

67

Копирован

Формат А4

## II. ВОЗМОЖНЫЕ НЕИСПРАВНОСТИ И МЕТОДЫ ИХ ОТЫСКАНИЯ

Возможные неисправности и методы их отыскания приведены в табл. 25.

Таблица 25

Неисправность	Возможная причина неисправности	Методы устранения неисправностей
I. Не горит световая индикация самодиагностики	<ul style="list-style-type: none"> <li>а) неработоспособна микросхемная контроллерная секция ;</li> <li>б) короткое замыкание или обрыв монтажа ;</li> <li>в) неисправная микросхема ;</li> <li>г) отсутствует напряжение питания .</li> </ul>	<p>Установить плату на удлинитель В2039 3.082.039. При помощи осциллографа просмотреть все контакты микросхем К1804ВС1. На всех контактах (кроме питания и земли) должны присутствовать импульсные сигналы. Если сигналов нет, то отсутствует напряжение питания, либо не работает задающий генератор частоты</p>
2. Нет связи между контроллером и ОШ	<ul style="list-style-type: none"> <li>а) неисправность в цепях приемопередатчиков ОШ ;</li> <li>б) осуществляется диагностика СРУ ;</li> <li>в) неисправность СРУ.</li> </ul>	<p>Проверить входные/выходные контакты цепей приемопередатчиков ОШ контроллера</p>

Стр.

3.057.052РЭ

68

Изм. Лист № докум. Подп. Дата

Копирован

Неисправность	Возможная причина неисправности	Методы устранения неисправностей
3. Нет обмена данными между контроллером и лентой	а) накопитель не готов или неисправность в кабельных соединениях; б) неверно функционируют регистры контроллера, управляющие накопителем или неисправная микросхема в регистровой секции контроллера.	а) проверить состояние управляющих органов на панели накопителя и правильность кабельных соединений; б) выполнить диагностические тесты.
4. Некорректная передача данных между контроллером и накопителем	Неисправность в цепях ввода/вывода информации между контроллером и накопителем	При работающем контроллере с помощью осциллографа проверить линии связи с накопителем с целью обнаружения короткого замыкания или обрыва

Изм. № подл. 17-1716	Подп. и дата 27.05.26	Взам. инв. №	Инд. № дубл.	Подп. и дата
-------------------------	--------------------------	--------------	--------------	--------------

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052PЭ	Стр. 69

Копировал

Формат А 4

## 12. ТРАНСПОРТИРОВАНИЕ И ХРАНЕНИЕ

12.1. Транспортирование контроллера производить в упакованном виде в транспортной таре всеми видами транспорта на любые расстояния при условии воздействия следующих климатических факторов:

- 1) температура окружающего воздуха от минус 50 до плюс 50 °С;
- 2) относительная влажность воздуха при температуре 30 °С до 95 %;
- 3) атмосферное давление от 84 кПа до 107 кПа;
- 4) транспортная тряска с ускорением 3g при частоте ударов от 80 до 120 в минуту.

12.2. Упаковка должна обеспечить сохранность контроллера от всякого рода повреждений при воздействии ударных нагрузок и климатических факторов на весь период транспортирования и хранения у потребителя в пределах гарантийного срока хранения.

12.3. Перевозки по железным дорогам через районы с холодным климатом должны осуществляться в период с марта до ноября.

12.4. Хранение должно осуществляться в складских помещениях (у изготовителя и потребителя) в упаковке при температуре от плюс 5 до плюс 35 °С с относительной влажностью воздуха не более 85 %.

В помещениях для хранения не должно быть примесей (паров, кислот, щелочей), вызывающих коррозию.

12.5. Для подготовки к эксплуатации после транспортирования и хранения в зимних условиях предусмотрено время выдержки в нормальных условиях эксплуатации в упаковке в течение 24 ч.

Стр.	3.057.052РЭ				
70		Изм.	Лист	№ докум.	Подп.

Копировал

Перечень условных сокращений, принятых  
в настоящем РЭ

Таблица 26

Наименование сигнала	Контакт разъема	Описание сигнала
A00 L	3A28	Шина адреса - бит 00 (младший)
A01 L	3C2I	Шина адреса - бит 01
A02 L	3C28	Шина адреса - бит 02
A03 L	4AI2	Шина адреса - бит 03
A04 L	4CII	Шина адреса - бит 04
A05 L	4AI4	Шина адреса - бит 05
A06 L	4AII	Шина адреса - бит 06
A07 L	4C06	Шина адреса - бит 07
A08 L	4A04	Шина адреса - бит 08
A09 L	4A08	Шина адреса - бит 09
A10 L	4A07	Шина адреса - бит 10
A11 L	4A03	Шина адреса - бит 11
A12 L	3C24	Шина адреса - бит 12
A13 L	3A3I	Шина адреса - бит 13
A14 L	3C3I	Шина адреса - бит 14
A15 L	3A24	Шина адреса - бит 15
A16 L	3A25	Шина адреса - бит 16
A17 L	3C25	Шина адреса - бит 17 (старший)
AD00H... AD17H		Буферизированные адресные биты 00...15 от ОШ к контроллеру
ADDDVFL H		Переполнение адреса
B64 IN H	3CI9	ОШ РП4 вх.
B65 IN H	3CI6	ОШ РП5 вх.
B66 IN H	3CI4	ОШ РП6 вх.

Име. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
17-1716	20.05.85			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052РЭ

Стр.  
71

Копировал

Формат А4



Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала
BG7 IN H	3CI2	ОШ РП7 вх.
BG4 OUT H	3AI9	ОШ РП4 вых.
BG5 OUT H	3AI6	ОШ РП5 вых.
BG6 OUT H	3AI4	ОШ РП6 вых.
BG7 OUT H	3AI2	ОШ РП7 вых.
BBSY L	4CI5	ОШ ЗАН
BR4 L	3CO8	ОШ ЗП4
BR5 L	3CO7	ОШ ЗП5
BR6 L	3CO6	ОШ ЗП6
BR7 L	3CO4	ОШ ЗП7
BSYCR H		Шина занята
Ø L	3A29	ОШ У1 - бит операции на ОШ (мл)
CI L	3A27	ОШ УØ - бит операции на ОШ (ст.)
CCE L		Условие
CCG L		Контрольные строки
CCROK L		Успешно выполнена самодиагностика
CER H		Исправимая ошибка
CLR EOT L		Сброс EOT
COUТ H		Выходной перенос
CR1-0...CR1-7		1-ый регистр управления - выходные биты 0...7
CR2-0...CR2-7		2-ой регистр управления - выходные биты 0...7
CR3-0...CR3-7		3-ий регистр управления - выходные биты 0...7
CR4-0...CR4-7		4-ый регистр управления - выходные биты 0...7

Стр.	3.057.052PЭ				
72		Изм.	Лист	№ докум.	Подп.

Копировал

Наименование сигнала	Контакт разъема	Описание сигнала
CR4-I...CR4-7		4-ый регистр управления - выходные биты 0...7
CR5-0...CR5-7		5-ый регистр управления - выходные биты 0...7
CR6-0...CR6-7		6-ой регистр управления - выходные биты 0...7
CSA0/CSA9		Адресные биты управляющей памяти (10 битов)
DOOH/DO7H		Внутренняя D шина - биты 0...7
DO0 L	2A28	Шина данных - бит 0
DO1 L	2A27	Шина данных - бит 1
DO2 L	2C3I	Шина данных - бит 2
DO3 L	2A29	Шина данных - бит 3
DO4 L	2A2I	Шина данных - бит 4
DO5 L	2A25	Шина данных - бит 5
DO6 L	2A3I	Шина данных - бит 6
DO7 L	2C24	Шина данных - бит 7
DO8 L	2C23	Шина данных - бит 8
DO9 L	2C22	Шина данных - бит 9
DO10 L	2C2I	Шина данных - бит 10
DO11 L	2CII	Шина данных - бит 11
DO12 L	2CI9	Шина данных - бит 12
DO13 L	2CI8	Шина данных - бит 13
DO14 L	2AI7	Шина данных - бит 14
DO15 L	2AI6	Шина данных - бит 15
DO16 L, DO17 L		Биты D шины для формирования адресных битов AI6, AI7

Име. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
11-1116	87.05.26			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052P3	Стр.
						73

Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала	
DATLAT L	2A24	Запаздывание данных	
DCLO L		ОШ АИП	
DCLO H		Буферизированный сигнал ОШ АИП	
DCOK H		Питание исправно	
DMAGOH		Осуществляется режим прямого доступа	
DMAREQL		Требование режима прямого доступа	
EADD L		Разрешение адреса	
EDATA L		Разрешение данных	
EMPTY H		Пустой буфер FIFO	
ENAFIFO H		Разрешение для работы FIFO	
ENMSYN L		Разрешение задатчика	
EOTSTA H		Состояние конца ленты	
ERASE H		Команда стирания	
FADD...		X5/49	Адресные линии буфера FIFO
FAD9			
FCCG/ID L	Контрольные строки/Идентификация метода ФК - интерфейс форматера		
FCER L	Исправимая ошибка - интерфейс форматера		
FDBY	Данные заняты - интерфейс форматера		
FDEN	Плотность записи - интерфейс форматера		
FDWDS	Импульс сопровождения записи - интерфейс форматера		
FEDT	Состояние конца ленты - интерфейс форматера		
FERASE	Команда стирания форматера		
	X5/35		
	X5/31		
	X6/13		
	X5/51		
	X5/53		
	X6/21		

Стр.	3.057.052P3				
74		Мас.	Лист	№ докум.	Подп.

Наименование сигнала	Контакт разъема	Описание сигнала
FFAD	X6/33	Адрес форматера - интерфейс форматера
FFBY	X5/27	Форматер занят - интерфейс форматера
FFEN	X6/37	Форматер разрешен - интерфейс форматера
FFMK	X5/27	Маркер ленты - интерфейс форматера
FFPT	X5/I5	Защита записи - интерфейс форматера
FGO	X6/39	Старт - интерфейс форматера
FHER	X5/39	Неисправимая ошибка - интерфейс форматера
FFRD L		Вывод данных FIFO
FIFWT L		Ввод данных FIFO
FLDP L	X5/37	Состояние начала ленты - интерфейс форматера
FLDL L	X6/I9	Установить дистанционный режим - команда форматеру
FLWD L	X6/49	Последнее слово данных - интерфейс форматера
FMK L		Обнаружен маркер ленты
FNRZ	X5/45	Состояние БВН - интерфейс форматера
FDFL	X6/27	Установить местный режим - команда форматеру
FON L	X5/4I	Состояние дистанционного режима форматера
FRD0	X5/59	Шина воспроизведения 0
FRD1	X5/2I	Шина воспроизведения I
FRD2	X5/I7	Шина воспроизведения 2
FRD3	X5/I9	Шина воспроизведения 3

Изм. № подл.	Подп. и дата	Взам. инв. №	Име. № дубл.	Подп. и дата
11 - 1116	81-05-25			

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052PЭ

Стр.  
75

Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала
FRD4	X5/57	Шина воспроизведения 4
FRD5	X5/05	Шина воспроизведения 5
FRD6	X5/23	Шина воспроизведения 6
FRD7	X5/25	Шина воспроизведения 7
FRDP	X5/55	Шина воспроизведения контрольная
FRDY		Состояние готовности - интерфейс форматера
FREVL	X6/II	Назад - команда форматера
FREW L	X6/29	Перемотать - команда форматера
FRSTR L	X5/II	Импульс сопровождения воспроизведения форматера
FRTH1 L	X6/47	Уровень ограничения I форматера
FRTH2 L	X6/43	Уровень ограничения 2 форматера
FRWD L	X5/47	Состояние перемотки форматера
FTAD0 L	X6/I7	Адресная линия выборки накопителя (ма.)
FTAD1 L	X6/03	Адресная линия выборки накопителя (ст.)
FULL H		Полный буфер FIFO
FWD0 L	X6/3I	Шина записи 0
FWD1 L	X6/4I	Шина записи I
FWD2 L	X6/5I	Шина записи 2
FWD3 L	X6/53	Шина записи 3
FWD4 L	X6/45	Шина записи 4
FWD5 L	X6/57	Шина записи 5
FWD6 L	X6/59	Шина записи 6
FWD7 L	X6/55	Шина записи 7
FWDP L	X6/35	Шина записи контрольная
FWFML	X6/25	Запись маркера - команда форматера

Стр.

3.057.052P3

76

Мам. Лист. № докум. Подп. Дата

Контроль

Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала	
FWRT L	X6/I5	Запись - команда форматера	
GO L		Сигнал инициализации форматеру	
INACT H		Режим ввода FIFO	
INCRAM L		Приращение адреса RAM	
INIT H		3A11	Буферизированный сигнал ОШ ПОДГ
INIT L			ОШ ПОДГ
INTG H			Сигнал разрешения прерывания
INTR H		4A23	Прерывание
INTR L			ОШ ПРЕР
ISACK L			Подтверждение выборки в режиме прерывания
LQOUT L	Запоминание выходного переноса		
LDDIR H		Загрузка данных от ОШ в регистры	
LXR0 L		Загрузка данных в регистр (старший байт)	
LXR1 L		Загрузка данных в регистр (младший байт)	
LXR2 L		Адрес прямого доступа (ст. байт)	
LXR3 L		Адрес прямого доступа (мл. байт)	
LXR4 L		Управление ОШ	
LXR5 L		Команда форматеру	
LXR6 L		Загрузка буфера FIFO	
LXR7 L		Управление форматером	
LXRB L		Адрес микровектора	
LXRC L		Гашение индикации самодиагностики	
LXRD L		Адрес ROM	
LXRE L		Адрес RAM	

Име. № подл.	Подп. и дата
№ - 1746	
В. зм. инв. №	Име. № дубл.
Подп. и дата	Име. № дубл.
№ - 47.05.25	

Изм.	Лист	№ докум.	Подп.	Дата

3.057.052PЭ

Стр.  
77

Копирован

Формат Д4

Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала
LXRF L		Запись в RAM
MASTR H		Задатчик на ОШ
MSYN H		Синхронизация задатчика
MSYN L	3C27	ОШ СХЗ
NBSYSYN H		Нет сигнала ЗАН и СХИ на ОШ
NPG IN H	3C02	ОШ РЦД вх.
NPG OUT H	3A02	ОШ РЦД вых.
NPRBSY H		Запрос на прямой доступ
NPRL	4A19	ОШ ЗЦД
OUTACT H		Режим вывода FIFO
PARER H		Ошибка по паритету
RBBSY H		Принят сигнал ОШ ЗАН
RBG L		Принят сигнал ОШ РП
RCO H		Принят сигнал ОШ УО
RCI H		Принят сигнал ОШ УІ
REL BUS L		Освободить шину
RESET H		Сигнал начальной установки
REV H		Назад
RNPG L		Принят сигнал ОШ РЦД
RSSYN H		Принят сигнал ОШ СХИ
RSTR H		Строб считывания
SACK L	4A29	ОШ ЦВБ
SCLK L		Синхронизирующая частота 6 МГц
SETEOT L		Установка ЕОТ
SLAVE H		Обращение к контроллеру как исполнителю
SSYN L	3C29	ОШ СХИ

Стр.

3.057.052P3

78

Мам. Лист № докум. Подп. Дата

Контроль

Наименование сигнала	Контакт разъема	Описание сигнала
STLGOOD H		Тест самопроверки функционирует исправно
STP DMA L		Конец цикла прямого доступа
STRTCYCL L		Начало цикла прямого доступа
TBG L		Выдать РП на ОШ
TBR H		Выдать ЗП
TBRI H		Выдать ЗП на ОШ
TCO H		Выдать УО на ОШ
TCI H		Выдать УИ на ОШ
TMSYN H		Выдать СХЗ на ОШ
TNPG L		Выдать РЦД на ОШ
TNPRI H		Выдать ЗЦД на ОШ
TSACK H		Выдать ПВБ на ОШ
TSSYN H		Выдать СХИ на ОШ
VEC H		Разрешение векторного регистра
WRT H		Запись
XCLK L		Синхронизирующая частота по фазе совпадающая с SCLK
XSD0		Адрес исполнителя
XSD1		Ввод данных (ст. байта)
XSD2		Ввод данных (мл. байта)
XSD3		Ввод состояния
XSD4		Данные для FIFO
XSD7		Состояние накопителя 1
XSD8		Состояние накопителя 2
XSD9		Переключатели 1

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
17-17/6	2008-05-25			

Изм.	Лист	№ докум.	Подп.	Дата	3.057.052PЭ	Стр.
						79



Продолжение табл. 26

Наименование сигнала	Контакт разъема	Описание сигнала
XSDA		Секция управляющей памяти
XSDD		Переключатели 2
XSDE		Источник ROM
XSDF		Источник RAM
Y00/Y07		Внутренняя Y шина
ZERO		Нулевой результат операции ALU

Стр.

3.057.052P3

80

Изм.	Лист	№ докум.	Подп.	Дата

Копирован

