

Утвержден
3.055.431РЭ-ЛУ

КОНТРОЛЛЕР СВЯЗИ МНОГОФУНКЦИОНАЛЬНЫЙ СМ 1700.4304

Руководство по эксплуатации

Часть 1

3.055.431РЭ

Магнитная лента

Листов 158



1987

Перв. примен.
3.055.431

Литера

Ина. м	Подп. и	Взам.	Ина. N	Подпись
подл.	дата	ина. N	дубл.	и дата

3.055.431РЭ

СОСТАВ ДОКУМЕНТА

Настоящий документ - КОНТРОЛЛЕР СВЯЗИ МНОГООФУНКЦИОНАЛЬНЫЙ СМ 1700.4304 РУКОВОДСТВО ПО ЭКСПЛУАТАЦИИ состоит из двух частей:

часть 1 - РУКОВОДСТВО ПО ЭКСПЛУАТАЦИИ 3.055.431РЭ.в этой части изложен текстовый материал, описывающий принципы работы, технические характеристики и условия эксплуатации КОНТРОЛЛЕРА СВЯЗИ МНОГООФУНКЦИОНАЛЬНОГО СМ 1700.4304 и даны необходимые таблицы.

часть 2 - РУКОВОДСТВО ПО ЭКСПЛУАТАЦИИ 3.055.431РЭ1, в которой даны рисунки, поясняющие текст 3.055.431РЭ (всего 38 рисунков). Ссылки в тексте на рисунки даны без указания обозначения и наименования части 2.

СОДЕРЖАНИЕ

Лист

ЧАСТЬ 1

1.	ВВЕДЕНИЕ.....	7
2.	НАЗНАЧЕНИЕ.....	8
3.	ТЕХНИЧЕСКИЕ ДАННЫЕ.....	9
4.	УКАЗАНИЯ МЕР БЕЗОПАСНОСТИ.....	12
5.	АРХИТЕКТУРНОЕ ОПИСАНИЕ МКС.....	13
5.1.	Адресация регистров МКС.....	13
5.2.	Общие регистры и вектора прерываний.....	14
5.3.	Синхронный интерфейс.....	17
5.3.1.	Протоколы синхронного интерфейса.....	18
5.3.2.	Скорость передачи по синхронному интерфейсу.....	19
5.3.3.	Регистр управления и состояния (РУС) приема синхронного интерфейса.....	20
5.3.4.	Регистр управления и состояния (РУС) передачи синхронного интерфейса.....	23
5.3.5.	Регистр разного назначения синхронного интерфейса.....	26
5.3.6.	Флажковый регистр синхронного интерфейса.....	27
5.3.7.	Косвенные регистры синхронного интерфейса.....	28
5.3.8.	Операции передачи синхронного интерфейса.....	38
5.3.9.	Операции приема синхронного интерфейса.....	40
5.4.	Асинхронный интерфейс.....	43
5.4.1.	Регистр управления и состояния.....	44
5.4.2.	Регистр параметров линии.....	46
5.4.3.	Буферный регистр приема.....	48
5.4.4.	Регистр параметров приемного БОП.....	49

3.055.431P3

5.4.5.	Косвенные регистры асинхронного интерфейса.....	50
5.4.6.	Операции асинхронного интерфейса.....	55
5.4.7.	Соотношения между отладочными режимами и сигналами модема.....	56
5.5.	Интерфейс построчной печати.....	59
5.5.1.	Регистр управления и состояния построчной печати.....	60
5.5.2.	Косвенные регистры построчной печати...	63
5.5.3.	Операции контроллера построчной печати.	67
5.6.	Параллельный интерфейс.....	68
5.6.1.	Регистр управления и состояния параллельного интерфейса.....	68
5.6.2.	Регистр выходного буфера.....	71
5.6.3.	Регистр входного буфера.....	72
5.6.4.	Регистр разного содержания.....	73
5.6.5.	Косвенные регистры параллельного интерфейса.....	74
5.6.6.	Операции параллельного интерфейса.....	75
6.	УСТРОЙСТВО И РАБОТА МКС.....	78
6.1.	Физическое описание МКС.....	78
6.2.	Основные функциональные узлы МКС.....	78
6.3.	Микрослово.....	82
6.4.	Детальное описание работы МКС.....	84
6.4.1.	Схема управления затвором ОШ.....	84
6.4.2.	Управление прерыванием ОШ.....	88
6.4.3.	Операции ввода/вывода исполнителя ОШ...	90
6.4.4.	Схема микропрерываний (TRAP).....	93
6.4.5.	Схема формирования адреса микрослова...	95
6.4.6.	Схема микропрограммной памяти.....	98
6.4.7.	Основной синхрогенератор.....	98
6.4.8.	Схема арифметического-логического устройства.....	99

6.4.9.	Схема управления местной памятью (LS)...	103
6.4.10.	Циклы чтения регистров внешних дискретных сигналов.....	105
6.4.11.	Циклы записи регистров DER.....	110
6.4.12.	цикл медленного чтения/записи.....	112
6.4.13.	Передачики и приемники интерфейса СТЫК С2.....	116
6.4.14.	Передачики и приемники параллельного порта.....	117
6.4.15.	Сигналы параллельного интерфейса/печатающего устройства..	117
7.	УСТРОЙСТВО И РАБОТА СОСТАВНЫХ ЧАСТЕЙ МКС...	120
7.1.	Устройство и работа УПКС.....	120
7.1.1.	Назначение.....	120
7.1.2.	Технические характеристики асинхронной передачи.....	120
7.1.3.	Функциональное описание УПКС.....	121
7.1.4.	Сигналы интерфейса.....	123
7.1.5.	Операции УПКС.....	126
7.1.6.	Регистры УПКС.....	127
7.2.	Устройство и работа МКСС.....	131
7.2.1.	Назначение.....	131
7.2.2.	Технические характеристики МКСС.....	131
7.2.3.	функциональное описание МКСС.....	132
7.2.4.	Операция приема.....	136
7.2.5.	Операции передачи.....	138
7.2.6.	Регистры МКСС.....	139
8.	ПОДГОТОВКА К РАБОТЕ.....	147
9.	ИЗМЕНЕНИЕ ПАРАМЕТРОВ, РЕГУЛИРОВАНИЕ И НАСТРОЙКА.....	150
10.	ВОЗМОЖНЫЕ НЕИСПРАВНОСТИ, СПОСОБЫ ИХ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ.....	151

11. ТРАНСПОРТИРОВАНИЕ И ХРАНЕНИЕ 157

ЧАСТЬ 2

ПРИЛОЖЕНИЕ. Рисунки к тексту

1. ВВЕДЕНИЕ

Данное руководство предназначено для изучения принципов построения, работы и использования контроллера связи многофункционального СМ 1700.4304, в дальнейшем называемого МКС.

Документ рассчитан на обслуживающий персонал, прошедший специальную подготовку и знакомый с РУКОВОДСТВОМ ПО ЭКСПЛУАТАЦИИ ВЫЧИСЛИТЕЛЬНОГО КОМПЛЕКСА СМ 1700 (3.039.006РЭ), РУКОВОДСТВОМ ПО ЭКСПЛУАТАЦИИ ВЫЧИСЛИТЕЛЬНОЙ МАШИНЫ СМ 2700 (3.039.006РЭ), интерфейсами ОБЩАЯ ШИНА, СТЫК С2 и ИРПР (интерфейс для радиального подключения устройств с параллельной передачей информации), а также с микропрограммированием и микросхемами, входящими в состав МКС.

В настоящем документе без определенных пояснений используются общепринятые сокращения в системе малых ЭВМ.

Все другие сокращения, используемые в тексте, поясняются непосредственно в разделах, в которых они применяются.

При эксплуатации данного изделия, кроме документов 3.055.431РЭ и 3.055.431РЭ1, необходимо пользоваться комплектом эксплуатационных документов, комплектом программного обеспечения (ПО), а также диагностическим ПО ВК СМ 1700, согласно комплектности ВК СМ 1700 1.700.013Ф0.

2. НАЗНАЧЕНИЕ

МКС является частью вычислительной машины СМ 2700. Это интеллектуальный контроллер периферии, предназначенный для связи центрального процессора с периферийными устройствами ВК СМ 1700 и другими компьютерами. МКС принимает одну нагрузку общей шины (ОШ) и обладает возможностью прямого доступа к памяти (ПДП) по ОШ.

МКС содержит три логически независимых порта: асинхронный, синхронный и параллельный.

Асинхронный порт - восьмиканальный асинхронный мультиплексор передачи данных. Линии (1,0) имеют полное управление модемом и возможность работы с расцепленной скоростью (разные скорости на прием и передачу).

Синхронный порт - одноканальный синхронный интерфейс с полным управлением модема.

Параллельный порт - интерфейс построчной печати или шестнадцатиразрядный параллельный интерфейс.

Реализация алгоритмов обслуживания устройств - микропрограммное. Объем микропрограммной памяти 4К тридцатипятиразрядных слов.

Общая блок-схема связей МКС показана на рис.1.

В процессе эксплуатации МКС выдерживает воздействие следующих климатических и механических факторов:

температура от 5 до 60 градусов С;

относительная влажность воздуха от 40 до 90 % при температуре 30 градусов С;

атмосферное давление от 84 до 107 кПа;

вибрация частотой 25 Нз с амплитудой не более 0.1 мм.

Нормальные условия эксплуатации МКС:

температура окружающего воздуха от 15 до 25 градусов С;

относительная влажность воздуха от 45 до 75 %;

атмосферное давление от 84 до 107 кПа.

3. ТЕХНИЧЕСКИЕ ДАННЫЕ

Функциональные параметры отдельных портов МКС приведены в табл.1-4.

Таблица 1
Функциональные параметры асинхронного мультиплексора

Параметр	Описание
Рабочий режим	Дуплексный или полудуплексный
Формат данных	Асинхронный последовательный по битам, с одним стартовым битом и одним или двумя стоповыми битами
Размер символа	5, 6, 7 или 8 бит (не включая бита паритета)
Порядок разрядов	Передача/прием начинаются с младшего бита
Паритет	Задается программно. Может быть нечетным, четным или вовсе отсутствовать. Если паритет выбран, паритетный бит добавляется к символу на позиции самого старшего бита.
Скорость обмена, bit/s	50; 75; 110; 134,5; 150; 300; 600; 1200; 1800; 2000; 2400; 3600; 4800; 7200; 9600; 19200
Расщепление скорости	Только для линий 0 и 1
Полное управление модемом	Только для линий 0 и 1
Интерфейс	СТЫК С2

Таблица 2
Функциональные параметры синхронного интерфейса

Параметр	Описание
Передача по ПДП	С двойной буферизацией
Поддерживаемые	DDCMP, GEN BYTE, SDLC, HDLC

Продолжение табл. 2

Параметр	!	Описание
протоколы	!	
функции протокола	!	Вставка бита, удаление бита, генера-
	!	ция и проверка по циклическому избы-
	!	точному коду
Интерфейс	!	СТЫК С2
Скорость обмена, bit/s	!	800; 1200; 1750; 2152; 2400; 4800; 9600
	!	19200 (при использовании внутреннего
	!	генератора)
Размер символа	!	С 1 до 8 битов

Таблица 3

Функциональные параметры интерфейса построчной печати

Параметр	!	Описание
Поддерживаемые устройства печати	!	С интерфейсом на ИРПР
Возможности фор-	!	Табуляция, преобразование нижнего ре-
матирования	!	гистра в верхний, перенос строки,
	!	преобразование смещения формы в сме-
	!	щение строк

Таблица 4

Функциональные параметры параллельного интерфейса

Параметр	!	Описание
Входные данные	!	Параллельный ввод 16 бит
Выходные данные	!	Параллельный вывод 16 бит
Интерфейс	!	Типа ИРПР

Тип системного интерфейса, к которому подключается МКС - общая шина (ОШ).

Потребляемые токи от источников питания:
 5,0 А от источника постоянного тока 5 В номиналь-
 ного напряжения с допустимым отклонением от минус 5 до
 плюс 5 %;

0,5 А от источника постоянного тока 12 В номиналь-

3.055.431P2

ного напряжения с допустимым отклонением от минус 5 до плюс 5 %.

0,5 А от источника постоянного тока минус 12 В номинального напряжения с допустимым отклонением от минус 5 до плюс 5 %;

Коэффициент технического использования 0,98.

Конструктивно МКС представляет собой модуль 3.055.431, размером не более 426x285x19 мм. Модуль представляет собой многослойную печатную плату с размещенными на ней цифровыми интегральными микросхемами и радиоэлектронными элементами (разъемами, микропереключателями).

Масса МКС не более 1 кг.

4. УКАЗАНИЯ МЕР БЕЗОПАСНОСТИ

Меры безопасности во время эксплуатации и технического обслуживания в составе вычислительной машины СМ 2700 описаны в соответствующем разделе 3.039.006РЭ

Не устанавливать и не вынимать плату МКС из блока вычислительной машины при включенном питании.

Устанавливать и вынимать плату аккуратно, чтобы не повредить компоненты на плате и не изменить состояние переключателей.

Для избежания статистических зарядов, во время транспортировки, осмотра или ремонта платы МКС, на разъемы надеть заглушки с объединенными контактами.

Монтажные работы разрешается производить инструментом с рабочим напряжением не более 36 В, имеющим изоляцию токоведущих частей от корпуса.

Лицо, обслуживающее плату МКС вне блока вычислительной машины, должно надеть заземленный эрслет.

5. АРХИТЕКТУРНОЕ ОПИСАНИЕ МКС

МКС состоит из четырех отдельных устройств: асинхронного интерфейса, синхронного интерфейса, интерфейса построчной печати и параллельного интерфейса. Каждое из них программируется независимо от трех остальных, поскольку каждое устройство содержит свой собственный набор регистров. Кроме того, имеются два общих регистра управления и состояния (РУСО и РУС1).

5.1. Адресация регистров МКС

Регистры управления и состояния всех четырех устройств МКС размещаются в блоке из 16 слов в адресном пространстве ввода/вывода ОШ. Если МКС первое устройство на ОШ, то его регистры будут размещены в первом адресном пространстве с начальным адресом 760340 (восьмеричное). Этот базовый адрес задается установкой переключателей на пакете переключателей D75 (переключатели с 1 по 8) модуля МКС. Адреса всех регистров управления и состояния (РУС) подсчитываются относительно установленному базовому адресу, как показано в табл.5.

Адреса регистров МКС

Таблица 5

Регистр РУС	! Адрес (в восьмеричном коде)
РУСО МКС	! Базовый +0
РУС1 МКС	! Базовый +2
РУС синхронного приема	! Базовый +4
РУС синхронной передачи	! Базовый +6
Регистр разного назначения/ флажковый регистр изменения данных	! Базовый +10
Косвенные регистры синхронного интерфейса	! Базовый +12
РУС асинхронного мультиплексора	! Базовый +14
Регистр параметров линии	! Базовый +16

Продолжение табл. 5

Регистр РУС	Адрес (в восьмеричном коде)
Регистр приемного буфера параметров БПП приема (буфер обмена в порядке поступления)	Базовый +20
Косвенные регистры асинхронного мультиплексора	Базовый +22
РУС построочной печати	Базовый +24
Косвенные регистры построочной печати	Базовый +26
РУС параллельного интерфейса	Базовый +30
Регистр входного буфера	Базовый +32
Регистр входного буфера/разного назначения	Базовый +34
Косвенные регистры параллельного интерфейса	Базовый +36

РУС МКС выбираются как одно слово, кроме регистра, используемого для выборки БПП передачи асинхронных линий и выходного буфера параллельного интерфейса при операции в функциональном режиме DR11-С.

5.2. Общие регистры и вектора прерываний

Регистр РУСУ используется во время автоконфигурации. РУСУ [15:12] содержит код устройства, который вызывает операционной системе, какие устройства МКС доступны. Коды устройств даны в табл.6.

Таблица 6
Коды устройств (РУСУ [15:12])

Биты РУСУ (бит=1)	Доступные устройства
[15]	Асинхронный мультиплексор
[14]	Синхронный интерфейс

Продолжение табл. 6

биты PUCO (бит=1)	Доступные устройства
[13]	Интерфейс построчной печати
[12]	Параллельный интерфейс

Во время автоконфигурации операционная система также загружает значение базового вектора (в PUCO [7:0]). Значение базового вектора (VECTOR 0) используется для вычисления значений других сечи векторов прерывания. Значения векторов даны в табл.7.

Таблица 7
Вектора прерываний МКС

Вектор	Функция	Значение вектора (восьмеричное)
VECTOR 0	Прием по синхронному интерфейсу	Базовый (VECTOR 0)
VECTOR 1	Передача по синхронному интерфейсу	Базовый +4
VECTOR 2	Вектор А параллельного интерфейса	Базовый +10
VECTOR 3	Вектор В параллельного интерфейса	Базовый +14
VECTOR 4	Прием асинхронного мультиплексора	Базовый +20
VECTOR 5	Передача асинхронного мультиплексора	Базовый +24
VECTOR 6	Интерфейс построчной печати	Базовый +30
VECTOR 7	Не используется	Базовый +34

Вектор прерывания выдается на [9:2] разряды линии данных Ш.

Доступные устройства выбираются установкой переключателей 0, 7 (пакета переключателей S3) на распределительной панели. Положение переключателей отражается в битах PUCO [15:12]. Микропрограмма считывает положение переключателей после включения питания, поэтому переключатели для выборки устройства должны быть установлены до

зключения питания. Об установке переключателей пакета S3 см. табл.8.

Таблица 8
Выборка устройств МКС

Пакет переключателей S3		!		Доступные устройства
Переключатель 6		!		Переключатель 7
Вкл.	!	Вкл.	!	Асинхронное
Вкл.	!	Выкл.	!	Асинхронное, построч-
	!		!	ная печать
Выкл.	!	Вкл.	!	Асинхр., синхронный,
	!		!	параллельный интерфейс
Выкл.	!	Выкл.	!	Асинхр., синхр., по-
	!		!	строчная печать
	!		!	

Биты L15:12] PUC0 можно изменить в другую конфигурацию и без вмешательства человека. Например, диагностическая программа хочет изменить параллельный интерфейс в интерфейс построчной печати или наоборот. Это может быть исполнено инструкцией WRITE WORD (например: MOV W в PUC 0 [15:12]). Эта инструкция WRITE WORD запишет и значение базового вектора прерывания, который занимает младший байт PUC0. Чтобы загрузить вектор прерывания (младший байт PUC0) без воздействия на старший байт PUC0 (биты доступности устройств), надо применить инструкцию BYTE (например: MOV B). Команда MOV B загрузит младший байт PUC0, не обращая внимания на то, какой байт адресуется.

PUC1 МКС используется для диагностических целей. Присутствует пять разных случаев использования PUC1. Когда PUC1 использован в режиме диагностики интерфейса построчной печати, данные вместо послыки в печатающие устройства передаются в PUC1 [7:0]. Другие четыре примечания PUC1 изложены в табл.9. В этих случаях функции регистра определяют старший байт PUC1 [15:8].

Таблица 9
Функции PUC1

Содержимое PUC1 [15:8]!	Диагностическая функция
55	!
	! Принудительно вводит ошибку паритета, которая приводит к гашению
	! зеленого светодиода на плате МКС
	! и к запрету выполнения микропрограммы. В этом состоянии регистры

Содержимое PUC1[15:8]!	Диагностическая функция
	! МКС не могут выбираться. Для пере- ! запуска выполнения надо выдать по ! ОШ сигналы DCLO или INIT !
AA	! Начать работу с ячейки 0000, с ко- ! торой начинается работа после сиг- ! налов ОШ DCLO или INIT. Это сред- ! ство позволяет программе управлять ! инициализацией самотестирования ! после включения питания !
2A	! Старший байт PUC1 содержит микро- ! код уровня REV. Чтобы прочесть ! уровень REV, надо в PUC1 [15:8] за- ! писать 2A, после чего чтение этих ! битов из PUC1 позволит получить ! уровень REV. Уровень REV хранится ! в BCD и в байте есть две цифры !
AA	! Самотестирование успешно заверши- ! лось !

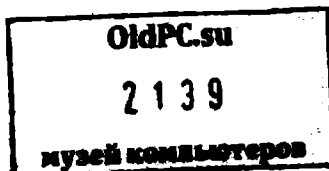
5.3. Синхронный интерфейс

Синхронный интерфейс является одноканальным последовательным устройством, которое производит обмен информации с оперативной памятью по прямому доступу (ПДП), с полным управлением модема.

Так как МКС хранит адреса общей шины (ОШ) и счет байтов, каждая шестнадцатиразрядная пересылка в оперативную память или из нее требует только одного обращения к памяти. Как передатчик, так и приемник имеют по два набора регистров счета байтов и регистров адреса буфера. После того, как одно из сообщений передано, передача второго сообщения может начинаться немедленно, даже если процессор еще не оповещен о завершении передачи первого сообщения. Завершение передачи, изменение состояния модема, обнаружение ошибочных условий приводит к выдаче сигнала прерывания на уровне BR.

Синхронный интерфейс может работать в качестве управляющей станции или в качестве подчиненной (вспомогательной). В режиме вспомогательной станции программа должна загрузить адрес вторичной станции (биты [7:0] косвенного регистра 5). Адрес вторичной станции используется для проверки адреса приема сообщения. В режиме управляющей станции синхронный интерфейс не проверяет поля адреса приема.

Синхронный интерфейс использует четыре регистра



3.055.431PЭ

устройства и 16 косвенных регистров. Четырьмя регистрами устройства являются:

- регистр управления и состояния приема;
- регистр управления и состояния передачи;
- регистр разного назначения;
- флажковый регистр изменения набора данных.

5.3.1. Протоколы синхронного интерфейса

Синхронный интерфейс поддерживает как протоколы, ориентированные на поразрядную передачу (SDLC и HDLC), так и протоколы, ориентированные на байты (DDCMP). Ориентированные на биты протоколы из числа тех, которые не поддерживаются синхронным интерфейсом, могут быть реализованы с помощью основного ориентированного на байты протокола GEN BYTE. Для указания протокола программа загружает соответствующий регистр синхронного интерфейса.

При ориентированных на биты протоколах (SDLC, HDLC) синхронный интерфейс выполняет следующие функции:

- аставку и изъятие бита в сообщении;
- опознание флажкового символа (01111110) для оформления принятия сообщения;
- генерацию флажкового символа для ограничения передаваемого сообщения;
- опознание символа прекращения (01111111) в принимаемом сообщении;
- генерацию символа прекращения передаваемого сообщения (11111111);
- опознание адреса вторичной станции в принимаемом сообщении при работе в режиме вторичной станции (максимальная длина адреса зависит от протокола);
- проверку принятого сообщения по CRC (проверочный символ циклического кода);
- генерацию CRC в передаваемом сообщении.

Протоколы, ориентированные на байты в синхронном интерфейсе — DDCMP и GEN BYTE.

По протоколу DDCMP синхронный интерфейс выполняет:

- контроль по CRC принятого сообщения;
- вычисление CRC для передаваемого сообщения;
- опознание вспомогательного адреса;
- проверку бита быстрой синхронизации для последующей пересинхронизации;
- проверку счета байтов для определения длины сообщения.

Протокол GEN BYTE является основным протоколом, ориентированным на байты. Имея программу, выполняющую функции специфические для протокола, можно реализовать любой, ориентированный на байты, протокол.

При протоколе GEN BYTE синхронный интерфейс выпол-

няет:

- передачу по ПДП;
- прерывание по приему, если запрограммированный символ сравнения (младший байт регистра символа сравнения) совпал с принятым символом и если бит символа сравнения (бит [3] РУС приема) установлен;
- опознание символов синхронизации приема и изъятие избыточных символов синхронизации;
- счет символов в регистре счета символов;
- контроль по CRC на приеме;

5.3.2. Скорость передачи по синхронному интерфейсу

При использовании внутреннего генератора МКС синхронная линия может передавать на одной из 16 программируемых скоростей (биты [11:8] косвенного регистра 2). Скорости передачи даны в табл.10.

Таблица 10
Скорости передачи по синхронному интерфейсу

биты [11:8]	биты в секунду	биты [11:8]	биты в секунду
0000	800	1000	28.800
0001	1.200	1001	32.081
0010	1.760	1010	38.400
0011	2.152	1011	57.600
0100	2.400	1100	76.800
0101	4.800	1101	115.200
0110	9.600	1110	153.600
0111	19.200	1111	316.800

Работа на скорости большей 19.200 bit/s не рекомендуется вследствие ограничений по полосе пропускания.

При внешней синхронизации может быть использована любая из скоростей передачи и приема до 19,2 kbit/s. Приемник использует внешние сигналы синхронизации, выдаваемые из модема, за исключением тестирования при наладке.

5.3.3. Регистр управления и состояния (РУС) приема синхронного интерфейса

РУС приема выполняет следующие функции: прием; срабатывание символов (GEN BYTE) с заданным; прерывание по приему; местное закичивание (петлю) при отладке; очищение сообщения от синхроимпульсов.

Регистр также индицирует следующее: выбранный регистр адреса буфера приема; приемник находится в активном состоянии; принятое сообщение было передано во вторичный буфер приема; остаточное содержимое счетчика байтов не равно нулю; является ли МКС первичной или вторичной станцией, либо он выполняет роль управляющей или подчиненной станции; ошибку на приеме; принятое сообщение было передано в первичный буфер приема.

РУС приема имеет адрес, равный базовому +4. Допускаются циклы чтения-изменения-записи по общей шине. Доступ возможен только к слову.

Функции регистра управления и состояния приема синхронного интерфейса даны в табл. 11.

Таблица 11
Функции РУС приема синхронного интерфейса

Биты	Название	Функция
[0]	Логическое включение приемника	Если бит установлен, разрешается обработка последовательных входных данных приемника. Переход бита из состояния "0" в состояние "1" сбрасывает биты ошибки приема (переход из одного состояния в другое осуществляется только программой). Бит можно читать и записывать. Его сброс выполняется: по сигналу сброса от задатчика или по INIT; по установке прекращения приема, ошибке ПДП, ошибке по вертикальному контролю приема, переполнению приема, по ошибке блокового контроля приема

Продолжение табл. 11

Биты	Название	Функция
[1]	Бит не используется	
[2]	Первичный/вторичный прием	Нулевое состояние указывает, что активными являются первичные регистры; единичное - вторичные регистры. Когда пересылка по ПДП принятых данных завершается (успешно или нет), бит изменяет состояние для указания на новый активный приемный буфер. Однако, если бит выполнения приема нового буфера не сброшен, приемник становится бездействующим до сброса бита выполнения. Бит [2] можно читать и записывать, сбрасывается по сбросу задатчика или по сигналу INIT
[3]	Символ сравнения на приеме	Символ используется только при работе по протоколу GEN BYTE. Когда бит установлен, все принимаемые символы сообщения сравниваются с символом, хранящимся в регистре символа сравнения [7:0]. Обнаружение совпадения вызывает прерывание, символы продолжают приниматься и продолжают операции по ПДП. Бит можно читать и записывать. Сбрасывается по сбросу от задатчика или по сигналу INIT
[4]	Бит не используется	
[5]	Разрешение прерывания по приему	Когда бит установлен, разрешается запрос на прерывание по вектору приема, если установлены биты: первичного выполнения приема, вторичного выполнения приема или бит ошибки приема. Бит можно читать и записывать. Сбрасывается по сбросу задатчика или по INIT
[6]	Приемник активен	Установленный бит указывает, что синхронный интерфейс обрабатывает сообщение. Бит можно только читать. Сбрасывается по сбросу от задатчика, по INIT или при снятии бита [0] РУС приема (разрешение приема)
[7]	Вторичное выполнение приема	Бит устанавливается после того, как синхронный интерфейс принял сообщение. Так как МКС содержит буфер, бит

Продолжение табл. 11

Биты	Название	Функция
		! может быть установлен раньше, чем все ! символы будут переданы по ПДП. Одна- ! ко, если установлен бит разрешения ! прерывания по приему, прерывание по ! вектору приема произойдет только пос- ! ле того, как все символы будут пере- ! даны в оперативную память. ! Бит только читается. Сбрасывается по ! загрузке вторичного регистра счета ! символов приема. Сброс задатчика или ! INIT устанавливает этот бит
[8]	Внутренняя петля	! Если значение бита 0, внутренняя пет- ! ля отсутствует. Значение 1 порождает ! внутреннюю петлю, используемую при ! проверках в отладочном режиме. ! Бит можно читать и писать. Сбрасыва- ! ется по сбросу задатчика и по INIT
[10:9]	Не используются	
[11]	Остаток вторичного приема	! Используется только для протоколов, ! ориентированных на биты. Бит устанавли- ! вается, как только счет остаточных ! битов не равен нулю. ! Если после установки бита вторичного ! выполнения приема (бит L/R) данного РУС) ! этот бит сброшен, все биты последнего ! символа являются частью сообщения. ! Если этот бит установлен, частью со- ! общения является количество битов, ! указанных счетчиком остаточных битов. ! Бит только читается. Сбрасывается ли- ! бо по сбросу задатчика или INIT, либо ! по записи во вторичный регистр счета ! приема
[12]	Остаток первичного приема	! Назначение бита аналогично биту ос- ! татка вторичного приема
[13]	Первичная/вторичная станция	! Для протоколов SDLC и HDLC, когда бит ! сброшен, синхронный интерфейс работа- ! ет как первичная станция, если бит ! установлен - как вторичная станция. ! Для протокола DDCMP, когда бит сбро- ! шен, синхронный интерфейс работает ! как управляющая станция, если уста- ! новлен - как подчиненная станция. ! Бит можно читать и писать. Сбрасыва- ! ется по сбросу от задатчика или по ! INIT

Продолжение табл. 11

Биты	Название	Функция
[14]	Ошибка приема	Бит является логическим ИЛИ всех битов ошибок в регистре ошибок приема. Установка бита сбрасывает бит разрешения приема, также вызывает прерывание по вектору приема, если установлен бит разрешения прерывания по приему. Бит только читается. Сбрасывается по сбросу от задатчика, INIT или по чтению регистра ошибок приема
[15]	Первичное выполнение приема	Назначение бита аналогично биту [7] данного РУС (вторичное выполнение приема)

5.3.4. Регистр управления и состояния (РУС) передачи синхронного интерфейса

РУС передачи позволяет выполнять:
 запрос прямого доступа (ЗПД) к памяти (в режиме первичной и в режиме вторичной станции);
 запрос прерывания, когда установлен бит изменения набора данных;
 запрос прерывания при установке битов выполнения передачи или бита ошибки передачи.

РУС также индицирует:
 вырванный регистр адреса буфера передачи и регистр счета символов;
 переход из одного состояния в другое любого бита изменения набора данных;
 ошибку передачи;
 на синхронный интерфейс было передано сообщение из первичного (или вторичного) буфера данных.

РУС передачи управляет состоянием последовательной линии при появлении недогрузки передачи и выбирает источник синхронизации.

РУС передачи имеет адрес, равный базовому +6. При обращении к нему разрешаются циклы чтения-модификации-записи. Обращаться можно только к слову.

Функции регистра управления и состояния передачи синхронного интерфейса даны в табл.12.

Таблица 12
 функции РУС передачи синхронного интерфейса

биты	Название	Функция
[0]	Разрешение передачи	При установленном бите разрешается передача символа, если сброшены биты выполнения (первичный или вторичный). Переход бита из 0 в 1 сбрасывает бит ошибки передачи. Если программа сбрасывает бит в середине передачи, устанавливается бит ошибки передачи и бит выполнения передачи, возникает прерывание (если установлен бит разрешения прерывания по передаче), но не устанавливается ни один из битов регистра ошибок передачи. Бит читается и записывается. Сброс происходит по сбросу от задатчика или по INIT, при установке бита ошибки передачи, по биту недогрузки передачи или по биту длины передаваемого символа
[1]	Не используется	бит всегда читается как ноль
[2]	Первичная/вторичная передача	Нулевое значение бита означает, что активные первичные регистры; единица - активные вторичные регистры. Когда пересылки по ПДИ передаваемых данных заканчиваются (успешно или нет), бит меняет свое состояние, которое указывает новый активный буфер передачи. Бит можно читать и записывать. Сбрасывается (активность первичных регистров) по сбросу задатчика или по INIT
[3]	Бездействие	Бит управляет состоянием последовательной линии в промежутке между сообщениями. При нулевом значении бита, по последовательному каналу передаются синхронизирующие символы в байт ориентированных протоколах или маркеры в бит ориентированных протоколах. Если бит равен 1, в байт ориентированных протоколах по последовательному каналу посылаются маркеры, в бит ориентированных протоколах - флажковые символы. Бит можно читать и записывать. Сбрасывается по сбросу задатчика или по

Продолжение табл. 12

Биты	Название	Функция
		INIT
[4]	Разрешение прерывания по набору данных	<p>Когда этот бит установлен, при установленном бите изменения набора данных (бит [6] настоящего РУС), разрешается запрос прерывания по вектору передачи.</p> <p>Бит читается и записывается. Сбрасывается по сбросу от задатчика или по INIT</p>
[5]	Разрешение прерывания по передаче	<p>При установленном бите разрешается запрос прерывания по вектору передачи, если установлены биты выполнения передачи (первичный или вторичный) или бит ошибки передачи.</p> <p>Бит читается и записывается. Сбрасывается по сбросу задатчика или по INIT</p>
[6]	Изменение набора данных	<p>Бит устанавливается при переходе из 1 в 0 или из 0 в 1 любого из битов флажкового регистра изменения набора данных (программа может прочесть флажковый регистр для определения, какая из линий модема изменила состояние).</p> <p>Бит только читается. Сбрасывается по чтению регистра приема модема (косвенный регистр 4), по сбросу задатчика и по сигналу INIT</p>
[7]	Вторичное выполнение передачи	<p>Бит устанавливается после передачи сообщения из вторичного буфера данных на синхронный интерфейс. Установка бита вызывает прерывание по вектору передачи (если бит [5] настоящего РУС установлен).</p> <p>Бит только читается. Сбрасывается по записи во вторичный регистр счета символов передачи (косвенный регистр 13). Устанавливается по сбросу задатчика или INIT</p>
[8]	Источник синхронизации передачи	<p>При нулевом значении бита используется синхронизация из модема.</p> <p>Если бит установлен, используется внутренний генератор скорости передачи, которая определяется в регистре генератора скорости передачи (косвенный регистр 2).</p> <p>Бит читается и записывается. Сбрасывается по сбросу задатчика или по</p>

Продолжение табл. 12

Биты	Название	Функция
		INIT
[9]	Инверсия синхронного приема	При установленном бите сигналы синхронизации приема (при работе не в режиме внутренней петли) инвертируются. Эта функция используется для тестирования. Бит читается и записывается. Сбрасывается по сбросу задатчика или по INIT
[13:10]	Не используются	Биты всегда считываются нулевыми
[14]	Ошибка передачи	бит является логическим ИЛИ всех битов ошибок в регистре ошибок передачи (косвенный регистр 2). При установленном бите запрашивается прерывание по вектору передачи (если установлен бит [5] настоящего рус). бит только читается. Сбрасывается при чтении регистра ошибок передачи, по сбросу задатчика и по INIT
[15]	Первичное выполнение передачи	бит аналогичен биту [7] настоящего рус (вторичное выполнение передачи)

5.3.5. Регистр разного назначения синхронного интерфейса

Регистр выбирает один из 16 косвенных регистров и инициирует сброс задатчика. Адрес регистра разный базовому +8. При обращении к нему по общей шине разрешаются циклы чтения-изменения-записи. Обращение как к слову. Функции регистра разного назначения даны в табл.13.

Таблица 13

Функции регистра разного назначения

Биты	Назначение	Функция
[3:0]	Адрес косвенного регистра	Биты указывают один из косвенных регистров. Биты можно читать и записывать. Сброс задатчика или сигнал INIT не-

Продолжение табл. 13

БИТЫ	Назначение	Функция
		обязательно сбрасывают эти биты
L6:4	Не используются	
[7]	Сброс задатчика	<p>Бит устанавливается программой на время выполнения сброса задатчика и сбрасывается автоматически после его завершения. Во время выполнения сброса программа не должна обращаться к регистрам синхронного интерфейса, кроме настоящего регистра.</p> <p>Во время сброса инициализируются различные биты регистров управления и состояния. Передатчик удерживается в определенном состоянии, приемник логически выключается, а интерфейс устанавливается на эмуляцию протокола, указанного в регистре параметра протокола (косвенный регистр 0). Регистры счета символов и адреса буфера не подвергаются воздействию сброса задатчика</p>

5.3.6. Флажковый регистр синхронного интерфейса

Флажковый регистр изменения набора данных синхронного интерфейса указывает, какой из сигналов приемного модема изменил состояние. Регистр можно только читать. Он автоматически сбрасывается при чтении программой регистра приемного модема (косвенный регистр 4). Он также сбрасывается по сбросу задатчика и по INIT.

Регистр может быть использован для идентификации линии модема, которая испытала быструю последовательность двух переходов состояния. Например, если носитель был потерян на короткий период, сигнал обнаружения носителя сначала пропадает, а затем вновь восстанавливается. Таким образом, во времени, когда программа читает соответствующий регистр приемного модема, сигнал обнаружения носителя может вернуться в исходное состояние. Без дополнительной информации (из флажкового регистра) программа не в состоянии идентифицировать, какой из сигналов приемного модема испытал этот моментальный переход.

В табл.14 перечислены сигналы приемного модема.

Таблица 14

Сигналы приемного модема

Биты флажкового регистра	Сигналы модема
[1:0]	Неиспользуемые биты
[2]	Флажок приема пользователя
[3]	Неиспользуемый бит
[4]	Флажок запрос передачи
[5]	Флажок обнаружения носителя
[6]	Флажок индикатора амзоаа
[7]	Флажок готовности набора данных

5.3.7. Косвенные регистры синхронного интерфейса

К этим регистрам возможен доступ только как к словам с адресом, равным базовому +А. Биты [3:0] регистра разного назначения адресует один из 16 косвенных регистров. Запись в один из этих косвенных регистров увеличивает адрес косвенного регистра на единицу. Это автоматически приводит к захвату данных, указываемых адресом инкрементированного регистра.

По сбросу задатчика и по INIT сбрасываются:
 биты [7:0] косвенного регистра 1;
 биты [15:0] косвенного регистра 2.

Только по INIT сбрасывается косвенный регистр 4. Все остальные косвенные регистры не затрагиваются сбросом задатчика и имеют непредсказуемое значение после INIT. За инициализацию этих регистров ответственна программа.

Все косвенные регистры, кооме битов [7:0] косвенного регистра 4, можно читать и записывать. Биты [7:0] косвенного регистра 4 можно только читать. При обращении к любому косвенному регистру допускается цикл чтения-изменения-записи по общей шине. В табл.15 перечислены все косвенные регистры синхронного интерфейса.

Таблица 15

Косвенные регистры синхронного интерфейса

Косвенный регистр	Биты	Название
0	[7:0]	Регистр параметров протокола
0	[15:8]	Регистр числа бит на символ для приема и передачи
1	[7:0]	Ошибки приема
1	[15:8]	Счетчики остаточных битов
2	[7:0]	Ошибки передачи
2	[11:8]	Генератор скорости передачи
2	[15:12]	Не используется
3	[7:0]	Число символов синхронизации
3	[15:8]	Регистр символа синхронизации
4	[7:0]	Приемный регистр модема
4	[15:8]	Регистр передачи модема
5	[15:0]	Адрес вторичной станции
6	[15:0]	Адрес первичного приемного буфера
7	[13:0]	Первичный счетчик символов приема
7	[15:14]	Старшие разряды адреса первичного приемного буфера
8	[15:0]	Адрес вторичного приемного буфера
9	[13:0]	Вторичный счетчик символов приема
9	[15:14]	Старшие биты адреса вторичного приемного буфера
10	[15:0]	Адрес первичного буфера передачи
11	[13:0]	Первичный счетчик символов передачи
11	[15:14]	Старшие биты адреса первичного буфера передачи
12	[15:0]	Адрес вторичного буфера передачи
13	[13:0]	Вторичный счетчик символов передачи

Продолжение табл. 15

Косвенный регистр	Биты	Название
13	[15:14]	Старшие биты адреса вторичного буфера передачи
14	[7:0]	Символ для сравнения
14	[15:8]	Не используется
15	[15:0]	Не используется

Функции косвенного регистра 0 даны в табл.16.

Таблица 16
Функции косвенного регистра 0 синхронного интерфейса

Биты	Название	Функция
[2:0]	Обращение с ошибками	000 - CRC-CCITT с предустановкой в единицы 001 - CRC-CCITT с предустановкой в нуль 010 - нечетный паритет по горизонтали и вертикали 011 - CRC-16 (циклический код) 100 - нечетный паритет по горизонтали 101 - четный паритет по горизонтали 110 - четный паритет по горизонтали и вертикали 111 - контроль ошибок отсутствует
[5:3]	Протокол	Определяет протокол, который должен выполняться: 000 - DDCMP 001 - SDLC 010 - HDLC 011:110 - резерв 111 - GEN BYTE
[6]	Очистка синхронизации	Используется только в протоколе GEN BYTE. Если бит установлен, все синхронизирующие символы, кроме двух начальных символов синхронизации, автоматически очищаются. В остальных протоколах синхронизация очищается автоматически
[7]	Не используется	
[10:8]	Число бит	Биты определяют число битов в символе

Продолжение табл. 16

Биты	Название	Функция
	в принима-	при приеме:
	емом сим-	000-8 100-4
	воле	001-1 101-5
		010-2 110-6
		011-3 111-7
L12,11	не исполь-	
	зуются	
L15:13	Число бит	Биты определяют число битов на символ
	в переда-	при выполнении передачи:
	ваемом	000-8 100-4
	символе	001-1 101-5
		010-2 110-6
		011-3 111-7

Используемый контроль ошибок зависит от протокола и от числа битов в протоколе. Зависимость протокола, числа бит в протоколе и используемого контроля ошибок дана в табл.17.

Таблица 17
Комбинации используемого контроля ошибок

Протокол	Число битов в символе	Контроль ошибок
SDLC	5, 6, 7 или 8	CRC-CCITT с предустановкой в единицы; контроль ошибок отсутствует
HDLC	5, 6, 7 или 8	CRC-CCITT с предустановкой в единицы; контроль ошибок отсутствует
DDCMP	8	CRC-16
GEN BYTE	8	CRC-16; контроль ошибок отсутствует
GEN BYTE	5, 6, или 7	Четный паритет по вертикали, нечетный паритет по вертикали, четный паритет по вертикали и горизонтали, нечетный паритет по вертикали и горизонтали или контроль ошибок отсутствует

Функции косвенного регистра 1 даны в табл.18.

Таблица 18

Функции косвенного регистра 1 синхронного интерфейса

Биты	Название	Функция
[0]	Не используется	
[1]	Ошибка перегрузки на приеме	Бит устанавливается, если синхронный интерфейс не может достаточно быстро обработать и передать по ПДП принятые символы (высокая скорость передачи по ПДП). Бит сбрасывается по сбросу задатчика, по INIT или при чтении регистра ошибок приема (биты [7:0] настоящего регистра)
[2]	Ошибка по символу контроля блока	Устанавливается, если принятое сообщение порождает ошибку по контролю блока. Бит сбрасывается по сбросу задатчика, по INIT или при чтении регистра ошибок
[3]	Ошибка ПДП приема	Бит устанавливается, если контроллер общей шины МКС либо не принял сигнала синхронизации исполнителя (SSYN) в течение 32 микросекунд после выдачи MSYN, либо контроллер не может получить функции задатчика на протяжении 32 микросекунд после выдачи запроса (BUS NPR). Установка этого бита сбрасывает бит разрешения. Сброс бита выполняется по сбросу задатчика, по INIT или при чтении регистра ошибок приема
[4]	Ошибка контроля по вертикали	Бит устанавливается, когда только что принятый символ имеет неверный паритет. Используется только в протоколах, ориентированных на байты. Сбрасывается по сбросу задатчика, по INIT или при чтении регистра ошибок приема
[5]	Прекращение приема	Бит устанавливается, если принимается последовательность прекращения приема (семь последовательных логических единиц), при установленном бите активности приемника (бит [6] РУС приема). Сбрасывается по сбросу задатчика, по INIT или при чтении регистра ошибок

Продолжение табл. 18

Биты	Название	Функция
		приема
L6J	Переполнение буфера приема	Бит устанавливается, когда регистр счета принимаемых символов досчитывает до нуля, а еще не все байты приняты. (Для протоколов DDCMP, SDLC и HDLC синхронный интерфейс знает, когда заканчивается сообщение. В режиме GEN BYTE бит переполнения буфера приема не устанавливается). Бит сбрасывается по сбросу задатчика, по INIT и при чтении регистра ошибок приема
L7J	Не используется	
L10:8J	Вторичный счет остаточных битов	Биты используются в протоколах, ориентированных на биты и указывают, сколько битов в последнем символе, переданном в оперативную память, являются частью сообщения. Эти биты следует проверять только после установки бита выполнения вторичного приема. Остаточные биты выравниваются по правой границе внутри последнего байта
L11J	Не используется	Этот бит игнорируется программой
L14:12J	Первичный счет остаточных битов	Биты аналогичны битам [10:8] настоящего регистра (для вторичного приема). Биты следует проверить после установки бита выполнения первичного приема.
L15J	Не используется	Этот бит игнорируется программой

Функции косвенного регистра Z даны в табл.19.

Таблица 19

Функции косвенного регистра Z синхронного интерфейса

Биты	Название	Функция
L0J	Нарушение длины сообщения	Бит устанавливается, если счет символов указывает слишком маленькую длину буфера для определенного про-

Продолжение табл. 19

Биты	Название	Функция
		! токола. Ошибка может быть обнаружена ! до начала передачи. (Например, буфер ! в протоколе SDLC меньше четырех сим- ! воллов). ! Бит сбрасывается по сбросу задатчи- ! ка, по INIT или по чтению регистра ! ошибок передачи (биты L7:0] настоя- ! щего регистра)
[1]	Ошибка по ПДП при передаче	! Бит устанавливается, если контроллер ! общей шины синхронного интерфейса не ! получает SSYN за период 32 микросе- ! кунд после посылки MSYN или не полу- ! чает функций задатчика в течение 32 ! микросекунд после выдачи непроцес- ! сорного запроса общей шины. ! Бит сбрасывается по сбросу задатчи- ! ка, сигналу INIT или при чтении бит ! L7:0] настоящего регистра
[2]	Ошибка недогрузки передачи	! Бит устанавливается, если синхронный ! интерфейс не в состоянии достаточно ! быстро обработать передаваемый сим- ! вол и затем достать из памяти по ПДП ! следующий передаваемый символ. ! Бит сбрасывается по сбросу задатчи- ! ка, по INIT или при чтении регистра ! ошибок передачи
[7:5]	Не используются	
[11:8]	Генератор скорости передачи	! Биты указывают скорость для внутрен- ! него генератора передачи ! (см. табл. 10)
[15:12]	Не используются	! Эти биты сбрасываются по сбросу за- ! датчика или по INIT

Функции косвенного регистра 3 даны в табл. 20.

Таблица 20

Функции косвенного регистра 3 синхронного интерфейса

Биты	Название	Функция
[7:0]	Число синхросимволов	! Биты указывают, сколько раз синхро- ! низирующий символ должен быть пере- ! дан перед сообщением
[15:8]	Регистр	! Регистр содержит синхросимвол, пере-

Биты	Название	Функция
	символа	даваемый:
	синхронизации	между сообщениями, когда установлен бит бездействия;
		перед выборкой передаваемого сообщения по ПДП.
		Синхросимвол также используется для синхронизации приема.
		(Число передаваемых символов указано в битах [7:0])

Косвенный регистр 4 состоит из приемного регистра [7:0] и передающего регистра модема [15:8]. Любой переход из одного состояния в другое битов приемного регистра модема вызывает установку бита изменения набора данных (бит [6] РУС передачи). Функции этого регистра рассмотрены в табл.21.

Таблица 21

Функции косвенного регистра 4 синхронного интерфейса

Биты	Название	Функция
[1:0]	Не используется	
[2]	Прием пользователя	Бит можно использовать в любых требуемых целях пользователя. С помощью переключателя бит соединяется с 19-ым контактом разъема X6 распределительной панели (сигнал RX USRT USER RX)
[3]	Не используется	
[4]	Готов к передаче	Бит отражает состояние линии готов к передаче, исходящей из модема (сигнал RX USRT CTS)
[5]	Обнаружение носителя	Бит отражает состояние линии обнаружения принятого сигнала, исходящей из модема (сигнал RX USRT CAR)
[6]	Индикатор вызова	Бит отражает состояние линии индикатора вызова, исходящей из модема (сигнал RX USRT R1)
[7]	Набор данных готов	Бит отражает состояние линии готовности набора данных, исходящей из модема (сигнал RX USRT DSR)

Продолжение табл. 21

Биты	Название	Функция
L8]	Передача пользова- теля	Линия может использоваться в любых пользовательских целях. Присоединя- ется к 18 контакту раз'ема X6 рас- пределительной панели (сигнал USRT USER TX)
L9]	Готовность терминала	Бит контролирует линию готовности терминала, присоединенную к моде- му. Когда бит установлен, сигнал выдается на линию
[10]	выбор ско- рости пе- редачи данных	Бит управляет линией выбора скорос- ти передачи данных, присоединенной к модему. Когда бит установлен, сигнал выдзается на линию
[11]	Не исполь- зуется	
[12]	Запрос пе- редачи	Когда бит установлен, сигнал выда- ется на линию запроса передачи, присоединенной к модему
[15:13]	Не исполь- зуются	

Косвенный регистр 5 содержит либо адрес вторичной станции, либо адрес подчиненной станции. Для протоколов, ориентированных на биты, этот регистр содержит адрес вторичной станции. В случае протокола DDCMP, регистр содержит адрес подчиненной станции. Синхронный интерфейс сравнивает этот адрес с адресом входящего сообщения для определения принадлежности сообщения данному устройству. Если станция имеет однобайтовый адрес, используется только младший байт регистра, а старший байт игнорируется.

Косвенные регистры 6 и 7 определяют адрес буфера и счет символов первичного приема.

Биты [15:0] косвенного регистра 6 и биты [15:14] косвенного регистра 7 образуют восемнадцатиразрядный адрес первичного приемного буфера. Этот адрес указывает на буфер приема данных в оперативной памяти. Принятое сообщение посылается по этому адресу с помощью непроцессорных запросов (по ПДП).

Биты [15:0] косвенного регистра 7 служат регистром счета символов приема. Регистр загружается размером (в байтах) буфера приема данных. Этот регистр счета символов декрементируется синхронным интерфейсом каждый раз, когда данные передаются в оперативную память. Программа может читать этот регистр, чтобы вычислить длину приня-

3.055.431PЭ

того сообщения. Если размер сообщения превышает пространство буфера, отведенного для приема сообщения, часть сообщения теряется. (Это отличается битом переполнения приема). Загрузка этого регистра приводит к сбросу бита выполнения первичного приема.

Косвенные регистры 8 и 9 определяют адрес буфера и счет символов вторичного приема.

Биты [15:0] косвенного регистра 8 и биты [15:14] косвенного регистра 9 содержат восемнадцатиразрядный адрес вторичного приемного буфера. Этот адрес указывает на буфер приема данных в оперативной памяти. Принятое сообщение пересылается в буфер с помощью непроцессорных запросов (по ПДП).

Биты [13:0] косвенного регистра 9 служат регистром счета символов при вторичном приеме. Регистр загружается размером (в байтах) буфера приема данных. Этот регистр счета символов декрементируется синхронным интерфейсом при каждой пересылке в оперативную память. Программа может считать этот регистр для вычисления длины принятого сообщения. Если размер сообщения больше пространства буфера, предназначенного для сообщения, часть сообщения теряется. (Это отличается битом переполнения приема). Загрузка этого регистра приводит к сбросу бита выполнения вторичного приема.

Косвенные регистры 10 и 11 определяют адрес буфера и счет символов первичной передачи.

Биты [15:0] косвенного регистра 10 и биты [15:14] косвенного регистра 11 составляют восемнадцатиразрядный адрес первичного буфера передачи. Этот адрес указывает на буфер передачи данных в оперативной памяти. Сообщение, которое необходимо передать, пересылается из этого буфера в синхронный интерфейс по ПДП.

Биты [13:0] косвенного регистра 11 являются регистром первичного счета передаваемых символов. Регистр загружается размером (в байтах) буфера передачи данных. Этот регистр декрементируется каждый раз при передаче данных из оперативной памяти в синхронный интерфейс. Загрузка регистра приводит к сбросу бит. выполнения первичной передачи.

Косвенные регистры 12 и 13 определяют адрес буфера и счет символов вторичной передачи.

Биты [15:0] косвенного регистра 12 и биты [15:14] косвенного регистра 13 образуют совместно восемнадцатиразрядный адрес вторичного буфера передачи данных в оперативной памяти. Сообщение, которое должно быть передано, пересылается из этого буфера в синхронный интерфейс с помощью непроцессорных запросов (по ПДП).

Биты [13:0] косвенного регистра 13 содержат счет символов вторичной передачи. Регистр загружается размером (в байтах) буфера передачи данных. Этот регистр декрементируется при каждой пересылке из оперативной памяти в синхронный интерфейс. Загрузка регистра сбрасывает бит выполнения вторичной передачи.

Косвенный регистр 14 содержит символ сравнения

(биты L7:0]). Биты L15:8] этого регистра не используются. (Символ сравнения используется только при работе в режиме GEN BYTE).

Косвенный регистр 15 не используется.

5.3.8. Операции передачи синхронного интерфейса

Синхронный интерфейс готов к передаче после того, как будет выполнено следующее:

- программа загружает вектор прерывания в PUS1 MСS;
- сброс задатчика по включению питания;
- из программы загружается регистр параметра протокола и регистр числа бит на символ для приема и передачи (косвенный регистр 0);
- установлен сигнал сброса задатчика;
- после сброса задатчика, программой загружается любой требуемый параметр и выполняется логическое включение передатчика и приемника.

В случае протоколов, ориентированных на байты, программа должна загрузить как регистр синхронизации, так и регистр числа символов синхронизации (косвенный регистр 3). В протоколах, ориентированных на биты, для синхронизации передачи и приема используется стандартный "флажковый" символ.

Перед передачей данных из буфера программа устанавливает бит первичный/вторичный (бит L2] PUS передачи), а также загружает соответствующие регистры счета символов и регистры адреса буфера. Если для передачи имеется более одного сообщения, загружаются как первичные, так и вторичные регистры. Передача из буфера может начинаться с границы любого байта. Пара выравненных в границах слова байтов выбирается по прямому обращению к памяти через общую шину.

Чтобы начать передачу по ПДП из оперативной памяти в синхронный интерфейс, необходимо установить бит разрешения передачи, которым сбрасываются все биты ошибок передачи.

Синхронный интерфейс воздействует на байты, которые должны быть переданы, в соответствии со спецификой используемого протокола. После успешной передачи по ПДП и пересылки сообщения устанавливается первичный бит выполнения передачи. Если бит разрешения прерывания по передаче установлен, установка первичного бита выполнения передачи вызывает прерывание по вектору передачи.

Если при первичной передаче сообщение прекращается по причине ошибок, устанавливается бит ошибки передачи и сбрасывается бит разрешения передачи. Бит первичной/вторичной передачи изменяет состояние, и активной становится вторичная передача.

Если установлен вторичный бит выполнения передачи, синхронный интерфейс становится бездействующим (бит раз-

решения передачи не сбрасывается) и ожидает, пока программа загрузит вторичный регистр счета символа и тем самым сбросит вторичный бит выполнения передачи. После сброса вторичного бита выполнения передачи начинается обработка вторичного буфера.

Пока данные вторичного буфера пересылаются в синхронный интерфейс для передачи, программе следует обслужить прерывание по сигналу первичного выполнения передачи. Если имеется другое сообщение для передачи, адрес первичного буфера следует загрузить адресом буфера сообщения, затем загрузить первичный регистр счета символов. Загрузка первичного регистра счета символов сбрасывает первичный бит выполнения передачи. Схема двойной буферизации приводит к высокой пропускной способности без строгих требований к задержке обслуживания пребывания.

Ошибочные условия при передаче прекращают пересылку сообщений, и синхронный интерфейс автоматически передает символ прекращения (1111111). Прекращение передачи приводит к установке одного из битов выполнения в соответствии с состоянием бита первичный/вторичный. Сбрасывается бит разрешения передачи и устанавливается бит ошибки передачи. Биты [2:0] косвенного регистра 2 индицируют причину ошибки передачи.

Чтобы отличить символ данных внутри сообщения от флажкового символа, синхронный интерфейс выполняет вставку битов. После любой последовательности из пяти единиц внутри сообщения вставляется нуль. Когда используется CRC, вычисление CRC учитывает все биты внутри сообщения, за исключением вставленных нулей. Открывающий и закрывающий флажок не включается в вычисления CRC.

Сообщение в буфере передачи должно иметь оформление, полностью соответствующее SDLC или HDLC начинаясь с поля адреса и завершаясь последним символом данных. Синхронный интерфейс вставляет символы CRC перед флажком закрытия. Если CRC не указываются, сообщение должно содержать проверочный символ CRC в последних 16 битах.

Передачик выполняет одинаковые операции для протоколов SDLC и HDLC.

В случае передачи в протоколе DDCMP, синхронный интерфейс генерирует CRC и вставляет их в нужные точки (и для заголовка и для данных) потока передаваемого сообщения. Синхронный интерфейс вставляет, по крайней мере, два холостых символа в конец каждого сообщения. (Передающий буфер не должен включать никаких CRC - ни для заголовка, ни для данных).

При передаче сообщения синхронный интерфейс читает символы, узнавая таким образом, где заканчивается сообщение. В сообщениях, состоящих из данных, счет символов начинается после первого символа начала заголовка; в отладочных сообщениях - после первого символа изменения цели связи (авторегистра). Регистр счета символов, пересылаемых по ПДП, должен иметь длину, по крайней мере, равную длине заголовка и данных, иначе установится бит ошибки длины передаваемого сообщения. Управляющие сообщения размещаются на фиксированной длине в восемь байтов. Регистр счета передаваемых данных при этом должен быть загружен значением не ниже шести (синхронный интерфейс генерирует два байта CRC).

Символы выбираются из оперативной памяти с помощью ПДП до тех пор, пока содержимое регистра счета символов не станет равным нулю. Если указывается CRC, синхронный интерфейс генерирует проверочный символ блока информации и присоединяет его к концу сообщения. Если указан контроль с избыточностью по вертикали, синхронный интерфейс присоединяет паритетный бит к каждому символу. Если указан контроль и по вертикали, и по горизонтали, синхронный интерфейс присоединяет паритетный бит к каждому символу и добавляет символ проверки по горизонтали к концу сообщения.

Установка битов ошибки (бит [1] или [2] косвенного регистра 2) завершает передачу. Завершение передачи приводит к посылке по линии синхронизирующих символов, либо маркера (в зависимости от состояния бита [3] PUC передачи). Устанавливается бит ошибки передачи и сбрасывается бит разрешения передачи (бит [0] PUC передачи). Состояние завершения передачи длится до тех пор, пока программа не опознает ошибочную ситуацию.

5.3.9. Операции приема синхронного интерфейса

Для приема сообщений по синхронному интерфейсу программа устанавливает бит первичного/вторичного приема (бит [2] PUC приема), загружает соответствующий регистр адреса буфера приема и регистр счета символов (могут быть загружены и первичные, и вторичные регистры). Загрузка первичного или вторичного счетчика символов сбрасывает соответствующий бит выполнения. Приемный буфер может начинаться и заканчиваться на границе любого байта. Одновременно передается пара выраженных по границе слова байтов.

После загрузки регистра адреса буфера приема и счетчика символов устанавливается бит разрешения приемника для распознавания синхронизирующего символа. В протоколах, ориентированных на байт, прием двух последовательных синхронизирующих символов вызывает синхронизацию. Протокол, ориентированный на биты, синхронизируется флажковым символом. Установкой бита разрешения приема сбрасываются все биты ошибок приема.

После приема сообщения и успешной передачи по ПДП устанавливается бит выполнения приема. Если установлен при этом бит разрешения прерывания по приему, вызывается прерывание по вектору приема.

После того, как установлен первичный бит выполнения приема или бит ошибки приема, бит первичный/вторичный изменяет свое состояние и индицирует активность вторичного приема. Если вторичный бит выполнения приема установлен, синхронный интерфейс становится бездействующим (бит разрешения приема остается установленным), пока не будет сброшен вторичный бит выполнения приема или бит ошибки приема. Когда вторичный бит выполнения приема или бит ошибки приема сброшены, принятое сообщение загружа-

ется во вторичный буфер.

Пока принимаемые данные пересылаются во вторичный буфер оперативной памяти, программе следует выполнить обслуживание прерывания по первичному выполнению приема. В качестве составной части этого обслуживания следует загрузить регистр адреса первичного буфера и первичный счетчик символов приема.

Ошибочные условия приема прекращают получение сообщения и устанавливают бит ошибки приема. Биты [7:0] косвенного регистра 1 индицируют ошибки приема.

В случае приема, начало сообщения опознается приемом нефлажкового символа после флажкового. При работе в режиме вторичной станции синхронный интерфейс сравнивает поле адреса вторичной станции в принятом сообщении с запрограммированным адресом вторичной станции. Если эти поля адреса вторичной станции идентичны, синхронный интерфейс начинает пересылку по ПДП в приемный буфер оперативной памяти. Если адреса неидентичны, сообщение игнорируется и в синхронный интерфейс последует следующее сообщение.

SDLC указывает адрес вторичной станции в одном байте (биты [7:0] косвенного регистра 5).

HDLC указывает адрес вторичной станции в одном или двух байтах. Если младший бит первого байта нулевой, второй байт является расширением адреса (биты [15:8] косвенного регистра 5).

Протокол ADCCP реализуется при работе синхронного интерфейса в режиме HDLC или SDLC. ADCCP указывает любое число байтов в качестве адреса вторичной станции. Если младший бит первого байта нулевой, второй байт является частью адреса. Если младший бит второго байта нулевой, то и третий байт является частью адреса. Последний байт адреса имеет единицу в младшем бите адреса.

В режиме HDLC синхронный интерфейс сравнивает только первые два байта многобайтного адреса. Если адреса совпадают, синхронный интерфейс инициирует передачу по ПДП сообщения из внутреннего буфера в оперативную память. Таким образом, чтобы принять сообщение ADCCP в режиме HDLC, программа должна проверить оставшиеся адресные байты переданного сообщения для определения его назначения именно данному устройству.

Все биты принятого сообщения (кадр) включаются в CRC, за исключением вставленных разрядов. Синхронный интерфейс изымает вставленные биты перед вычислением CRC. Вставленные биты устраняются всегда, даже если CRC не вычисляется.

Принятый проверочный символ CRC сравнивается с CRC, вычисленным в синхронном интерфейсе. В случае несовпадения устанавливается бит ошибки блока (бит [2] косвенного регистра 1). Принятый CRC не пересылается в буфер оперативной памяти.

При любой ошибке на приеме для бит ориентированных протоколов сбрасывается бит разрешения приема, что приводит к логическому выключению приемника.

Принятое сообщение пересылается с заголовком и возможными данными в приемный буфер оперативной памяти.

Биты, относящиеся к контролю по CRC, устраняются из сообщения. Также отбрасываются все символы синхронизации, заданные байтовую синхронизацию и "хвостовые" холостые символы заполнения.

Как в случае сообщений, состоящих из данных, так и в случае отладочных сообщений, синхронный интерфейс читает информацию и таким образом узнает, где кончается поток данных. У сообщений, состоящих из данных, счет символов начинается после первого символа начала заголовка; при отладочных сообщениях счет символов начинается после первого символа изменения цепи связи (авторегистр). Регистр счета символов, посылаемых при приеме по ПДП, должен иметь длину, равную, по крайней мере, длине заголовка и данных.

Управляющие сообщения не имеют поля данных и имеют фиксированную восьмизайтовую длину. При этом регистр счета символов при приеме должен быть загружен значением не ниже шести (два байта CRC не передаются по прямому доступу).

В протоколе DDSP при приеме сообщения проверяется бит быстрой синхронизации. Если бит быстрой синхронизации установлен, синхронный интерфейс повторно синхронизируется после конца сообщения. Если бит быстрой синхронизации не установлен, синхронный интерфейс проверяет байт, непосредственно следующий за концом сообщения. Если этот байт является символом начала заголовка, символом опроса или символом изменения данных, синхронный интерфейс воспринимает эти символы как начало примыкающего сообщения. В противном случае приемник повторно синхронизируется при обнаружении ошибки по CRC.

Выполняя протокол GEN BYTE, программный символ сравнения совмещается с принимаемыми символами. В случае совпадения вызывается прерывание по приему. Прием двух последовательных синхронизирующих символов сигнализирует о синхронизации. Если установлен бит очистки синхронизации (бит [0] косвенного регистра U), в приемный буфер не передается больше двух первых символов синхронизации. Буфер загружается принимаемыми данными, пока счет символов приема не станет равным нулю.

Если указывается контроль по CRC на приеме, синхронный интерфейс выполняет контроль и индицирует ошибочные условия, устанавливая бит ошибки контроля принятого блока информации (бит [3] косвенного регистра I). Если указывается контроль с избыточностью по вертикали или контроль с избыточностью по горизонтали, первое обнаружение ошибки по вертикали устанавливает бит ошибки контроля по вертикали (бит [4] косвенного регистра I). Если указан контроль по вертикали и по горизонтали и обнаруживается ошибка только по горизонтали, будет установлен бит ошибки в принятом блоке.

5.4. Асинхронный интерфейс

Асинхронный мультиплексор обслуживает восемь передающих и восемь приемных линий. Каждая пара линий (одна передающая и одна приемная) может быть запрограммирована на работу с одной из 16 скоростей в диапазоне от 50 bit/s до 19,2 kbit/s.

Скорость передачи определяется битами [15:12], а скорость приема — битами [11:8] регистра параметров линии асинхронного интерфейса. Зависимость скоростей от кода битов дана в табл.22.

Таблица 22
Скорости приема и передачи асинхронного интерфейса

Битовые коды	Требуемая скорость (bit/s)	Действительная скорость (bit/s)	Отклонение (в %)
0000	50	50	0,0
0001	75	75	0,0
0010	110	110	0,0
0011	134,50	134,52	0,0166
0100	150	150	0,0
0101	300	300	0,0
0110	600	600	0,0
0111	1200	1200	0,0
1000	1800	1800	0,0
1001	2000	2005,06	0,253
1010	2400	2400	0,0
1011	3600	3600	0,0
1100	4800	4800	0,0
1101	7200	7200	0,0
1110	9600	9600	0,0
1111	19200	19800	3,125

Линии 0 и 1 имеют возможность расщепления (для пе-

3.055.457P3

передачи и приема) скоростей и полное управление модема. Асинхронный мультиплексор поддерживает также функцию "Автоэхо".

Передача может быть реализована с использованием ПДП либо БУПН (буфера для обработки в порядке поступления). В режиме БУПН каждая линия передает символы из своего собственного тридцатидвухсимвольного буфера. Буферы загружаются под управлением программ ведущей ЭВМ. В режиме ПДП передающая линия посылает символы из ячейки оперативной памяти, определяемой адресом буфера и счетчиком символов.

Режим авто-XON/XOFF выбирается через линию и может использоваться в режиме работы с ПДП или с БУПН. Когда выбирается XON/XOFF, МКС автоматически отключает от передатчика линию, принявшую XOFF. XOFF, вводится в БУПН приема, так что операционная система может отключить функцию таймаута. Прием XON снова подключает передатчик к этой линии. (XON также помещается в БУПН приема для оповещения операционной системы о возобновлении передачи). Этот режим разрешает относительно длительные периоды допустимого времени ожидания для БУПН, поскольку критичный по времени XOFF немедленно выключает передатчик.

Для приема все восемь линий разделяет сорокавосемисимвольный приемный БУПН. Для него имеется программируемый период допустимого времени ожидания (таймаут).

Функциональные параметры асинхронного мультиплексора см. табл. 1.

Асинхронный мультиплексор использует четыре регистра устройства и 32 косвенных регистра.

Регистрами устройства являются:

регистр управления и состояния (PUC);

регистр параметров линии;

буферный регистр приема;

регистр параметров приемного БУПН (буфер с обработкой в порядке поступления).

5.4.1. Регистр управления и состояния

Регистр управления и состояния выполняет следующие функции:

указывает на один из 32 косвенных регистров;

инициирует сброс задатчика;

разрешает прерывание по приему;

инициирует, когда данные в БУПН приема становятся доступными;

содержит номер передающей линии;

индицирует ошибку ПДП;

разрешает прерывание по передаче;

индицирует готовность к передаче.

PUC асинхронного интерфейса имеет адрес, равный базовому +C. Допускается обращение к этому регистру только как к слову. Функции PUC даны в табл. 23.

Таблица 23

Функции РУС асинхронного интерфейса

Биты	Название	Функция
[4:0]	Адрес косвенного регистра	Эти читаемые и записываемые биты указывают на один из 32 косвенных регистров. Сбрасывается по сбросу задатчика или по INIT.
[5]	Сброс задатчика	Бит читается и записывается. Когда программа устанавливает этот бит, инициируется сброс задатчика. Бит сбрасывается автоматически после выполнения сброса задатчика. Программа не должна обращаться к регистрам блока асинхронного интерфейса за исключением РУС, пока не закончится сброс.
[6]	Разрешение прерывания по приему	При установленном бите разрешается запрос прерывания по вектору приема, если: бит доступности принятых данных установлен больше допустимого периода времени (таймаут); в БОПП приема загружено более 16 символов. Бит может записываться и читаться. Сбрасывается по сбросу задатчика или по INIT.
[7]	Принятые данные доступны	МКС устанавливает этот бит, когда данные становятся доступными в приемном БОПП. МКС автоматически сбрасывает этот бит, как только приемный БОПП становится пустым. Бит можно только читать. Сбрасывается по сбросу задатчика и по INIT.
[10:8]	Номер передающей линии	При установленном бите готовности передачи (бит [15] настоящего РУС) в режиме ЛДП биты содержат номер линии, для которой закончилась пересылка по ЛДП (успешно или безуспешно), в режиме БОПП - содержат номер линии, БОПП которой стало пустым.
[11]	Не используется	
[12]	Ошибка по ЛДП при передаче	Бит устанавливается для указанной линии, если контроллер ОШ МКС либо не получает SSYN в течение 32 микросекунд после выдачи MSYN, либо

Продолжение табл. 23

Биты	Название	Функция
		! контроллер не может получить функции задатчика в течение 32 микросекунд после выдачи непроцессорного запроса (ПДП).
		! Бит используется только в режиме ПДП, сбрасывается по сбросу задатчика, по INIT или по чтению данного регистра. Бит только читается
[13]	Не используется	
[14]	Разрешение прерывания по передаче	! Установленный бит разрешает прерывание по вектору передачи (если установлен бит готовности передачи). Бит читается и записывается. Сбрасывается по сбросу задатчика или по INIT
[15]	Готовность передачи	! В режиме БОПП бит устанавливается, когда рабочая линия загружает последний символ из БОПП в регистра хранения соответствующего UARTa. В режиме ПДП бит устанавливается, когда рабочая линия завершила пересылки по ПДП (успешно или нет). Бит только читается, сбрасывается, когда программа читает данный РУС, по сбросу задатчика или по INIT

5.4.2. Регистр параметров линии

Регистр параметров линии имеет адрес, равный базовому +E. При обращении к нему допускаются циклы чтения-изменения-записи по 0ш. Обращение только как к слову. Регистр параметров линии всегда должен быть загружен параметрами конкретной линии, прежде чем логически включить эту линию (даже если параметры содержат только нули). После записи в этот регистр, параметры линии изменяются в UART-ах.

Сброс задатчика или INIT сбрасывают в ноль все биты регистра.

Функции регистра параметра линии асинхронного интерфейса даны в табл. 24.

Таблица 24

Функции регистра параметров линии асинхр. интерфейса

Биты	Название	Функция
[2:0]	Выбор линии	Биты содержат двоичный номер линии, к которой относятся параметры
[4:3]	Длина символа	Биты указывают длину символа (не считая стартовые биты, стоповые биты и бит паритета, если он разрешен). Коды длины символа следующие: если код битов 00, число символов 5 " 01, " 6 " 10, " 7 " 11, " 8
[5]	Разрешение паритета	Установленный бит вызывает генерацию бита паритета при передаче. (Бит паритета используется для контроля, а затем изымается из сообщения на приемном конце выбранной линии)
[6]	Паритет четный/нечетный	Бит указывает, четный или нечетный паритет используется для генерации и контроля выбранной линии (при установленном бите разрешения паритета). Если бит установлен - четный паритет символа, если бит сброшен - нечетный паритет символа
[7]	Код останова	Бит определяет число бит останова для выбранной линии следующим образом: если бит сброшен - один стоповый бит, если бит установлен - два стоповых бита
[11:8]	Скорость приемника	Битами задается скорость приема для линий 0 и 1 асинхронного интерфейса. Если выбрана одна из линий от второй до седьмой, эти биты игнорируются. (Зависимость скорости от кода битов дана в таблице 22)
[15:12]	Скорость передачи	Биты указывают одну из 16 скоростей передачи для линий 0 и 1 асинхронного интерфейса. Для линий от второй до седьмой биты указывают скорость и для передачи и для приема. (Зависимость скорости от кода битов дана в таблице 22)

5.4.3. Буферный регистр приема

Буферный регистр приема асинхронного интерфейса имеет адрес, равный базовому +10. Регистр выполняет следующие функции:

хранит принятый символ с номером линии и ошибочными усложениями;

индицирует изменение данных и указывает, на какой линии это произошло;

индицирует ошибки по паритету, ошибки обрания и ошибки перегрузки;

указывает, когда данные являются действительными в приемном буфере.

Регистр только читается. Через этот регистр программа имеет доступ к БПП. Когда этот регистр читается, слова данных в БПП сдвигаются вниз на одну позицию. Последовательные циклы чтения выбирают последовательные ячейки БПП. Сбрасывается буферный регистр приема по сбросу датчика или по INIT. Функции буферного регистра приема асинхронного интерфейса даны в табл.25.

Таблица 25

Функции буферного регистра приема

Биты	Название	Функция
[7:0]	Принятый символ	Если бит изменения набора данных (бит L11) данного регистра) сброшен, тогда эти биты содержат принятый символ. Прием битов выполняется с младшего бита. Если используется контроль по паритету, паритетный бит устраняется из данных. Символы, длиной менее 8 бит, выравниваются по правой границе и старшие биты устанавливаются в ноль.
		Если бит изменения набора данных установлен, биты [7:0] данного регистра будут нулевыми, программе следует прочесть сигналы приема модема, чтобы определить, какие сигналы изменились
[10:8]	Номер приемной линии	Биты содержат двоичный номер линии, по которой был принят символ, или было обнаружено изменение данных
L11	Изменение набора данных	Когда бит установлен, номер приемной линии содержит номер линии, сигналы модема которой изменили состояние (биты [7:0] данного регистра равны нулю)

Продолжение табл. 25

Биты	Название	Функция
[12]	Ошибка паритета	Бит устанавливается, если для линии, по которой принимается символ, паритет разрешен и символ принят с неверным паритетом. (Бит используется, если сброшен бит [11] данного регистра)
[13]	Ошибка обрамления	Бит устанавливается, если линия, по которой принят символ, была в нулевом состоянии, когда должен был поступить первый стоповый импульс. (Бит используется в случае, когда бит [11] данного регистра сброшен)
[14]	Ошибка перегрузки	Бит устанавливается, если на линии, по которой принимались символы, было потеряно один или более символов для того, чтобы БОПП был полон. Принятые символы действительны. Бит используется только при сброшенном бите [11] данного регистра
[15]	Данные действительны	Бит устанавливается при загрузке данных в приемный буфер и остается установленным до тех пор, пока данные остаются в буфере. Установленный бит показывает, что остальные биты в приемном буфере действительны. Бит сбрасывается по сбросу датчика, по INIT или, когда приемный буфер становится пустым

5.4.4. Регистр параметров приемного БОПП

Регистр параметров приемного БОПП асинхронного интерфейса имеет адрес, равный базовому +10. Этот регистр можно только записывать, и обращение возможно только как к слову. Этот регистр содержит допустимый период ожидания приемного БОПП, по истечении которого вырабатывается сигнал тревоги.

Восемь младших битов [7:0] указывают допустимое время ожидания (таймаут) для БОПП. Если данные присутствуют в БОПП в течение времени, равном или превышающем период таймаута, генерируется прерывание. Каждый раз, при чтении из приемного БОПП, при сбросе датчика или при появлении сигнала INIT внутренний таймер принимает свое исходное значение.

Период таймаута может иметь диапазон от приблизительно нуля до 300 микросекунд.

Нулевое значение регистра параметра приемного БПП означает, что таймаут бесконечный; 00000001 - таймаут отсутствует; 11111111 - максимальный таймаут.

Этот таймер интервалов основан на микропрограммном цикле и, следовательно, не является очень точным. После сброса задатчика или INIT значение таймаута устанавливается равным единице.

5.4.5. Косвенные регистры асинхронного интерфейса

Косвенные регистры имеют адрес, равный базовому +12. Косвенные регистры адресуются битами [4:0] PUC асинхронного интерфейса. Три младших бита адреса указывают номер выбираемой линии, два старших бита выбирают, к какому косвенному регистру этой линии выполняется обращение.

Косвенные регистры от 0 до 7 содержат только записываемые и только читаемые регистры.

Каждый косвенный регистр от 0 до 7 содержит шестнадцатиразрядный регистр, в который можно только записать символы передачи для данной линии, и шестнадцатиразрядный регистр, который только читается.

Регистр передаваемых символов используется только в режиме БПП для загрузки одного или двух символов в тридцатидвухсимвольное пространство БПП передачи для соответствующей линии. Когда в этот регистр записывается слово (операция записи слова по 0Ш), в БПП загружаются два символа. Первым загружается младший символ. Когда в этот регистр загружается байт (операция записи байта по 0Ш), в БПП загружается только младший символ; старший символ игнорируется. Если БПП полон, запись в этот регистр не воздействует на БПП.

Программа должна подождать восемь микросекунд после записи в этот регистр, прежде чем вновь обращаться к этому или любому другому регистру МКС. Если этот период времени не выдерживается, при последующем обращении к регистру МКС может возникнуть таймаут по SSYN.

В шестнадцатиразрядном читаемом регистре содержатся два восьмиразрядных регистра: регистр счета для БПП передачи (биты [7:0]) и регистр состояния приемного модема (биты [15:8]).

Регистр счета БПП передачи используется только в режиме БПП для хранения числа записей в тридцатидвухсимвольный БПП соответствующей линии. Сброс задатчика или INIT очищают этот регистр.

Регистр состояния приемного модема содержит все сигналы модема, принятые из оборудования коммуникации данных. Поскольку линии от 2 до 7 не имеют сигналов управления модемом, регистры состояния приемного модема для этих линий всегда читаются, как содержащие одни

3.055.431PЭ

нули. В таблице 26 рассматриваются функции регистров состояния приемного модема (косвенных регистров от 0 до 7).

Регистр состояния приемного модема (косвенные регистры от 0 до 7, биты L15:5] читаемого регистра) сбрасывается во время сброса задатчика, INIT и изменяет свое состояние при наличии следующих условий:

сброшен флажок изменения набора данных;

устанавливается флажок изменения набора данных и в 50Mn приема имеется место для ввода записи об изменении набора данных.

Таблица 26
Функции регистров состояния приемного модема

Биты	Название	Функция
L9:8]	Не используются	
L10]	Прием пользователя	Бит может использоваться в любых требуемых целях пользователя (сигналы RX UART[1,0] USER RX)
L11]	Обнаружение носителя обратного канала	Бит отражает состояние сигнала обнаружение носителя обратного канала (сигналы RX UART[1,0] S CAR), принятого из модема
L12]	Готов к передаче	Бит отражает состояние линии готов к передаче, приходящей из модема
L13]	Обнаружение носителя	Бит отражает состояние линии обнаружение носителя приемной линии (сигналы RX UART[1,0] CAR), получаемого из модема. С помощью выключателя на распределительной панели этот бит может представлять сигнал детектора вторичной приемной линии
L14]	Индикатор вызова	Бит отражает состояние линии индикатора вызова (сигналы RX UART[1,0] RI), которое принимается из модема
L15]	Набор данных готов	Бит отражает состояние линии готовности набора данных (сигналы RX UART[1,0] DSR), которое принимается из модема

Косвенные регистры от 8 до 15 асинхронного интерфейса могут быть прочитаны и записаны. Доступ к регистрам возможен только как к словам. При обращении к этим

регистрам по общей шине раздвоятся циклы чтения-изменения-записи.

Каждый косвенный регистр от 8 до 15 состоит из двух регистров: регистра управления линией (биты L7:0J) и регистра передачи модема (биты L15:8J).

Каждый регистр управления линией управляет различными функциями каждой соответствующей линии (косвенный регистр 8 управляет линией 0, косвенный регистр 9 - линией 1 и т.д.). Регистры управления линией сбрасываются по сбросу задатчика и по сигналу INIT. После сброса задатчика их необходимо загрузить перед тем, как использовать управление линией.

Регистры передачи модемов содержат сигналы модемов, передаваемые к аппаратуре коммуникации данных. Каждый регистр передачи модема управляет соответствующей линией (регистр передачи модема косвенного регистра 8 управляет линией 0, косвенный регистр 9 управляет линией 1). Регистры передачи модемов в косвенных регистрах от 10 до 15 не используются. Действительные регистры передачи модема (косвенные регистры 8 и 9) сбрасываются по сигналу INIT. Сигналы в действительных регистрах передачи модема изменяются после загрузки этих регистров.

В табл. 27 рассмотрены функции косвенных регистров от 8 до 15 асинхронного интерфейса.

Таблица 27
Функции косвенных регистров от 8 до 15

Биты	Название	Функция
L0J	Линия раз- решения передачи	При установленном бите логически включается передатчик выбранной ли- нии. Если бит сбрасывается во время пе- редачи символа, передатчик выключа- ется после завершения передачи те- кущего символа
L1J	Автоаключе- ние и авто- выключение передачи (XON/XOFF)	Когда бит установлен, выключается передатчик соответствующей линии (XOFF), а когда бит сброшен - пе- редатчик включается
L2J	Разрешение приема	Когда бит установлен, приемник со- ответствующей линии включен. При сброшенном бите приемник выключен. Если бит сбрасывается во время сборки символа из последовательных сигналов, символ теряется
L3J	Прерывание передачи	Когда бит установлен, линия EIA пе- редачи данных удерживает пробел после передачи текущего символа по- следовательными сигналами. После сброса этого бита передача возобно- вляется

Биты	Название	Функция
[4]	Линия стирания БПП передачи	Установка этого бита стирает БПП передачи и заканчивает выполнение ПДП. Содержимое БПП становится недействительным. После стирания БПП этот бит автоматически сбрасывается, и генерируется прерывание по передаче
[5]	Разрешение изменения набора данных	При установленном бите разрешается МКС отслеживать переход сигналов приема модема из одного состояния в другое для выбранной линии. Обнаружение изменения приводит к записи в БПП приема бита изменения данных (бит установлен). Если бит сброшен, переходы на линиях приема модема выбранной линии игнорируются
[7:6]	Линия управления при отладке	В зависимости от кодов этих битов имеются соответствующие режимы отладки. При значении 00, режим нормальной работы. При значении 01, имеем режим "Авто-эхо". Принятые данные вновь передаются на той же скорости, на которой работает приемник. Бит разрешения приема должен быть установлен, бит разрешения передачи в любом состоянии. Если код 10 - местная петля. Выход передатчика подсоединяется внутри МКС ко входу приемника. Линия передачи данных удерживает маркер (лог"1"), а линия приема данных игнорируется. Если код 11 - отдаленная петля. Принятые данные не загружаются в БПП приема, а автоматически вновь передаются. Синхронизация приема используется для синхронизации передачи. Бит разрешения передачи игнорируется
[8]	Передача пользователя	Бит может быть использован в любых целях. (Сигналы UART[1,0] USER TX)
[9]	Готовность терминала	Бит управляет линией готовности терминала (сигналы UART[1,0] DTR), соединенной с модемом. При установленном бите линия готовности терми-

Продолжение табл. 27

Биты	Название	Функция
		линия включена, при сброшенном - выключена
L10	Выбор скорости передачи данных	Бит управляет линией выбора скорости передачи данных, соединенной с модемом. Когда бит установлен, линия выбора скорости передачи данных включена, когда бит сброшен - отключена. (Сигналы UART[L1,U] DSRS)
L11	Запрос передачи обратного канала	Бит контролирует линию запроса передачи обратного канала (сигналы UART[L1,U]S.RTS), соединенную с модемом. Если бит установлен - линия включена, если сброшен - отключена
L12	Запрос передачи	Бит управляет линией запроса передачи (сигналы UART[L1,U] RTS), соединенной с модемом. Когда бит установлен, линия включена, когда сброшен - линия отключена
L14:15	Не используются	
L15	Приостановка выхода БПП	Бит может быть установлен программно для приостановки выдачи с выхода БПП. При установленном бите передача останавливается. После этого можно загрузить косвенный регистр, предназначенный для передаваемых символов (один из косвенных регистров от 0 до 7). Это позволяет программе прервать передачу из БПП или по ПДП, послать символ (например, XON или XOFF), а затем продолжить передачу в режиме БПП или ПДП. Символы при этом не теряются. Бит сбрасывается при загрузке символа в косвенный регистр

Косвенные регистры от 16 до 25 асинхронного интерфейса предназначены для 16 младших битов адреса буфера соответствующей линии в режиме ПДП. Регистры можно записывать и читать. Разрешаются циклы чтения-изменения-записи по ОШ. К регистрам можно обращаться только как к словам. Регистры необязательно сбрасываются по сбросу задатчика или по INIT.

После чтения или записи регистра адреса буфера ПДП последующее чтение или запись будут обращаться к регистру счета символов ПДП без промежуточной записи адреса косвенного регистра (ПУС асинхронного интерфейса,

биты [4:0]). Адрес косвенного регистра указывает на регистр адреса буфера ПДП, так как микропрограмма МКС автоинкрементирует только рабочую копию адреса косвенного регистра. Для обращения к любому другому косвенному регистру, включая регистр адреса буфера ПДП, адрес косвенного регистра (биты [4:0] РУС асинхронного интерфейса) должен быть перезагружен. Перезагрузка адреса косвенного регистра изменяет и рабочую копию соответствующим адресом.

Косвенные регистры от 24 до 31 содержат по два регистра: регистр счета символов ПДП (биты [13:0]) соответствующей линии и регистр старших битов восемнадцатиразрядного адреса буфера на ОШ соответствующей линии (биты [15:14]).

Косвенные регистры от 24 до 31 можно читать и записывать. Они используются только в режиме ПДП. Разрешаются циклы чтения-изменения-записи по ОШ. Запись в эти регистры инициирует передачу по ПДП. Регистры не всегда сбрасываются по сбросу задатчика или по INIT.

5.4.6. Операции асинхронного интерфейса

После сигнала INIT или сброса задатчика буферы передачи и приема пусты, и все линии логически отключены. Прежде чем включить определенную линию, программа должна загрузить регистр параметров линии. Параметры должны быть загружены, даже если все они равны нулю. Биты [2:0] регистра параметров должны содержать номер линии, параметры которой загружаются. Программа также должна установить соответствующие биты разрешения прерываний в РУС асинхронного интерфейса. После этого программа готова к включению требуемых передающих или приемных линий. Сигналы управления модемом, исходящие из асинхронного мультиплексора, могут быть установлены и сброшены в любое время.

Включение нужной передающей линии выполняется установкой соответствующих разрядов в регистре параметров линии. Логически включенная линия удерживает маркер до тех пор, пока линия не будет запрограммирована на автоэхо или отдаленную петлю возврата сигналов.

Когда устанавливается бит готовности к передаче (бит [15] РУС асинхронного интерфейса), передающая линия готова к передаче.

Если установлен бит разрешения прерывания по передаче (бит [14] РУС асинхронного интерфейса), запрос прерывания по вектору передачи посылается после установки бита готовности передачи. Программа должна прочесть РУС асинхронного интерфейса, чтобы определить причину прерывания. Считывание асинхронного РУС сбрасывает бит готовности передачи. Бит готовности передачи данной линии должен быть сброшен до того, как асинхронный интерфейс установит этот бит для другой линии.

С целью минимизации накладных расходов на прерывания, программе следует стараться сохранять БУПП наполненным. Если программа намеревается пополнить БУПП, она может проверить регистр счета передающего БУПП конкретной линии для проверки числа переданных символов с момента заполнения БУПП. Регистр счета БУПП передачи можно проверить в любое время. (Нулевое значение регистра счета БУПП передачи означает, что БУПП пустой, значение, равное 32, означает полную загрузку БУПП-а). БУПП передачи какой-либо линии может быть загружен и может быть стерт независимо от того, была ли эта линия логически включена или нет.

Если линия логически выключается во время выбора символа из БУПП, передача останавливается после пересылки текущего символа. Содержимое БУПП остается действительным. После логического включения линии передача возобновляется.

В режиме работы по ПДП символы передаются из оперативной памяти по ПДП в соответствии с регистром адреса буфера и регистром счета символа передающей линии. Когда инициализируется ПДП, БУПП передаваемых данных автоматически наполняется символами и передача может начинаться, если передатчик логически включен. После наполнения БУПП передача по ПДП останавливается, а символы из БУПП передаются на линию передачи. Когда счет БУПП указывает менее двух символов, работа по ПДП возобновляется и БУПП дополняется заново. Этот цикл продолжается, пока счет символов пересылок по ПДП не станет равным нулю.

В режиме БУПП символы передаются на линию передачи из соответствующего БУПП.

Приемная линия включается установкой бита разрешения приема (бит [2] косвенных регистров от 8 до 15) соответствующей линии. Доступ к приемному БУПП осуществляется через буферный регистр приема. Для приемника режим ПДП отсутствует.

Приемный БУПП содержит принятые символы и соответствующую информацию состояния, а также информацию об изменении набора данных.

Прерывание может генерироваться, когда в буфере имеется более 16 символов данных или, если этот буфер не считывается за время, превышающее программируемое допустимое время ожидания с момента последнего чтения из этого буфера.

5.4.7. Соотношения между отладочными режимами и сигналами модема

Соотношения между отладочными режимами и сигналами модема перечисляются в табл.28.

Режимами отладки и сигналами модема

Асинхр. линия	Режим	Описание
0	Нормальная работа, автотехо и отдаленная петля	Чтобы приемник работал, сигнал обнаружения носителя (бит [13] косвенных регистров от 0 до 7 асинхронного интерфейса) в модеме нулевой линии должен быть установлен
0	Местная петля	Сигнал модема о готовности терминала и сигнал запроса отправки (биты [9] и [12] косвенных регистров от 8 до 15 асинхронного интерфейса) нулевой линии отсутствуют. Модемный сигнал обнаружения носителя игнорируется. Программируемые биты о готовности терминала и запроса отправки должны быть установлены
1	Нормальная работа, автотехо и отдаленная петля	Чтобы приемник работал, модемный сигнал обнаружения носителя для этой линии должен быть установлен
1	Местная петля	Модемный сигнал готовности терминала и модемный сигнал запроса отправки для данной линии отсутствуют. Программируемые биты готовности терминала и запроса отправки для линии 1 должны быть установлены. Модемный сигнал обнаружения носителя для асинхронной линии 1 игнорируется
2	Нормальная работа, автотехо и отдаленная петля	Работа не зависит от модемных сигналов
2	Местная петля	Модемный сигнал передачи пользователя (бит [8] косвенных регистров от 8 до 15 асинхронного интерфейса) для асинхронной линии 0 отсутствует. Модемный сигнал вторичного запроса на отсылку для нулевой линии отсутствует (бит [11] косвенных регистров от 8 до 15 асинхронного интерфейса). Программируемый

Продолжение табл. 28

Асинхр. линия	Режим	Описание
		бит передачи пользователя (USER TX [0]) и программируемый бит вторичного запроса послыки должны быть установлены
5	Нормальная работа, автотэхо и отдаленная петля	Работа не зависит от модемных сигналов
5	Местная петля	Модемный сигнал передачи пользователя и модемный сигнал вторичного запроса послыки асинхронной линии 1 отсутствуют. Программируемый бит USER TX [1] должен быть установлен
4	Нормальная работа, автотэхо и отдаленная петля	Работа не зависит от модемных сигналов
4	Местная петля	Модемные сигналы выбора скорости данных для асинхронных линий 0 и 1 отсутствуют (бит L10 косвенных регистров от 8 до 15 асинхронного интерфейса). Программируемые биты выбора скорости данных линий 0 и 1 должны быть установлены
5	Нормальная работа, автотэхо и отдаленная петля	Операции не зависят от модемных сигналов
5	Местная петля	Модемный сигнал запроса на послыку и модемный сигнал готовности терминала для синхронной линии (биты L12 и L9 косвенного регистра 4 синхронного интерфейса) отсутствуют. Программируемые биты запроса на послыку и готовности терминала синхронной линии должны быть установлены
6	Нормальная работа, автотэхо и отдаленная	Работа не зависит от модемных сигналов

Продолжение табл. 28

Асинхр. линия	Режим	Описание
	петля	
6	Местная петля	Модемный сигнал передачи пользователя и модемный сигнал выбора скорости данных синхронной линии отсутствуют (биты [8] и [10] косвенного регистра 4 синхронного интерфейса). Программируемый сигнал передачи пользователя (USER TX) и программируемый сигнал выбора скорости данных синхронной линии должны быть установлены
7	Нормальная работа, авторемото и отдаленная петля	Работа не зависит от модемных сигналов
7	Местная петля	Работа не зависит от модемных сигналов

5.5. Интерфейс построчной печати

Контроллер печатающего устройства управляет устройством печати. Этот контроллер с возможностью ПДП может выполнить следующие функции форматирования на нижнем уровне:

- расширенную табуляцию;
- автоматическую заставку возврата каретки;
- автоматический перенос строки;
- преобразование смещения формы в несколько смещений строк.

Контроллер построчной печати использует два адреса общей шины. Первый адрес обращается к РУС построчной печати, второй выбирает один из восьми косвенных регистров.

5.5.1. Регистр управления и состояния
построчной печати

РУС построчной печати имеет адрес, равный базовому +14. Разрешаются циклы чтения-изменения-записи при обращении к этому регистру по ОШ. Доступ к регистру возможен только как к слову.

РУС построчной печати управляет:
контроллером печати;
форматированием;
прерыванием печати;
сбросом задатчика.

Он также индицирует:
проверку соединения;
выполнение печати;
ошибку построчной печати;
ошибку ПДП;

готовность DAVFU (устройство прямого вывода вертикального формата).

Функции РУС построчной печати даны в табл.29.

Таблица 29
Функции РУС построчной печати

Биты	Название	Функция
[0]	Разрешение печати	Бит используется для начала, приостанова и продолжения вывода на построчную печать. Когда этот бит установлен, контроллер построчной печати логически включен. Если установлен бит выполнения печати (бит [7] данного РУС), запись единицы в бит разрешения печати сбрасывает: ошибку ПДП (бит [15] данного РУС); выполнение печати (бит [7] данного РУС); косвенный регистр 0 (число переданных байтов); косвенный регистр 1 (счет строк). Бит можно читать и записывать. Сбрасывается по сбросу задатчика или по INIT. Он автоматически сбрасывается при установке бита выполнения печати или ошибки ПДП.
[1]	Сброс задатчика	Когда программа устанавливает этот бит, иницируется сброс задатчика. Бит остается установленным на все время выполнения сброса и автомати-

Продолжение табл. 29

Биты	Название	Функция
		<p>чески очищается после его завершения.</p> <p>Бит можно читать. Во время выполнения сброса программа не должна обращаться к регистрам построчной печати за исключением РУС печати.</p> <p>Сброс задатчика или INIT сбрасывают число строк в странице (биты [7:0] косвенного регистра 7 построчной печати). Состояние всех остальных косвенных регистров печати после сброса задатчика или INIT не определено.</p> <p>Сброс задатчика можно использовать для прекращения вывода</p>
[2]	Управление форматом	<p>При сброшенном бите форматирование запрещается. Символы выбираются из оперативной памяти по прямому доступу и непосредственно отправляются в построчную печать.</p> <p>При установленном бите, если установлен DAVFU ([11] бит косвенного регистра печати), все символы, выбранные из памяти по ПДП и содержащие единицы в старшем бите, отвергаются до тех пор, пока принятый символ не является кодом "бумажной команды сброса канала" (#200:#213) или кодом "бумажной команды пропуска строк" (#200:#237), которые передаются в устройство печати. Однако, если бит управления форматом установлен, а бит DAVFU сброшен, все символы, выбранные из памяти по ПДП и имеющие единицу в самом старшем бите, в МКС отбрасываются в (пробел в печати).</p> <p>Бит можно читать и записывать.</p> <p>Сбрасывается по сбросу задатчика или по INIT</p>
[4:3]	Не используются	Биты всегда считаются нулями
[5]	Режим отладки	<p>При установленном бите данные не посылаются в построчную печать, а записываются в регистр диагностики МКС (биты [7:0] РУС1 МКС).</p> <p>После установки бита разрешения печати (бит [0] данного РУС) программа должна ожидать в пределах 500 микросекунд, прежде чем считать данные по петле. Она также должна ожидать в пределах 500 микросекунд между по-</p>

Продолжение табл. 29

Биты	Название	Функция
		! следовательными считываниями. Если ! регистр считывается быстрее, он мо- ! жет содержать нули, пока символ не ! загрузится микропрограммой. ! Бит можно читать и записывать. ! Сбрасывается по сбросу задатчика и ! по INIT
L6J	! Разрешение ! прерываний	! Если бит установлен, при установке ! бита ошибки или бита выполнения печ- ! чати (биты [15J и L7J] данного РУС) ! посылается запрос прерывания. Сбра- ! сывается по сбросу задатчика или по ! INIT
L7J	! Печать ! выполнена	! Если форматирование запрещено, бит ! устанавливается после завершения пе- ! редачи по ПДП и пересылки всех сим- ! волов в построчную печать. ! Если форматирование разрешается, бит ! устанавливается после завершения пе- ! редачи по ПДП и после пересылки всех ! символов, включая дополнительные ! формирующие символы (суффиксные) в ! построчную печать. ! Установка бита вызывает посылку за- ! проса прерывания, если установлен ! бит разрешения прерываний. ! Бит устанавливается также при уста- ! новке бита ошибки ПДП, по сбросу за- ! датчика или по INIT. Сбрасывается по ! установке бита разрешения печати. ! Этот бит только читается
[10:8J	! Поле кос- ! венного ! адреса	! Биты указывают на один из восьми ! косвенных регистров построчной печат- ! ки. После обращения к косвенному ре- ! гистру поле косвенного адреса авто- ! матически инкрементируется на едини- ! цу. При установке бита выполнения ! печати или бита ошибки поле косвен- ! ного адреса автоматически сбрасыва- ! ется в ноль. ! Биты можно читать и записывать. ! Сбрасывается по сбросу задатчика или ! по INIT
[11J	! Не исполь- ! зуется	! Этот бит всегда считывается нулевым
[12J	! Проверка ! соединения	! Бит только читается. Он отражает со- ! стояние сигнала, передаваемого МКС к ! построчной печати, который по петле

Продолжение табл. 29

Биты	Название	Функция
		возвращается обратно к МКС. Если бит сброшен, построчная печать присоединена к МКС.
		Если бит установлен, построчная печать не присоединена к МКС.
[13]	Готовность DAVFU	Бит отражает состояние линии готовности DAVFU (устройство прямого выбора вертикального формата), проходящей от построчной печати. Сброс задатчика и INIT не воздействуют на этот бит.
[14]	Ошибка построчной печати	Бит отражает состояние сигнала ОТКЛЮЧЕНО из построчной печати. Когда этот бит установлен, построчная печать отключена от системного режима. Переход бита из нуля в единицу вызывает запрос на прерывание (если установлен бит разрешения прерываний). Бит только читается.
[15]	Ошибка ПДП	Бит устанавливается, если контроллер общей шины МКС не получает SSYN в течение 32 микросекунд после выдачи MSYN, либо он не может получить функций задатчика в течение 32 микросекунд после выдачи непроцессорного запроса. Бит только читается. Сбрасывается по сбросу задатчика, по INIT или при установке бита разрешения печати.

5.5.2. Косвенные регистры построчной печати

Контроллер построчной печати использует 8 читаемых и записываемых косвенных регистров построчной печати. Адрес косвенных регистров построчной печати на 0H равен базовому +6. Биты [10:8] РУС построчной печати указывают на один из 8 косвенных регистров. Состояние косвенных регистров после сброса задатчика или INIT неопределено. (Сбрасывается только число строк в странице). Чтобы косвенные регистры построчной печати содержали действительную информацию, заботится драйверная программа устройства. Циклы чтения-изменения-записи при обращении к косвенным регистрам не допускаются.

В табл.30 перечислены функции косвенных регистров

печати.

Таблица 30

Функции косвенных регистров построочной печати

Регистр	Биты	Название	Функция
0	[15:0]	Число переданных байтов	Регистр содержит число байтов, переданных от контроллера построочной печати в устройство печати. Если установлен бит управления форматом (бит L2) РУС печати), префиксные символы, сформатированные данные и суффиксные символы включаются в счет. Если бит управления форматом сброшен, регистр указывает действительное число символов, выбранных из памяти по ПДП. Если после установки бита выполнения печати вновь устанавливается бит разрешения печати, регистр числа переданных байтов сбрасывается в нулевое состояние
1	[15:0]	Счет строк	Содержание регистра используется только при сброшенном DAVFU. Регистр содержит счет числа строк, на которое продвинулась печать при распечатке последнего буфера. Если после установки бита выполнения печати устанавливается бит разрешения печати, этот регистр сбрасывается в нулевое состояние
2	[15:8]	Префиксные символы	Биты загружаются типом префиксного символа, который должен быть вставлен перед началом буфера. Нулевое значение этого символа интерпретируется как команда НОВАЯ СТРОКА. Команда новой строки передается к устройству печати и осуществляет управление возвратом каретки, вслед за которым выполняется смещение строки. Возврат каретки предшествует смещению строки в том случае, если установлен бит автоматического возврата ка-

Продолжение табл. 30

Регистр	биты	Название	Функция
			ретки (бит [8] косвенного регистра 6)
2	[7:0]	Счет символов префикса	Биты счета символов префикса загружаются числом префиксных символов, которые должны быть вставлены перед началом буфера. Если счет символов префикса равен нулю, префиксные символы не вставляются
3	[15:8]	Символ суффикса	Биты загружаются типом суффиксного символа, который должен быть присоединен к концу буфера. Нулевое значение суффиксного символа интерпретируется как команда ЧОВАЯ СТРОКА. (См. Префиксные символы)
3	[7:0]	Счет символов суффикса	Биты загружаются числом символов суффикса, которые должны быть присоединены к концу буфера. Если значение счета символов суффиксов равно нулю, суффиксные символы не посылаются
4	[15:0]	Адрес буфера ПДП	Регистр содержит младшие биты адреса на общей шине буфера ПДП
5	[15:0]	Счет символов ПДП	Регистр загружается 16 разрядами счета символов ПДП
6	[1:0]	Старшие биты адреса ПДП	Биты загружаются двумя самыми старшими битами адреса буфера ПДП на ОШ
6	[7:2]	Не используются	
6	[8]	Автоматический возврат каретки	Если этот бит сброшен (активен), а бит управления форматом установлен, построочная печать автоматически возвращает каретку перед смещением строки или формы. Символы возврата каретки в потоке данных отбрасываются (при

Продолжение табл. 30

Регистр	Биты	Название	Функция
			сброшенном бите автоматического возврата каретки)
6	[9]	Преобразование смещения формы в смещения строки	Если этот бит сброшен, а бит управления форматом установлен, смещение формы преобразуется в несколько смещений строки для достижения следующей верхушки формы
6	[10]	допущение непечатаемых символов	Если этот бит установлен, и бит управления форматом установлен (см. бит [2] РУС печати), все символы с единичным старшим разрядом передаются к построочной печати, вне зависимости от состояния бита DAVFU. Если бит сброшен (при установленном бите управления форматом), МКС отбрасывает непечатаемые символы
6	[11]	Прямой выбор устройства вертикального формата (DAVFU)	Программа устанавливает этот бит, если устройство построочной печати обладает свойством DAVFU. Когда этот бит установлен, допускаются специальные коды управления вертикальным форматом, которые передаются из оперативной памяти в построочную печать по ПДП
6	[12]	Перенос строки	Если бит управления форматом установлен, и устанавливается данный бит, а поток символов перед текущим символом вставляется возврат каретки и смещение строки при условии, что горизонтальная позиция текущего символа лежит за пределами значения, указанного в ширине каретки построочной печати (биты [15:8] кодового регистра 7 печати). Если установлен бит автоматической вставки возврата каретки, в построочную печать посылается только смещение строки

Продолжение табл. 30

Регистр	Биты	Название	Функция
6	[14:13]	Не используются	
6	[15]	Преобразование нижнего регистра в верхний	Если данный бит сброшен, а бит управления форматом установлен, это указывает на преобразование символов нижнего регистра в символы верхнего регистра
7	[7:0]	Число строк на страницу	Символы содержат число строк в странице для присоединенного устройства печати, если установлен бит управления форматом и сброшен бит DAVFU
7	[15:8]	Ширина каретки построчной печати	Если установлен бит управления форматом, данные биты загружаются шириной каретки присоединенного устройства построчной печати

5.2.3. Операции контроллера построчной печати

После включения питания или сигнала INIT контроллер построчной печати находится в состоянии бездействия. Вслед за этим программа должна установить соответствующие биты в РУС построчной печати.

Загрузка РУС и косвенных регистров построчной печати выполняется последовательно.

Если требуется форматирование, устанавливается бит [2] в регистре РУС. В поле адреса косвенного регистра (биты [10:8] РУС) устанавливается код 010 (2); устанавливается бит разрешения прерывания (бит [6] РУС). Затем программа загружает последовательно косвенные регистры от 2-ого до 7-ого. (Поле адреса косвенного регистра автоматически инкрементируется на единицу).

Если форматирование не требуется, бит управления форматом сбрасывается в нуль, в поле адреса косвенных регистров загружается код 100 (4). Косвенные регистры загружаются начиная с 4-ого и кончая 7-ым.

Для инициализации печати программа устанавливает бит разрешения печати (бит 0 РУС печати). После успешной передачи последнего символа в устройство построчной пе-

3.055.431PЭ

чати устанавливается бит выполнения печати (бит 7 РУС печати). Бит разрешения печати автоматически сбрасывается и посылается запрос прерывания (если установлен бит разрешения прерывания). Подпрограмма обслуживания прерывания прочтет РУС печати. Если данная подпрограмма обнаружит, что бит выполнения печати установлен, а бит ошибки печати сброшен, это укажет на успешное выполнение печати.

Средство автоинкрементации адреса косвенного регистра уменьшает число обращений к регистрам контроллера, которые должны быть выполнены подпрограммой обслуживания прерываний.

После успешного цикла печати при разрешенном форматировании подпрограмма должна выполнить чтение двух косвенных регистров, чтобы получить два слова состояния (число байтов, переданных в постсочную печать, и число строк, на которое была продвинута бумага в последнем цикле печати). После считывания этих регистров поле адреса косвенных регистров указывает на косвенный регистр 2.

Чтобы начать новый цикл ПДП, программа выполняет последовательные записи в косвенные регистры (начиная со 2-ого) для загрузки требуемых параметров, а затем устанавливает бит разрешения печати.

5.6. Параллельный интерфейс

Параллельный шестнадцатиразрядный интерфейс может работать в трех режимах: в функциональном режиме DR11-C, в режиме БПП и в режиме ПДП.

Параллельный интерфейс содержит четыре регистра устройства и четыре косвенных регистра. Этими регистрами являются:

- регистр управления и состояния;
- регистр выходного буфера;
- регистр входного буфера;
- регистр разного содержания;
- косвенные регистры.

5.6.1. Регистр управления и состояния параллельного интерфейса

Регистр управления и состояния (РУС) параллельного интерфейса имеет адрес, равный базовому + 1с. Циклы чтения-изменения-записи по общей шине при обращении к этому регистру запрещаются. Доступ к регистру возможен только как к слову. Регистр можно читать и записывать. Функции регистра рассмотрены в табл. 31.

Таблица 31

Функции РУС параллельного интерфейса

Биты	Название	Функция
[0]	Контроль- ный ноль	Бит управляет состоянием линии контрольного нуля, исходящей из параллельного интерфейса. Когда бит установлен, контрольный ноль имеет высокий уровень. Когда бит сброшен, контрольный ноль имеет низкий уровень. Этот бит можно использовать для любой функции, определенной пользователем. Бит сбрасывается по сбросу задатчика или по INIT (сигнал TX DR CTRL ZERO)
[1]	Контроль- ная едини- ца	Бит управляет состоянием линии контрольной единицы, исходящей из параллельного интерфейса. Когда бит установлен, контрольная единица имеет высокий уровень. Когда бит сброшен, контрольная единица имеет низкий уровень. Этот бит можно использовать для любой функции, определенной пользователем. Бит сбрасывается по сбросу задатчика или по INIT (сигнал TX DR CTRL ONE)
[2]	Первичные/ вторичные непроцес- сорные за- просы	Бит указывает, какие из регистров адреса буфера и регистров счета слов используются или должны использоваться (первичные или вторичные). Ноль указывает, что активными являются первичные регистры; единица указывает, что активными являются вторичные регистры. После того, как буфер (первичный или вторичный) успешно или неуспешно заполнится данными, переданными по ПДП, бит изменит состояние, указывая таким образом другой буфер. Бит только читается. Сбрасывается по сбросу задатчика или по INIT
[4:3]	Адрес кос- венного регистра	Биты указывают на один из четырех косвенных регистров. Эти биты можно читать и записывать. Сбрасываются по сбросу задатчика или по INIT
[5]	Разрешение прерывания	При установленном бите разрешается прерывание по вектору 9. Бит можно читать и записывать. Сбрасывается по сбросу задатчика или по INIT

Продолжение табл. 31

Биты	Название	Функция
[6]	Разрешение прерывания А	При установленном бите разрешается запрос прерывания по вектору А. Бит читается и записывается. Сбрасывается по сбросу задатчика или по INIT
[7]	Запрос А	Состояние этого бита отслеживает состояние входного сигнала пользовательского запроса А. В функциональном режиме DR11-С переход этого бита из нуля в единицу вызывает посылку запроса прерывания по вектору А, если установлен бит разрешения прерывания А. В режиме БОПП с линией пользовательского запроса А любой переход (из нуля в единицу или из единицы в ноль) приводит или к вводу данных в БОПП, или к передаче из БОПП. После того, как данные введены в БОПП или выданы из него, посылается запрос прерывания по вектору А, если установлен бит разрешения прерывания А. В режиме ПДП при запросе передачи данных по линии пользовательского запроса А переход из нуля в единицу или из единицы в ноль этого бита не приводит к посылке запроса прерывания, а используется устройством пользователя для передачи данных
[8]	Первичное выполнение	Бит используется только в режиме ПДП. Он устанавливается, если передача по ПДП в первичный буфер или из него завершилась успешно. Бит можно только читать. Сбрасывается по записи в первичный регистр счета слов. Устанавливается по сбросу задатчика или по INIT
[9]	Вторичное выполнение	Бит используется только в режиме ПДП. Он устанавливается, если передача по ПДП во вторичный буфер или из него завершилась успешно. Бит можно только читать. Сбрасывается по записи во вторичный регистр счета слов. Устанавливается по сбросу задатчика или по INIT
[10]	Не используется	
[11]	Стирание	Бит используется только в режиме

Продолжение табл. 31

Биты	Название	Функция
	Буфера	Б0ПП. Установка этого бита приводит к тому, что содержимое выходного буфера становится недействительным. Этот бит сбрасывается либо по сбросу задатчика, либо по сигналу INIT
[12]	Не используется	
[13]	Ошибка ПДП	Бит используется только в режиме ПДП. Устанавливается, когда контроллер общей шины МКС либо не получает сигнала SSYN в интервале 32 микросекунд после выдачи BUS MSYN, либо контроллер не может стать задатчиком в интервале 32 микросекунд после выдачи BUS NPR. Установка бита вызывает прерывание по вектору А или В, в зависимости от того, какая линия используется для запроса передачи данных - пользовательского запроса А или В. Бит только читается. Сбрасывается по сбросу задатчика или по INIT
[14]	Сброс задатчика	Когда программа устанавливает этот бит, иницируется сброс задатчика. Этот бит остается установленным, пока выполняется сброс, и автоматически сбрасывается после его завершения. При установленном бите программа не должна обращаться к регистрам параллельного интерфейса МКС, за исключением РУС параллельного интерфейса
[15]	Запрос В	Состояние бита отслеживает состояние входного сигнала пользовательского запроса В. Бит аналогичен биту [7] данного РУС (запрос А)

5.5.2. Регистр выходного буфера

Выходной буфер параллельного интерфейса имеет адрес, равный базовому +1А. Циклы чтения-изменения-записи по общей шине при обращении к этому регистру не допуска-

ется. В функциональном режиме DR11-C обращение возможно как к старшему, так и младшему байту. В режимах ПДП и БОПП этот регистр выбирается только как слово.

В функциональном режиме DR11-C программа использует этот регистр для выдачи данных на 16 выходных шинах. Если обращение следует к старшему байту, после выдачи данных на выходные линии через 1 микросекунду выдаются импульсные сигналы готовности новых данных и готовности старшего байта новых данных (длительностью одной микросекунды). Если обращение только к младшему байту, тогда после выдачи данных через 1 микросекунду выдаются импульсные сигналы готовности новых данных и готовности младшего байта новых данных (длиной 1 микросекунда). Если в регистр записывается слово, через 1 микросекунду после выдачи данных на выходные линии выдаются импульсы готовности новых данных, готовности старшего байта новых данных и готовности младшего байта новых данных (длиной 1 микросекунда).

При передаче в режиме БОПП программа использует выходной буферный регистр для ввода данных из оперативной памяти в тридцатидвухсловный БОПП по одному слову.

При приеме в режиме БОПП или ПДП этот регистр отражает состояние на 16 выходных линиях.

При передаче в режиме ПДП программа использует этот регистр для вставки слова на выходные линии между передачами по ПДП. Программа оставляет слово на выходные линии между словами, которые передаются по прямому доступу. Такая вставка ясна пользователю, так как устройство пользователя выполняет обычный протокол "рукопожатия" для получения данных не зависимо от того, были ли эти данные переданы по прямому доступу или после программной записи в выходной буферный регистр. Обычный протокол "рукопожатия" выполняется, когда пользовательское устройство возбуждает линию запроса, в ответ на который МКС выдает данные на линии и импульсный сигнал по линии готовности новых данных.

Выходной буферный регистр сбрасывается по сбросу задатчика или по INIT.

5.6.3. Регистр входного буфера

Входной буфер параллельного интерфейса имеет адрес, равный базовому + 1С. Этот регистр можно только читать.

В функциональном режиме DR11-C при передаче в режиме БОПП или ПДП этот регистр отражает состояние 16 входных линий от пользовательского устройства. Пользовательские данные должны быть стабильными на входных линиях, прежде чем программа считывает входной буфер параллельного интерфейса. После того, как программа считывает входной буфер, МКС выдает импульс на линии данные переданы, чтобы информировать устройство пользователя о том, что данные приняты.

При приеме в режиме БОПП этот регистр используется при обращениях в приемный БОПП (для передачи данных из

приемного БОПП в оперативную память). Считывание входного буфера параллельного интерфейса приведет к сдвигу вниз на одну позицию адреса БОПП.

При приеме в режиме ПДП входной буферный регистр содержит предшествующее слово, переданное в памяти по прямому доступу.

Регистр сбрасывается по сбросу задатчика или по INIT.

5.5.4. Регистр разного содержания

Регистр разного содержания имеет адрес, равный базовому + 1С. Обращение к этому регистру только как к слову. Регистр можно только записывать. Сбрасывается по сбросу задатчика и по INIT.

Функции регистра разного содержания параллельного интерфейса даны в табл.32.

Таблица 32

Функции регистра разного содержания

Биты	Название	Функция
[3:0]	Рабочий режим	Программа должна записать требуемый режим параллельного интерфейса МКС в эти биты. Если режим изменяется записью, то перед записью должен быть сброс задатчика. После сброса задатчика или сигнала INIT параллельный интерфейс устанавливается в функциональный режим DR11-C. В зависимости от записанного кода могут быть следующие режимы:
		0000 - функциональный режим DR11-C;
		0101 - передача в режиме БОПП (данные запрашиваются пользовательским запросом А);
		0100 - передача в режиме БОПП (данные запрашиваются пользовательским запросом В);
		0111 - прием в режиме БОПП (пользовательский запрос А);
		0110 - прием в режиме БОПП (пользовательский запрос В);
		1001 - передача в режиме ПДП (пользовательский запрос А);
		1000 - передача в режиме ПДП (пользовательский запрос В);
		1011 - прием в режиме ПДП (пользовательский запрос А);
		1010 - прием в режиме ПДП (пользовательский запрос В)

Продолжение табл. 32

Биты	Название	Функция
[13:4]	Не используются	
L14	Старший бит адреса вторичного буфера	Бит является самым старшим разрядом (17-ым) адреса на общей шине вторичного буфера. Используется в режиме ПДП
L15	Старший бит адреса первичного буфера	Бит является самым старшим разрядом (17-ым) адреса на общей шине первичного буфера. Используется в режиме ПДП

5.6.5. Косвенные регистры параллельного интерфейса

Косвенные регистры имеют адрес, равный базовому + 1E. Циклы чтения-изменения-записи на ОШ при обращении к этим регистрам не допускаются. Доступ к этим регистрам возможен только как к слову.

В параллельном интерфейсе используется четыре косвенных регистра. В табл. 33 рассматриваются функции косвенных регистров.

Таблица 33

Функции косвенных регистров параллельного интерфейса

Косвенный регистр	Биты	Название	Функция
0	[15:0]	Регистр адреса первичного буфера	Этот читаемый и записываемый регистр хранит адрес (на общей шине) первичного передающего или приемного буфера для пересылок по ПДП. Поскольку обмен информации только словами, самый младший разряд подразумевается нулевым (в этом регистре хранятся разряды [16:1]). Регистр сбрасывается по сорузу задатчика и по INIT
1	[15:0]	Первичный	В режиме ПДП этот читаемый

Продолжение табл. 33

Косвенный регистр	Биты	Название	Функция
		регистр счета слов	и записываемый регистр загружается размером (в словах) первичного буфера. Запись в этот регистр сбрасывает бит выполнения (бит [8] РУС параллельного интерфейса). В режиме БОПП (передача или прием) этот регистр содержит число загружаемых слов в БОПП.
2	[15:0]	Адрес вторичного буфера	Этот читаемый и записываемый регистр хранит разряды [16:1] адреса (на общей шине) вторичного буфера для приема и передачи по ПДП. Поскольку разрешена передача только словами, самый младший бит адреса (разряд [0]) подразумевается нулевым. Регистр сбрасывается по сбросу задатчика или по INIT.
3	[15:0]	Вторичный счет слова	В режиме ПДП этот читаемый и записываемый регистр загружается размером (в словах) вторичного буфера (приемного или передающего). Запись в этот регистр сбрасывает бит вторичного выполнения (бит [9] РУС параллельного интерфейса). Регистр сбрасывается по сбросу задатчика или по INIT.

5.6.6. Операции параллельного интерфейса

Параллельный интерфейс (DR) функционирует как DR11-C, также поддерживает передачу данных через БОПП или по ПДП.

Когда устройство работает в режиме DR11-C, эмулируется усиленный протокол обмена, который вызывает передачу или запрос прерывания при любом переходе из одного состояния в другое сигналов на линиях запроса пользова-

теля А и запроса пользователя В.

В этом режиме, для получения данных от устройства пользователя, программа считывает входной регистр. После того, как данные прочитаны, МКС посылает пользователю сигнал о том, что данные переданы и время удержания данных достаточно (IX DR DATA XMTD H).

Для записи данных в пользовательское устройство программа выполняет запись в выходной буфер параллельного интерфейса. После записи слова в выходной буфер, МКС выдает импульс на линию готовности новых данных.

Устройство пользователя управляет обеими линиями пользовательских запросов А и В.

В режиме БОП тридцатидвухсловный БОП можно использовать либо как БОП передачи, либо как БОП приема, в зависимости от выбранного режима.

Одна из линий пользовательского запроса должна быть отведена для работы в качестве линии запроса передачи, так что пользовательское устройство может обращаться в БОП без программного вмешательства.

Допустим, что запрос А устройства пользователя программируется для использования в качестве линии запроса передачи, а БОП используется для приема (режим 0111). После того, как устройство пользователя изменяет состояние линии запроса пользователя А, параллельный интерфейс считывает данные, выдает сигнал о принятии данных и загружает слово данных в БОП. После того, как слово загружено в БОП, интерфейс снова устанавливает запрос А (бит L7] РУС параллельного интерфейса). Если установлен бит А разрешения прерывания (бит L6] РУС параллельного интерфейса), посылается запрос поерывания по вектору А. Таким образом, линия А пользовательского запроса может быть использована для загрузки до 32 слов в БОП, прежде чем программа обслуживания прерываний освободит БОП. После загрузки в БОП 32 слов параллельный интерфейс А ответ на запрос пользователя по линии А не выдает на линию сигнала, что данные приняты, пока программа не выполнит считывания из БОП. (Программа считывает содержимое БОП через входной буфер параллельного интерфейса. Из входного буфера данные передаются на ОШ). В этом примере работа линии запроса В пользователя та же самая, что и в режиме DR11-C.

Если БОП используется для передачи, программа загружает БОП через входной буфер параллельного интерфейса. В передающем режиме БОП не может перейти к состоянию недогрузки.

Если БОП пуст, а пользовательское устройство запрашивает новые данные, МКС не помещает новых данных и не выдает импульса готовности, пока программа не загрузит БОП.

При использовании выходного буфера параллельного интерфейса содержимое БОП может быть стерто, если программа установит бит стирания буфера (бит L11] РУС параллельного интерфейса).

В режиме ПДП в качестве линии запроса передачи выбирается либо линия пользовательского запроса А, либо линия пользовательского запроса В. ПДП работает с двой-

ной буферизацией, так что программа располагает временем наполнения буфера для ответа на прерывание.

Допустим, что в качестве линии запроса передачи выбирается линия запроса А и ПДП используется для приема (режим 1011). Предположим, что бит первичных/вторичных непроцессорных запросов (бит [2] РУС параллельного интерфейса) сброшен.

Переход уровня сигнала на линии пользовательского запроса из одного состояния в другое указывает параллельному интерфейсу, что устройство пользователя хочет передать данные в память. Вслед за этим параллельный интерфейс считывает данные с входных линий, выдает импульсный сигнал о передаче данных и передает данные в БОПД. Данные из БОПД по прямому доступу последовательно пересылаются в буфер оперативной памяти. После успешного заполнения первичного буфера в РУС параллельного интерфейса устанавливается бит первичных/вторичных непроцессорных запросов и бит первичного выполнения. Если установлен бит разрешения прерывания А, посылается запрос прерывания по вектору А. Пересылка по ПДП продолжается во вторичный буфер, пока не установится бит вторичного выполнения. После его установки передачи по ПДП запрещаются до тех пор, пока программа загрузит регистр (вторичный) счёта слов. (Загрузка последнего сбрасывает бит вторичного выполнения).

При появлении ошибки вместо бита выполнения устанавливается бит ошибки при обращении к памяти по ПДП и обращение к памяти по ПДП запрещается. Если установлен бит разрешения прерывания А, посылается запрос прерывания по вектору А. После сброса бита ошибки (в РУС параллельного интерфейса) передача по ПДП продолжается.

В приемном режиме ПДП программа может обратиться во входной буфер параллельного интерфейса, чтобы прочитать предыдущее слово, которое было передано в память по ПДП.

Если ПДП используется для передачи, программная запись в выходной буфер параллельного интерфейса вызывает выдачу этих данных на выходные линии в качестве следующей передачи в пользовательское устройство, после чего передачи по ПДП возобновляются.

Бит запроса А отражает состояние линии А запроса пользователя, но не посылает запроса прерывания. Линия пользовательского запроса В функционирует как универсальная линия запроса прерывания.

6. УСТРОЙСТВО И РАБОТА МКС

6.1. Физическое описание МКС

МКС представляет собой плату (6.732.032) из фольгированного текстолита с четырьмя разъемными соединителями X1, X2, X3, X4 типа СМП5У-64 (для подключения к блоку вычислительной машины СМ 2700 и тремя передними разъемами X5, X6, X7 типа ОНП-КГ-56-40 (для подключения плоских кабелей). На плате установлены: интегральные микросхемы, резисторы, конденсаторы, светодиод, два пакета переключателей типа ВДМ1-10 и микропереключатель типа МП7Ш. Электрические соединения между элементами выполнены печатным монтажом.

МКС посредством плоских кабелей соединяется с распределительной панелью (3.052.064) стойки (4.100.122) вычислительной машины СМ 2700.

Распределительная панель предназначена для подключения к МКС внешних устройств и представляет собой печатную плату (7.162.064), размером 220*233,4 мм с установленными на ней шестью разъемами РП15-15, тремя разъемами РП15-23, двумя разъемами РП15-32 и тремя пакетными переключателями ВДМ1-10. Разъемы X5, X6, X7 МКС соединяются плоскими сорокапроводными кабелями с разъемами X1, X2, X3 распределительной панели соответственно.

Компоненты МКС и распределительной панели показаны на рис.2.

Расположение элементов на плате 6.732.032 см.рис.3.

6.2. Основные функциональные узлы МКС

Основные функциональные узлы МКС показаны на рис.4 (на двух листах).

Микропрограммная память (МWS) содержит 4К микрослов (ММ) по 36 битов и предназначена для хранения диагностических и рабочих микропрограмм устройства.

Регистр микрослова (МWR) запоминает микрослово после его считывания из микропрограммной памяти. Считан-

ное микрослово проверяется на четность. Ошибка паритета запрещает синхронизацию Задатчика и гасит зеленый светодиод на плате МКС.

Два микропроцессора KM1804BC1A соединены в каскад, образуют восьмибитное арифметическое-логическое устройство (ALU) с 15 двойными восьмибитными рабочими регистрами. Это ALU выполняет арифметические и логические операции с данными. В микрослове выделено поле, управляющее операциями ALU. Код условий фиксируется в регистре состояния.

Регистр состояния ALU загружается кодом условий ALU в конце каждого цикла, если установлен специальный бит в микрослове. Коды условий ALU могут индексировать следующее: результат операции ALU равен нулю, знак отрицательный, перенос ALU, переполнение.

Управление сдвигами в ALU осуществляется схемой ПМЛ (программируемой матричной логической схемой) сдвига. ПМЛ определяет направление сдвига или циклического сдвига, а также указывает условия конца сдвига или циклического сдвига.

Схема формирования адреса микрокоманд содержит три KM18043Y2, соединенных в каскад, чтобы обеспечить возможность двенадцатибитной адресации. Глубина стека - четыре. Микроадрес может быть сформирован следующими методами:

последовательный, когда следующий микроадрес - это текущий адрес +1;

безусловный переход, когда следующий микроадрес указывается полем в текущей микроинструкции;

следующий микроадрес извлекается из стека (при возвращении из микропрограммы);

следующий микроадрес (текущий адрес +1) запоминается в стек при переходе в микропрограмму;

условный переход, когда следующий микроадрес указывается полем текущего микрослова, если указываемые условия действительны;

адрес микропрерывания - это функция от выбранного регистра МКС и выбранной операции DATO или DATI. (Запрос микропрерывания генерируется для возбуждения микропрограммы на обслуживание запроса ОШ).

Управление формированием адреса микрокоманд осуществляется ПМЛ-ом, который определяет источник адреса следующей микроинструкции. ПМЛ управления формированием адреса микрокоманд управляется битами микрослова.

Управление микропрерыванием осуществляется схемой ПМЛ. Микропрерывание - это форма микропрограммного прерывания. Когда центральный процессор выберет МКС по ОШ, микропрограмма должна быстро ответить на запрос ОШ. Микропрерывание автоматически вызывает из микропрограммы специальную микроподпрограмму для удовлетворения запроса. Есть только один уровень микропрерываний. Когда выполняется алгоритм микропрерывания, другое микропрери-

вание запрещается. ПМЛ управления микропрерыванием содержит запрограммированную логику управления микропрерываниями.

В регистре адреса микропрерывания содержится пять младших битов адреса MWS, для микропрограммы микропрерывания. Эти биты формируются из ОШ BUS A [U4:U1] и управляющего бита BUS C1.

Мультиплексор адреса MWS формирует адрес микропрограммной памяти (MWS) из регистра адреса микропрерывания или из формирователей адреса микрокоманд.

Интерфейс ОШ использует ПМЛ-ы управления исполнителем, задатчиком и прерыванием. Система прерывания позволяет МКС стать задатчиком и послать вектор прерывания в центральный процессор. После того, как микропрограмма загружает вектор прерывания в регистр вектора прерывания, начинается цикл ОШ. ПМЛ управления прерыванием осуществляет управление циклом ОШ.

Схема управления исполнителем позволяет МКС ответить на запрос ОШ как устройству исполнителю.

Схема управления задатчиком позволяет МКС стать задатчиком шины и выполнять циклы записи (DATA) или чтения (DATA).

Буферная память (память передачи) запоминает данные, которые пересылаются на ОШ с внутренней шины МКС (BUS [7:0]).

Основной синхронизатор снабжает сигналами все схемы, требующие синхронизации, кроме генераторов скорости. Основной синхронизатор использует генератор 40 MHz.

Местная память (LS), это память чтения/записи (1Kx8). Она содержит:

- 16 регистров управления и состояния МКС;
- буфера данных (БПП);
- рабочую память микропрограммы.

LS разделена на три зоны. Первая зона (512 адресов), адресуемая через косвенный регистр, содержит буфера данных. Следующая зона (256 адресов), адресуемая прямо, содержит 16 блоков процесса по 16 байтов каждый. (Микропрограмма использует 8 блоков из 16). Третья зона тоже прямо адресуемая. Биты микропрограммного слова адресуют третью зону.

Косвенный регистр адреса LS может адресовать первую зону LS или указывает адрес медленного устройства.

Мультиплексор адреса LS определяет один из трех источников адреса местной памяти (регистра микрослова, регистра хранения и косвенного регистра LS).

Внутренняя шина (BUS [7:0]) используется для передачи данных и адресов между внешними регистрами (DER) МКС, местной памятью и ALU. Часть внешних регистров МКС

предназначена только для записи (данные записываются из шины BUS [7:0]), а другая часть - только для чтения (данные выдаются на шину BUS [7:0]).

Медленная шина (SLOW DATA BUS [7:0]) соединяет медленные устройства, которые для выполнения цикла чтения или записи требуют времени больше чем один цикл микропрограммы. Медленные устройства - это синхронная линия, асинхронные линии и генераторы скорости.

шины BUS [7:0] и SLOW DATA BUS [7:0] соединяются через регистры медленного чтения/записи.

Схема управления медленным чтением/записью управляет чтением и записью следующих устройств: асинхронных линий (UART-ов), синхронной линии (USRT) и генераторов скорости (BRG). Поскольку эти устройства требуют для выборки больше чем один цикл микропрограммы, для выборки этих устройств одновременно с выполнением микропрограмм имеются специальные средства. Таким образом исключается нужда приостановки синхронизатора.

В циклах медленной записи микропрограмма загружает регистр косвенного адреса адресом устройства, в которое надо писать, и после этого микропрограмма загружает регистр записи SLOW DATA BUS [7:0] данными, после чего начинается цикл медленной записи. Пока работает цикл медленной записи, управляемый ПМЛ-ом управления медленного чтения/записи, микропрограмма может выполнять другие функции. Соответственно, чтобы прочесть данные с медленных устройств, микропрограмма выполняет специальные микроинструкции для инициирования медленного чтения. Три такта позже данные уже находятся в регистре медленного чтения, готовые для чтения.

Синхронный генератор скорости (BRGS) обеспечивает USRT-а синхроимпульсами.

Передача/прием синхронной линии использует многопротокольный контроллер синхронной связи (МКСС). МКСС - это сорокавыводной бис N-канальной микросхемы. МКСС также управляет бит-ориентированными и байт-ориентированными протоколами.

Асинхронные линии (UART-ы) - это БИС-ы универсальных программируемых контроллеров связи (УПКС). UART-ы (УПКС), полученные из ALU параллельные символы данных для передачи, переводит в последовательный формат. Соответственно, UART-ы могут принять последовательные данные и перевести их в параллельный формат для ввода в ALU.

Асинхронный генератор скорости (BRGA) обеспечивает UART 0 и UART 1 синхроимпульсами для передачи.

Регистры приема данных параллельного интерфейса (DR/LP) принимают данные из параллельного интерфейса или принимает состояние из печатающего устройства. Параллельный интерфейс и печатающее устройство используют общие приемники/передатчики DR/LP.

0.3. Микрослово

Алгоритмы работы МКС реализованы в микропрограммной памяти 4КХ35. Микрослово содержит 36 разрядов [35:0]. 35-ый разряд - это бит паритета. Микрослово состоит из полей, которые выполняют соответствующие функции. Функции этих полей даны в табл.34.

Таблица 34

Поля микрослова

Поле битов микрослова	Микроинструкция	Функция
L7:5J	Формат	Определяет тип микроинструкции: 000 или 001 = читать местную память (LS RD) 010 = читать местную память и передать данные в младший байт памяти передачи (LS RD IX DAT LO) 011 = читать местную память и передать данные в старший байт памяти передачи (LS RD IX DAT HI) 100 = писать в местную память (LS WRT) 101 = читать/писать DER регистры 110 или 111 = условный переход (JMP)
[2:0]	Для формата условного перехода (JMP)	Выборка условий перехода: 000 - REG ALU N 001 - REG ALU Z 010 - REG ALU C 011 - AUX ALU Z 100 - REG CU 101 = безусловный переход на микроподпрограмму и запись в стек 110 = безусловный переход и чтение стека 111 = безусловный переход
L2J	Во всех форматах кроме JMP	Выборка микроадреса: 0 = текущий +1 1 = возвращение с

Продолжение табл. 34

Поле битов микрослова	Микроинструкция	Функция
		микроподпрограммы (использует стек)
L33J L1:0J	Во всех форматах	Управляет сдвигами в ALU
L3J	Во всех форматах	Управляет записью в регистр состояния ALU: 0 - состояние ALU не записывается 1 - состояние ALU записывается в регистр
L4J	Во всех форматах	Бит входа переноса в ALU
L11:8J	Во всех форматах	A адрес для рабочего регистра в ALU
L15:12J	Во всех форматах	B адрес для рабочего регистра в ALU
L25:16J	LS RD LS PD TX DAT HI LS RD TX DAT LO LS WRT	Десятибитный адрес местной памяти
L25:24J	DER	Управление микропрерыванием: 00 = без изменений 01 = запрет микропрерывания 1X = разрешение микропрерывания
L23J	DER	Выборка чтения или записи DER: 0 = DER писать 1 = DER читать
L22:16J	DER	Семибитный адрес DER
L25:16,5,4J	Условный переход	Двенадцатибитный адрес перехода
L18:16J L11:8,0J	Чтение DER	Восьмибитная константа
L28:26J	Во всех форматах	Управление источником операнда ALU
L31:29J	Во всех форматах	Управление операцией ALU

Продолжение табл. 34

Поле битов микрослова	Микроинструкция	Функция
[34:32]	Во всех форматах	Управление приемником результата ALU
[35]	Во всех форматах	Четный бит паритета

6.4. Детальное описание работы МКС

В этом подразделе детально описываются аппаратурные операции МКС, на основе отдельных рисунков каждого функционального узла в упрощенном виде. На рисунках даны названия схем ("триггер задержки", "приемники ОШ" и т.д.), номера элементов, входящих в данную схему (DII3, DII4 и т.д.), соответствующие схеме электрической расположения (3.055.431Э7), идентификаторы сигналов. Первая буква идентификатора сигнала обозначает буквенное обозначение листа на принципиальной схеме (3.055.431Э3), последняя - уровень активного сигнала. Например: D TX DATA [15:0] означает, что источник передаваемых данных находится на листе COM D принципиальной схемы МКС (3.055.431Э3), активный уровень высокий; A ENA BUS DATA L - источник сигнала разрешения выдачи данных из ОШ находится на листе СУМА (3.055.431Э3), активный уровень - низкий. Сигналы общей шины (ОШ) и внутренней шины даны без обозначения листа на принципиальной схеме: BUS D [15:0], BUS L [7:0].

6.4.1. Схема управления задатчиком ОШ

Схема управления задатчиком ОШ представлена на рис.5. Она обеспечивает возможность МКС стать задатчиком ОШ и выполняет следующие операции ОШ:

DATI (прием слова данных от исполнителя);
 DATU (передача слова данных в исполнитель);
 DATU(B) (передача байта данных в исполнитель);
 DATIP/DATU(B) (чтение данных с паузой и запись данных по тому же адресу).

Для выполнения вышеупомянутых операций используются:

схема управления ОШ (D90) - запросы и разрешения ОШ в режиме ПДП;

ПМЛ управления задатчиком (D73) - управляет циклом

ПДП (NPR):

регистр принимаемых данных (D39, D68) - сохраняет данные цикла DATI;

память передачи (D29, D30, D37, D50) - сохраняет данные цикла DATO;

регистр адреса ОШ (D67, D93) - содержит младшие 16 битов адреса ОШ;

регистр хранения (D82, D94, D95) - содержит два старших бита адреса ОШ и управляющие сигналы ОШ.

Перед началом каждой операции микропрограмма загружает данные, адрес и управляющие регистры.

После загрузки регистров адреса, данных и управления микропрограмма установкой сигнала F NPR START H начинает цикл ПДП. Если сигнал F NPR START H устанавливается во время выполнения предыдущего цикла ПДП, микропрограмма снимает F NPR START H по меньшей мере за два микроцикла до установки нового F NPR START H.

F NPR START H подается в ПМЛ управления задатчиком (D78). ПМЛ управления задатчиком иницирует, управляет и заканчивает цикл задатчика ОШ.

Для изучения логики управления задатчиком ОШ см. рис.5 и рис.6.

В состоянии 0, сигнал F NPR START H не установлен. Сигнал F NPR START H вызывает установку сигнала C MST REQ H на ПМЛ-е управления задатчиком (D78). С MST REQ H поступает на схему управления ОШ (D90), в которой устанавливается BUS NPR L (для запроса ОШ). МКС ожидает в состоянии 1 пока станет задатчиком шины.

Когда МКС становится задатчиком шины, управление ОШ (D90) выставляет сигнал C DMA MST L. Если установлен F C1 H=1 и F TX CD=0, выполняется операция DATO. ПМЛ управления задатчиком устанавливает C ENA BUS ADR L, C ENA MST BUS DATA L и C TX C1 H. ПМЛ управления задатчиком (D78) переходит в состояние 2.

C ENA BUS ADR L поступает на вход управления передатчиков ОШ (D39, D38, D87, D100, D99), для разрешения выдачи адреса МКС на ОШ. (Этот адрес предварительно загружен микропрограммой в регистр адреса ОШ).

C ENA MST BUS DATA L поступает на ПМЛ управление сдвигом (D133), который формирует сигналы в TX DATA RD ADR L[1:0] H и A ENA BUS DATA L. A TX DATA RD ADR [1:0] H поступает на память передачи (D37, D29, D50, D30) в качестве адреса, по которому данные передаются на ОШ.

ПМЛ управления задатчиком переходит в состояние ожидания 3 и 4. После ожидания ПМЛ управления задатчиком (D78) устанавливает C TX MSYN L и переходит в состояние 5 (см.табл.35.).

Таблица 35

Таблица истинности ПМЛ (D78)-управление задатчиком

Входы				!Номер! !теку!				Следующее состояние										
DMA	C1	TX	NPR	DSK	шего	Но-	TX	ENA	ENA	MST	TX	SZ	S1	SU				
MST	H	CO	START	KX	сост.	мер	C1	ADR	DAT	REQ	MSYN	H	H	H				
L	H	H	SSYN	H	H	H	L	L	H	L	H	H	H	H				
X	X	X	0	X	X	0	X	1	1	0	1	0	1	0				
0	X	X	1	X	0	0	X	1	1	0	1	0	1	0				
1	X	X	1	X	0	1	X	1	1	1	1	1	1	1				
1	X	X	1	X	1	1	X	1	1	1	1	1	1	1				
0	1	X	1	X	1	2	1	0	0	1	1	1	1	1				
X	X	X	1	X	2	3	1	0	0	1	1	1	1	0				
X	X	X	1	X	3	4	1	0	0	1	1	1	0	1				
X	X	X	1	X	4	5	1	0	0	1	0	1	1	1				
X	X	X	1	0	5	5	1	0	0	1	0	1	1	1				
X	X	X	1	1	5	6	1	0	1	1	1	1	1	1				
X	X	X	1	X	6	7	1	0	1	1	1	1	1	0				
X	X	X	1	X	7	8	0	1	1	0	1	1	1	1				
X	X	X	1	X	8	8	0	1	1	0	1	1	1	1				
0	0	X	1	X	1	9	0	0	1	1	1	1	1	1				
X	X	X	1	X	9	10	0	0	1	1	1	1	1	0				
X	X	X	1	X	10	11	0	0	1	1	1	1	0	1				
X	X	X	1	X	11	12	0	0	1	1	0	1	1	1				
X	X	X	1	0	12	12	0	0	1	1	0	1	1	1				
X	X	X	1	1	12	13	0	0	1	1	1	1	0	0				
X	X	X	1	X	13	14	0	0	1	1	1	0	1	1				
X	X	0	1	X	14	8	0	1	1	0	1	1	1	1				
X	X	1	1	1	14	14	0	0	1	1	1	0	1	1				
X	X	1	1	0	14	2	1	0	0	1	1	1	1	1				

3.055.431P3

Сигнал С TX MSYN L поступает в устройство исполнителя через передатчики ОШ. По сигналу BUS MSYN L исполнитель ОШ принимает данные и код операции выставленных на линиях BUS D[15:00] и BUS C[1:0].

в состоянии 5 ПМЛ управления задатчиком (D78) ждет пока, устройство исполнителя выставит BUS SSYN L. BUS SSYN L информирует ПМЛ управления задатчиком (D78), что устройство исполнителя закончило прием данных. BUS SSYN L поступает в ПМЛ управления задатчиком (D78) через приемник ОШ (D112) и триггера задержки (D113, D114). Установка С DSK RX SSYN H является причиной снятия ПМЛ-ом (D78) С TX MSYN L и С ENA MST BUS DATA L. Снятие С ENA MST BUS DATA L убирает данные с ОШ. ПМЛ управления задатчиком (D78) вводится в состояние ожидания 7. После ожидания снимается С ENA BUS ADR L, С TX C1 H и С MST REQ H, и ПМЛ переходит в состояние 8. Снятый С MST REQ H инвертируется и подается на ПМЛ (D78), что приводит к тому, что МКС, снимая BUS SSYN, освобождает шину.

ПМЛ (D78) продолжает оставаться в состоянии 8, ожидая снятия микропрограммой сигнала F NPR START H. Когда снимается F NPR START H, вводится состояние 0.

Временные диаграммы управления ОШ (D90) и ПМЛ (D78) см. рис. 7 и рис. 8 соответственно.

Для цикла DATI (DATIP) - сигнал F C1 H снят, ПМЛ управления задатчиком переходит из состояния 1 в состояние 9. После установки состояния 9 ПМЛ (D78) выставляет С ENA BUS ADR L, который разрешает выдачу адреса ОШ. После состояний ожидания 10 и 11 ПМЛ (D78) выставляет С TX MSYN L и устанавливает состояние 12.

В состоянии 12 ПМЛ управления задатчиком ждет, пока устройство исполнителя выставит BUS SSYN L. Появление сигнала BUS SSYN L означает, что исполнитель выставил данные на ОШ. BUS SSYN L подается в ПМЛ управления задатчиком (D78) через приемники ОШ (D112) и триггера задержки (D113, D114).

BUS SSYN L (С DSK RX SSYN H) также подается на ПМЛ ввода/вывода исполнителя (D102), который формирует С MST RX DATA REG CLK H.

Сигнал С MST RX DATA REG CLK H синхронизирует приемный регистр задатчика (D58, D39). Данные из устройства исполнителя (BUS D[15:00]) загружаются в приемный регистр задатчика через приемники ОШ (D49, D51, D36, D28).

в состоянии 13 ПМЛ (D78) снимает С TX MSYN L. После состояний 13 и 14 сигналом F TX C0 H определяется какой цикл завершен: DATI (F TX C0 H = 0) или DATIP (F TX C0 H = 1).

Если только что завершен цикл DATIP, ПМЛ (D78) управляет циклом DATO(B). После снятия С DSK RX SSYN H, ПМЛ (D78) не снимает С ENA MST BUS DATA L и С TX C1 H, пока С ENA BUS ADR L все еще установлен с цикла DATIP. ПМЛ (D78) переходит в состояние 2 для выполнения цикла DATO(B). Временные диаграммы ПМЛ (D78) - DATI и DATIP см. рис. 9 и 10.

6.4.2. Управление прерыванием ОШ

Схема управления прерыванием ОШ представлена на рис. 11, 12, 13. Она разрешает МКС стать задатчиком общей шины для выполнения операции прерывания. Схема прерываний ОШ состоит из следующих частей:

ПМЛ управления прерываниями (D103) - управляет циклами BR;

память передачи (D37, D29, D50, D50) - хранит вектор прерывания;

пакет переключателей приоритета BR (D77) - выбирает уровень запроса BR.

До начала цикла BR микропрограмма загружает вектор прерывания в память передачи (D37, D29, D50, D50) по адресу 01 и опрашивает, снят ли сигнал с INT REQ L.

Цикл BR начинается установкой сигнала F BR START H. Если F BR START H установлен из предыдущего цикла BR, микропрограмма снимает этот сигнал по меньшей мере за два микроцикла до установки чового F BR START H. Цикл BR оканчивается снятием сигнала F BR START H.

Для следующего описания управления прерываниями ОШ надо рассмотреть рисунки 11 и 12 и таблицу истинности ПМЛ управления прерываниями (D103) см. табл. 36.

Таблица 36

Таблица истинности ПМЛ (D103) - управление прерыванием

Входы		!Номер! !теку-		Следующее		состояние		
INT MST L	RX SSYN H	!BR !START !H	!чего !сост. !	!Номер! !сост. !	!TX !INTR !H	!ENA !VEC !L	!IN !REQ !L	!SU !H
X	X	0	X	0	0	0	1	1
X	X	1	0	1	0	1	1	0
1	X	1	1	1	0	1	1	0
0	X	1	1	2	0	0	0	0
X	X	1	2	3	0	0	0	0
X	X	1	3	4	1	0	0	1
X	0	1	4	4	1	0	0	1

Продолжение табл. 36

Выходы		!Номер! !теку- !щего!		Следующее !Номер! !сост.!		Состояние		
INT MST L	!RX !SSYN !H	!BR !START !H	!со- !ст.!	!со- !ст.!	!TX !INTR !H	!ENA !VEC !L	!IN !REQ !L	!SO !H
X	1	1	4	5	1	1	0	1
X	X	1	5	5	0	1	1	0
X	X	1	6	6	0	1	1	0

В состоянии 0 микропрограмма устанавливает сигнал F BR START H для инициализации цикла BR. После этого ПМЛ управления прерыванием (D103) устанавливает сигнал C INT REQ L, подаёт его на схему управления ОШ (D91) и переходит в состояние 1. Схема (D91) формирует BUS BRX L для запроса ОШ. BUS BRX L поступает на пакет переключателей уровня приоритета (D77). Пакет переключателей уровня приоритета управляет линиями ОШ BR и BG, для уровня 5 или 6.

В состоянии 1 ожидается появление сигнала C INT MST L. Как только схема (D91) сформирует сигналы C INT MST L и BUS BSY L, МКС становится задатчиком шины. ПМЛ (D103) устанавливает C ENA VEC L и переходит в состояние 2. C ENA VEC L подается в ПМЛ (D133), в котором формируются A ENA BUS DATA L и A TX DATA RD ADR[1:0] H=01. По адресу 01 из памяти передатчи считывается вектор прерывания и сигналом A ENA BUS DATA L передается на ОШ.

В состоянии 3 схема (D103) устанавливает C TX INTR H и переходит в состояние 4. Запрос прерывания C TX INTR H подается на ОШ через передатчик (D112) в качестве сигнала BUS INTR L.

В состоянии 4 ПМЛ управления прерыванием (D103) ждет, пока центральный процессор выставит BUS SSYN L. После задержки BUS SSYN L, в качестве сигнала C DSK RX SSYN H, поступает в ПМЛ (D103), который снимает C ENA VEC L и переходит в состояние 5. На одно состояние позже (состояние 6) снимается C TX INTR H и C INT REQ L. После этого схема управления ОШ (D91) снимает BUS BSY L. ПМЛ управления прерыванием (D103) в состоянии 6 ожидает, когда микропрограмма снимает сигнал F BR START H. Со снятием последнего, ПМЛ (D103) переходит в состояние 0. Временную диаграмму ПМЛ управления прерыванием см. рис.13.

6.4.3. Операции ввода/вывода исполнителя ОШ

Микропрограмма для обмена данными исполнителя использует аппаратуру микропрерываний. ПМЛ управления исполнителя (D102) управляет связью с ОШ, пока аппаратура микропрерываний передает обработанные данные в общую шину (цикл DAT1/DATIP) или обрабатывает данные, принятые из ОШ (цикл DATO/DATOB).

Схема управления исполнителем показана на рис.14.

Устройство задатчика ОШ подает адрес (BUS A L17:00 L) на общую шину. После приемников ОШ (D99, D88, D87, D100, D89) адрес N RX ADR L17:00 H поступает:
на ПМЛ (D105) (N RX ADR L17:15 H);
на схему сравнения D76 (N RX ADR L12:5 H);
на схему микропрерывания (N RX ADR L4:0 H).

Если все биты адреса N RX ADR L17:15 H установлены (все единицы), ПМЛ управления прерываниями опознает обращение в пространство ввода/вывода ОШ.

Переключатели (D75) содержат L12:5 битов базового адреса МКС. Восьмибитная схема сравнения сравнивает адрес переключателей с SW L8:1 H с адресом ОШ (N RX ADR L12:5 H). Если адреса идентичны, устанавливается сигнал с VALID COMP H, который поступает на ПМЛ управления прерыванием (D105). Когда установлен сигнал с VALID COMP H и биты адреса L17:15 H равны единице, ПМЛ управления прерыванием (D103) вырабатывает с VAL ADR L. Через триггера задержки (D113, D114) с VAL ADR L подается на ПМЛ ввода/вывода исполнителя (D102) в качестве сигнала DSK VAL ADR L. Работа ПМЛ (D102) отражена в табл.37 и на рис.15.

Таблица 37

Таблица истинности ПМЛ (D102)

Входы				!Номер! !теку-	Следующее				состояние		
VAL	!RX	!RX	!TRAP	!ПОН!	!Номер!	!TX	!TRAP	!ENA	!S1!	!S0	
ADR	!MSYN!	!C1	!ACK	!L	!сост.	!сост.	!SSYN!	!REQ	!DAT	!H	
L	!H	!H	!H	!	!	!	!H	!H	!L	!	
X	X	X	X	0	X	0	0	0	1	1	
0	1	X	X	1	0	1	0	1	1	1	
X	X	X	0	1	1	1	0	1	1	1	
X	X	0	1	1	1	2	0	0	0	1	
X	X	X	X	1	2	3	0	0	0	0	
X	X	X	X	1	3	4	1	0	0	1	
X	1	X	X	1	4	4	1	0	0	1	
X	0	X	X	1	4	5	1	0	1	1	
X	X	X	X	1	5	6	1	0	1	0	
X	X	X	X	1	6	0	0	0	1	1	
X	X	1	1	1	1	7	1	0	1	1	
X	1	X	X	1	7	7	1	0	1	1	
X	0	X	X	1	7	0	0	0	1	1	
1	X	X	X	1	0	0	0	0	1	1	
X	0	X	X	1	0	0	0	0	1	1	

В состоянии 0 (D102), если установлены С DSK VAL ADR L, С DSK RX MSYN H и С DSK RX C1 H, начинается цикл DAT0(DAT00).

ПМЛ ввода/вывода исполнителя (D102) устанавливает С TRAP REQ H, переходит в состояние 1 и ждет установки D TRAP ACK H. С TRAP REQ H поступает в схему микропрерываний для инициализации микропрерывания, также стробирует данные с приемников ОШ (N RX DATA [15:00] H) в приемный регистр данных исполнителя (D52, D38).

После установки сигнала С TRAP REQ H микропрограмма стробом записи в младший байт памяти передачи (E LS RD CK TX DAT LO L) при условии MWR [17:16]=11 устанавливает на выходе триггера (D105) сигнал 0 TRAP ACK H.

После установки D TRAP ACK H, ПМЛ ввода/вывода ис-

3.055.431P3

полнителя (D102) снимает С TRAP REQ H, устанавливает С TX SSYN H и переходит в состояние 7. Снятием сигнала С TRAP REQ H, триггер (D105) ставится в исходное состояние и снимается D TRAP ACK H.

С TX SSYN H подается в устройство задатчика через передатчик ОШ (D112). Установка С TX SSYN H указывает задатчику ОШ на то, что МКС принял данные из ОШ.

Получив BUS MSYN L устройство задатчика ОШ снимает BUS MSYN L информируя о том, что устройство задатчика передачу данных считает оконченной. BUS MSYN L поступает в ПМЛ ввода/вывода исполнителя через приемник ОШ и триггера задержки (D113, D114) в качестве сигнала С DSK RX MSYN H. Снятие сигнала С DSK RX MSYN H снимает С TX SSYN H. Снятие С TX SSYN H информирует задатчика ОШ о том, что МКС закончил обработку данных. Временную диаграмму управления исполнителем в цикле DATU (DATUB) см. рис. 16.

Цикл DATI рассматривается на тех же рисунках как и цикл DATU.

В состоянии 0 ПМЛ (D102), когда установлены С DSK VAL ADR L, С DSK RX MSYN H и снят С DSK RX ST H, ПМЛ (D102) формирует С TRAP REQ H и переходит в состояние 1. Начинается цикл DATI. Микропрограмма микропрерываний устанавливает E LS RD CK TX DAT HI L, которым стробируется старший байт данных в память передачи (D29, D30). Данные поступают из местной памяти (LS) через внутреннюю шину BUS L7:U]. Следующая микрокоманда устанавливает E LS RD CK TX DAT LO L, которым стробируется младший байт данных в память передачи (D37, D38). Этот сигнал также стробирует триггер подтверждения микропрерывания (D105), в котором устанавливается сигнал D TRAP ACK H. Загрузка памяти передачи осуществляется по адресу UU (MWR16] H=0, MWR17] H=0).

Сигнал D TRAP ACK H подается в ПМЛ (D102) информируя о том, что данные готовы для передачи в ОШ. ПМЛ (D102) устанавливает С ENA SLAVE BUS DATA L, который поступает в ПМЛ (D135). В ПМЛ (D135) формируется адрес чтения передаваемых данных (A TX DATA RD ADR L7:UJ=00) и сигнал разрешения выдачи данных на ОШ (A ENA BUS DATA L). ПМЛ (D102) переходит в состояние 2.

Состояние 3 - это микроцикл ожидания пока данные будут переданы в ОШ. В следующем микроцикле ПМЛ (D102) устанавливает С TX SSYN H, переходит в состояние 4 и ждет пока задатчик снимет BUS MSYN L. Снятие BUS MSYN L информирует МКС, что устройство задатчика считает передачу данных законченной.

После снятия BUS MSYN L (С DSK RX MSYN H на входе ПМЛ D102), ПМЛ снимает С ENA SLAVE BUS DATA L и переходит в состояние 5.

Состояние 6 - это задержка для снятия данных с ОШ после чего снимается С TX SSYN H и ПМЛ (D102) переходит в состояние 0. Временная диаграмма управления исполнителем цикла DATI см. рис. 17.

Цикл DATIP - это цикл DATI, за которым следует DATU(3). Для выполнения DATIP МКС использует два разных цикла ОШ. После установки D TRAP ACK L микропрограмма микропрерывания опрашивает В REG CO H (D15U) и опознает цикл (DATI или DATIP). В цикле DATIP (В REG CO H = 1) микропрограмма устанавливает F INHIBIT PUP H, разрешает

микрорезервация и переходит в петлю ожидания. Цикл DATOB прерывает эту петлю. Микрорезервация DATOB снимает F IN- NIBIT PUP H до возвращения из микрорезервации.

6.4.4. Схема микрорезерваций (TRAP)

Аппаратура управления микрорезервациями состоит из следующих схем (см. рис.18):

- ПМЛ управления микрорезервациями (D110);
- мультиплексора адреса микрослова (D115, D116);
- регистра адреса микрорезервации (D101);
- регистра CO (D150).

ПМЛ (D110) управляет переходами на подпрограммы микрорезерваций, а мультиплексор (D115, D116) обеспечивает адресацию микрорезерваций. Возможны 32 адреса микрорезерваций (от FE0 по FFF).

Биты микрослова MWR[25:24] поступают на ПМЛ (D110) и управляют микрорезервацией во время микроинструкции DER следующим образом:

MWR[25:24] H=00 не имеет влияния на микрорезервацию

MWR[25:24] H=01 запрещает все будущие микрорезервации, которые поступят до команды разрешения;

MWR[25:24] H=IX разрешает микрорезервацию.

На ПМЛ (D110) также подается MWR[7:5] для определения микроинструкции DER. Сигналом C DSK P ON L запрещается микрорезервация во время эклочения питания. Микрорезервация начинается с установкой сигнала B TRAP L на ПМЛ (D110). Работа ПМЛ управления микрорезервацией (D110) показана в табл.38.

Таблица 38

Таблица истинности ПМЛ (D110)

Входы							!Текущ.!		!Следующее!		!Примечание
биты MWR							!сост.!		!состояние!		
!L25!	!L24!	!L7!	!L6!	!L5!	!REQ H!	!DSK !	!SD H !	!TRAP L!	!SD H!		
1	X	1	0	1	X	1	1	1	0	!Разреше- !ние мик- !рорезерва- !ния	
0	X	1	0	1	X	1	1	1	1	!Состоя- !ние зап- !рета ми- !кропрерыв- !вания	

Продолжение таб. 38

Эходы битов ММЧ						!Текущ. ! ! сост.!	Следующее ! состояние !			! Примеча- ! ние
[25]	[24]	[17]	[16]	[15]	!REQ Н!	!SD Н!	!TRAP L!	!SU Н!		
X	X	0	X	X	X	1	1	1	Состоя-	
X	X	X	1	X	X	1	1	1	ние запре-	
X	X	X	X	0	X	1	1	1	та микро-	
									прерыва-	
									ния	
1	X	1	0	1	1	0	0	1	Усущест-	
X	0	1	0	1	1	0	0	1	вляется	
									микропре-	
									рывание	
1	X	1	0	1	0	0	1	0	Состоя-	
X	0	1	0	1	0	0	1	0	ние ми-	
									кропреры-	
									вания	
0	1	1	0	1	X	0	1	1	Микро-	
									прерыва-	
									ние за-	
									прещается	
X	X	0	X	X	1	0	0	1	Усущест-	
X	X	X	1	X	1	0	0	1	вляется	
X	X	X	X	0	1	0	0	1	микропре-	
									рывание	
X	X	0	X	X	0	0	1	0	Состоя-	
X	X	X	1	X	0	0	1	0	ние разре-	
X	X	X	X	0	0	0	1	0	шение ми-	
									кропреры-	
									вания	

ПМЛ ввода/вывода исполнителя (D102) начинает запрос микропрерывания установкой сигнала С TRAP REQ Н, который поступает на триггер запроса микропрерывания (D105). Последовательность управления микропрерыванием показано на рис.19. Триггер (D105) задерживает С TRAP REQ Н и на ПМЛ управления микропрерыванием (D110) поступает D DSK TRAP REQ Н. ПМЛ (D110) формирует сигнал В TRAP L длительностью одного микроцикла (200 NS), если находится в состоянии разрешения микропрерывания.

В TRAP L поступает на мультиплексор адреса микропроцессора (D115, D116) и управляет выборкой адреса микропрерывания. При наличии сигнала В TRAP L младшие 5 биты адреса микропрерывания содержат значения регистра адреса микропрерывания (D101), а при отсутствии - значение схемы формирования адреса. В регистре D101 содержатся N RX C1 и N RX ADRL4:1J, принятые из ОШ, которые и формируют сигнал В TRAP ADRL4:0J Н. При наличии В TRAP L на выходах мультиплексора В MW ADRL7:5J (D115) формируются все единицы. Самые старшие биты адреса микропрерывания [11:8] генерируются на формирователе адреса (D106), подачей сигнала В TRAP Н на эту схему. Все четыре бита ад-

реса (MW ADR [11:8] H) тоже единицы.

Следующей микрокомандой начинается выполнение микропрограммы микропрерывания. Сигнал в TRAP L запрещает увеличение на +1 текущего адреса, записанного в счетчик адреса микропрограммы (в схеме формирования адреса). Первая микрокоманда микроподпрограммы микропрерывания выталкивает содержимое счетчика адреса в стек. ПМЛ управления микропрерыванием (D110) автоматически входит в состояние разрешения микропрерывания. Сигналом в TRAP DISABLE STATE H, значение N RX CO H запоминается на регистре CU (после приемников ОШ). Микропрерыв [5-е DATI спрашивает состояние в REG CO H, чтобы различить циклы DATI и DATIP.

6.4.5. Схема формирования адреса микрослова

Схема состоит из ПМЛ управления формированием адреса (D132) и трех формирователей адреса (D106, D118, D119). Три каскадно соединенные формирователи адреса обеспечивают двенадцатибитный адрес для адресации 4 кслова микропрограммной памяти.

Схема формирования адреса микрокоманд показана на рис.20. Таблица истинности ПМЛ (D132) управления формированием адреса микрокоманд (микрослова) дана в табл.39 ПМЛ управляется разрядами [7], [6], [2:0] микрослова (MWR) и флажками условий ALU:

MWR [7,6]=11 - для микрокоманд условного перехода;

MWR [7,6]=0X или X0 - для микрокоманд безусловного перехода.

Таблица 39

Таблица истинности ПМЛ (D132)

Биты MWR					!REQ	!AUX	!REG	!INHIBIT	!Выходы				!Тип		
[7]	[6]	[2]	[1]	[0]	!ALU	!ALU	!Z	!CO	!PUP	!S1	!SD	!FE	!PUP	!пере-	
					!N	!Z	!C	!	!	!	!	!	!	!хода	
1	1	0	0	0	!0	X	X	!	X	!	0	0	1	X	!По
1	1	0	0	0	!1	X	X	!	X	!	1	1	1	X	!флаж-
					!	!	!	!	!	!	!	!	!	!ку N	
1	1	0	0	1	!X	0	X	!	X	!	0	0	1	X	!По
1	1	0	0	1	!X	1	X	!	X	!	1	1	1	X	!флаж-
					!	!	!	!	!	!	!	!	!	!ку Z	
1	1	0	1	0	!X	X	0	!	X	!	0	0	1	X	!По
1	1	0	1	0	!X	X	1	!	X	!	1	1	1	X	!флаж-
					!	!	!	!	!	!	!	!	!	!ку C	
1	1	0	1	1	!X	X	X	!	X	!	0	0	1	X	!По
1	1	0	1	1	!X	X	X	!	X	!	1	1	1	X	!флаж-

Продолжение табл. 39

Биты MWR					!REG	!AUX	!REG	!INHIBIT	!выходы				!тип	
[7]	[6]	[2]	[1]	[0]	!ALU	!ALU	Z!	!CU	!PUP	!ST	SU	!E	PUP	!пере-
					!N	Z	C!	!	!	!				!хода
					!	!	!	!	!	!				!ку
					!	!	!	!	!	!				!AUX Z
					!	!	!	!	!	!				!
1	1	1	1	1	X	X	X	X	X	1	1	1	X	!Безу-
					!	!	!	!	!	!				!слов-
					!	!	!	!	!	!				!ный
					!	!	!	!	!	!				!
1	1	1	0	1	X	X	X	X	1	1	1	1	X	!Безу-
					!	!	!	!	!	!				!слов-
					!	!	!	!	!	!				!ный
					!	!	!	!	!	!				!
1	1	1	0	1	X	X	X	X	0	1	1	0	1	!Безу-
					!	!	!	!	!	!				!слов-
					!	!	!	!	!	!				!ный с
					!	!	!	!	!	!				!втал-
					!	!	!	!	!	!				!кива-
					!	!	!	!	!	!				!нием
					!	!	!	!	!	!				!в
					!	!	!	!	!	!				!стек
					!	!	!	!	!	!				!
1	1	1	1	0	X	X	X	X	1	1	1	1	X	!Безу-
					!	!	!	!	!	!				!слов-
					!	!	!	!	!	!				!ный
					!	!	!	!	!	!				!
1	1	1	1	0	X	X	X	X	0	1	1	0	0	!Безу-
					!	!	!	!	!	!				!слов-
					!	!	!	!	!	!				!ный с
					!	!	!	!	!	!				!втал-
					!	!	!	!	!	!				!кива-
					!	!	!	!	!	!				!из
					!	!	!	!	!	!				!стека
					!	!	!	!	!	!				!
1	1	1	0	0	X	X	X	X	0	0	1	1	X	!По
					!	!	!	!	!	!				!флаж-
					!	!	!	!	!	!				!ку
					!	!	!	!	!	!				!REG
					!	!	!	!	!	!				!CU
					!	!	!	!	!	!				!
0	X	1	X	X	X	X	X	X	0	1	0	0	0	!По
X	0	1	X	X	X	X	X	X	0	1	0	0	0	!стеку
					!	!	!	!	!	!				!с вы-
					!	!	!	!	!	!				!тал-
					!	!	!	!	!	!				!кива-
					!	!	!	!	!	!				!нием
					!	!	!	!	!	!				!
0	X	1	X	X	X	X	X	X	1	1	0	1	X	!По
X	0	1	X	X	X	X	X	X	1	1	0	1	X	!стеку
					!	!	!	!	!	!				!без
					!	!	!	!	!	!				!вы-
					!	!	!	!	!	!				!тал-
					!	!	!	!	!	!				!кива-

Продолжение табл. 39

Биты MWR					!REQ	!AUX	!REG	!INHIBIT	!Выходы			!Тип	
L7	L6	L2	L1	CO	!ALU	!ALU Z	!CO	!PUP	!S1	!S0	!FE	!PUP	!пере-
					!N	!Z	!C	!	!	!	!	!	!хода
					!	!	!	!	!	!	!	!	!ния
U	X	0	X	X	X	X	X	X	0	0	1	X	!По
X	U	0	X	X	X	X	X	X	0	0	1	X	!счет-
					!	!	!	!	!	!	!	!	!чику
					!	!	!	!	!	!	!	!	!адреса
					!	!	!	!	!	!	!	!	!

В случае условного перехода код MWR [2:0] определяет какой флажок условий влияет на переход адреса. В случае безусловного перехода на источник адреса влияет только бит MWR [2]: при MWR [2]=0, источником является счетчик адреса, при MWR [2]=1 - содержание стека.

L AUX ALU Z - это единственный флажок состояния используемый микропрограммой микропрерывания.

Управляющий бит 0Ш в REG CO опрашивается микропрограммой микропрерывания и определяет циклы DATI или DATIP.

F INHIBIT PUP H используется в циклах 0Ш DATIP - DATO(S). Установлением этого сигнала запрещается изменение указателя стека.

Источник адреса микрослова выбирается выходами S1, S0:

при S1, S0 = 00, следующий адрес микрослова выбирается из счетчика адреса;

при S1, S0 = 10, следующий адрес выбирается из стека;

при S1, S0 = 11, следующий адрес - прямой вход MWR[4,5, 25:16];

код S1, S0 = 01 не используется.

На выход формирователей адреса (D106, D118, D119), адрес поступает через внутренний мультиплексор и схему управления третьим состоянием. Когда источником является счетчик адреса, адрес с внутреннего мультиплексора подается: на инкрементор адреса где увеличивается на "1", на выход и опять на внутренний мультиплексор (через счетчик адреса).

При запросе на микропрерывание (в TRAP L) инкрементирование запрещается и сохраняется адрес микрокоманды, которая выполнялась бы при отсутствии микропрерывания. Первая микрокоманда микропрерывания вталкивает этот адрес из счетчика в стек.

В стек можно записать четыре двенадцатибитных слова (адреса микрокоманд). Указатель стека всегда указывает на последнее записанное слово. Указатель работает как счетчик вверх/вниз, имеющий входы управления записи/чтения (PUP) и вход разрешения (FE).

Когда FE = 0 разрешается запись или чтение стека:

при PUP = 1 выполняется вталкивание в стек (за-

пись);

при PUP = 0 - выталкивание из стека (чтение).

Если FE = 1, независимо от значения , указатель стека не меняется и вталкивание/выталкивание не происходит.

6.4.6. Схема микропрограммной памяти

Схема содержит:

ПЗУ на 4К микрослов по 36 битов (D140, D126, D125, D139, D138);

регистр слова микропрограммы MWR (D142, D130, D117, D143, D144);

схему контроля на четность (D121, D145, D149, D146);

триггер ошибки (D150);
светодиод.

Микрослово L MW [35:0] считывается при подаче на ПЗУ адреса от схемы формирования адреса микрокоманд (B MWR ADR [11:0] H). Считанное микрослово, возрастающим фронтом T150-2U0 L, запоминается в регистр слова микропрограмм (MWR). Одновременно в MWR записываются сигналы: C DSK P ON L и A ALU Z H. Схема микропрограммной памяти показана на рис.21. Микрослово MWR поступает на функциональные узлы МКС (ALU, схему формирования адреса, DER и другие) и на схему контроля четности, на которую также поступает и сигнал F FATAL FAULT H.

Выходной сигнал схемы контроля, возрастающим фронтом T50-150 L запоминается на триггере ошибки (D150). Сигналом C DSK P ON L триггер (D150) устанавливается в исходное состояние и при отсутствии ошибки (триггер погашен) горит светодиод. Если обнаружена ошибка, устанавливается сигнал L DEVICE SICK H, который гасит светодиод и запрещает синхросигналы. Микропрограмма не выполняется. Сигнал L DEVICE SICK L поступает на ПМЛ управления задатчиком и ПМЛ управления прерыванием и устанавливает их в исходное состояние.

6.4.7. Основной синхрогенератор

Схема обеспечивает МКС внутренней синхронизацией, за исключением генераторов скорости асинхронных линий. Схема показана на рис.22.

Генератор 40 MHz (D152) обеспечивает схему синхронизации серией синхрипульсов, которые подаются на триггера, делящие на четыре (D136).

Делители формируют сигнал M CLK H, частотой 10 MHz, который поступает на генератор фаз синхронизации (D122,

3.055.431PЭ

D123, D124, D151, D83). Схема генератора фаз синхронизации формирует сигналы разных фаз, обеспечивающих синхронизацию МКС. Формируются следующие фазы:

- М Т50+150 Н (Т=100 ns);
- М Т50-150 Л (Т=200 ns);
- М Т100-150 Н (Т=200 ns);
- М Т150-200 Л (Т=200 ns);
- М Т0-50 Н (Т=200 ns).

Сигналами N RX DC LO Н или L DEVICE SICK Н запрещаются все синхросигналы, кроме М Т50+150 Н, который синхронизирует схему интерфейса ОШ (ПМЛ управления прерыванием-D105, ПМЛ управления задатчиком-D78, ПМЛ ввода/вывода исполнителя-D102) и не допускает неопределенности на ОШ. Сигнал N RX DC LO Н поступает с ОШ и формирует МКС о пропадании постоянного питания. Ошибка паритета микропрограммного слова формирует сигнал L DEVICE SICK Н, который снимается сигналом C DSK P ON L.

С DSK P ON L формируется от сигналов N RX DC LO Н или N RX INIT Н на схеме и задерживается на триггерах задержки (D113, D114).

При переходе на пошаговый режим, S10 (пакетного переключателя D77) формируется сигнал C SINGLE STEP SEL, который поступает на переключатель (кнопку) S1, обеспечивающий пошаговый режим, и на триггер деления на четыре (D156), где запрещает прием своей синхроимпульсов от генератора (D152). От резисторной сборки (R27) на переключатель S1 поступает сигнал M PULLUP С Н (потенциал единицы).

В режиме ШАГ переключателем S1 на вход триггера деления на четыре подаются поочередно сигналы C SINGLE STEP SEL и M PULLUP С Н, устанавливая триггер то в единичное, то в нулевое состояние. Каждое переключение S1 вводит новую фазу. Переключатель пошагового режима (S10 на пакетном переключателе D77) включается на все время выполнения режима.

6.4.8. Схема арифметического-логического устройства

Схема арифметического-логического устройства (ALU) содержит:

- ПМЛ управления сдвигом (D133);
- декодер чтения DER/LS (D83, D84, D108);
- регистр состояния ALU (D131);
- две микропроцессорные секции КМ1804ВС1А (D147, D148).

Микропроцессорные секции соединены в каскад, образующий восьмибитное ALU (см.рис.23).

ALU - это высокоскоростная арифметико-логическая схема, выполняющая три операции двоичной арифметики и пять логических операций. Операции выбираются подачей на

схему декодера функции ALU сигналов L MWR [31:29] H (см.табл.40).

Таблица 40

Коды операций ALU

L MWR			!	Операция ALU
[31]	[30]	[29]		
0	0	0	!	R+S+CO
0	0	1	!	S-R-1+CO
0	1	0	!	R-S-1+CO
0	1	1	!	R OR S
1	0	0	!	R AND S
1	0	1	!	NOT R AND S
1	1	0	!	R XOR S
1	1	1	!	R NXOR S

ПМЛ управления сдвигом (D133) управляет сдвигом информации влево или вправо, перед записью во внутренние регистры микропроцессора (в регистровую память RAM или в регистр Q). Сдвиг может быть одинарный (в каждом регистре отдельно) или двойной (через оба регистра). Вход ПМЛ L MWR [33] H определяет направление сдвига, а входы L MWR [1, 0] H - тип сдвига. Таблица истинности ПМЛ управления сдвигом дано в табл.41.

Таблица 41

Таблица истинности ПМЛ управления сдвигом (D133)

Входы			!	Выходы			
L MWR	!	Операция		! RAM	! RAM	! Q MSB	! Q LSB
[33]	[1]	[0]	!	! MSB	! LSB	!	!
0	0	0	!	!	!	!	!
			!	!	!	!	!
			!	!	!	!	!
0	0	1	!	!	!	!	!
			!	!	!	!	!
			!	!	!	!	!
0	1	0	!	!	!	!	!
			!	!	!	!	!
			!	!	!	!	!

Продолжение табл. 41

Входы			Выходы				
L	MWR	Операция	RAM MSB	RAM LSB	Q MSB	Q LSB	
		точность					
0	1	1	Циклический сдвиг вправо с двойной точностью	Q LSB	HIZ	RAM LSB	HIZ
1	0	0	Сдвиг влево с одинарной точностью	HIZ	0	HIZ	0
1	0	1	Сдвиг влево с двойной точностью	HIZ	Q MSB	HIZ	0
1	1	0	Циклический сдвиг влево с одинарной точностью	HIZ	RAM MSB	HIZ	Q MSB
1	1	1	Циклический сдвиг влево с двойной точностью	HIZ	Q MSB	HIZ	RAM MSB

Входные сигналы L MWR [34:32] H, декодированные декодером приемника результата и схема сдвига регистрового запоминающего устройства (PЗУ) и записывает результат ALU в PЗУ без сдвига или со сдвигом влево или вправо. В зависимости от направления сдвига, сигналы A RAM LSB H и A RAM MSB H являются входом или выходом схемы сдвига. Например, если осуществляется сдвиг "вправо", A RAM LSB H является выходом содержания самого младшего разряда, а A RAM MSB H - входом в старший разряд информации. В режиме без сдвига эти входы-выходы находятся в третьем состоянии (HIZ). Схема сдвига регистра и работает аналогично.

Входы L MWR [11:8] H и L MWR [15:12] H являются адресами PЗУ (16 адресуемых регистров). L MWR [11:8] H адресует данные PЗУ для выхода A, а L MWR [15:12] H - для выхода B. Запись в PЗУ возможна только по адресу B (L MWR [15:12] H).

Данные PЗУ через мультиплексор подаются на внутреннюю ALU, когда T150-200 L=1. Запись данных производится с момента перехода синхросигнала T150-200 L с "1" в "0". Запись в регистр Q выполняется при переходе T150-200 L с "0" в "1".

Операнд шины BUS [7:0] H и регистра Q отличается своим назначением. Через входы BUS [7:0] H PЗУ загружаются внешними данными (данными местной памяти, регистров DER), а регистр Q может быть использован для операции деления/умножения, как регистр деления данных или как аккумулятор.

Сигналы L MWR [28:26] H поступает на декодер источника операндов, который управляет мультиплексором данных выборки операндов. На мультиплексор поступают выходы A и B P3Y, выход регистра Q, логический "0", и данные внутренней шины BUS [7:0] H. Выборка источника данных показана в табл.42.

Таблица 42

Выборка источника операндов

L MWR			!	Источник операндов ALU		
[28]	[27]	[26]	!	R	!	S
0	0	0	!	A	!	Q
0	0	1	!	A	!	B
0	1	0	!	0	!	Q
0	1	1	!	0	!	B
1	0	0	!	0	!	A
1	0	1	!	BUS [7:0] H	!	A
1	1	0	!	BUS [7:0] H	!	Q
1	1	1	!	BUS [7:0] H	!	0

Результат внутреннего ALU может быть подан на P3Y, на регистр Q (со сдвигом или без сдвига) или на шину BUS [7:0] H (через мультиплексор выхода и схему управления состояниями выхода). Приемник результата определяется декодером приемника результата, на входы которого поступают L MWR [34:32] H. Управление приемником результата, в зависимости от кода L MWR [34:32] H, показаны в табл.43.

Таблица 43

Управление приемником результата ALU

L MWR			!	!
[34]	[33]	[32]	!	!
			Приемник результата	Выход на BUS [7:0]
0	0	0	!	Регистр Q
0	0	1	!	-
0	1	0	!	P3Y
0	1	1	!	P3Y

Продолжение табл. 43

L MWR			Приемник результата	Выход на BUS [7:0]
[34]	[33]	[32]		
1	0	0	РЗУ со сдвигом вправо (в рег. Q сдвиг вправо)	Результат ALU
1	0	1	РЗУ со сдвигом вправо	Результат ALU
1	1	0	РЗУ со сдвигом влево (в рег. Q сдвиг влево)	Результат ALU
1	1	1	РЗУ со сдвигом влево	Результат ALU

Мультиплексор выхода выдает на выход результат ALU или данные РЗУ по адресу А (см.табл.43).

Схема управления третьим состоянием выхода ALU выдает результат на BUS [7:0] H или держит на выходах третье состояние. Сигнал разрешения выдачи данных на BUS [7:0] H формируется в декодере чтения DER/LS. Выход ALU запрещается (третье состояние) при микрокоманде чтения DER (L MWR [23] H, L MWR [7] H и L MWR [5] H установлены) или когда выполняется микрокоманда чтения LS (L MWR [7] H=0).

В регистр состояния ALU (D131) , если установлен L MWR [5] H, в конце каждого микроцикла записываются флажки признаков результата ALU:

- ALU Z H, если результат операции ALU равен нулю;
- ALU V H, если произошло переполнение (бит результата занял место бита знака);
- ALU N H, это значение самого старшего бита результата (бит знака);
- ALU C H, это перенос ALU.

3.4.9. Схема управления местной памятью (LS)

Схема состоит из:

- LS (D134, D135);
- декодера (D111);
- вентилей (D137, D97, D98);
- памяти передачи (D30, D37, D29, D50);
- мультиплексора адреса LS (D107, D109, D96);
- регистра косвенного адреса LS (D55);
- регистра хранения (D95, D82, D94).

В течении одного микроцикла схема может считать данные из LS и через BUS [7:0] H записать в память передаваемых данных или в рабочие регистры ALU. Запись данных из рабочего регистра в LS также производится в течение одного микроцикла. Архитектура МКС не позволяет выполнить цикл чтение-модификация-запись LS. Схему управления местной памяти см. рис. 24.

При подаче на декодер (D111), L MWR [7:5] H=100, выполняется микроинструкция записи в LS. Декодер формирует сигнал в LS WRITE L, который подается на вентиль (D137), где сигналом T5U-150 L формируется сигнал разрешения выборки адреса и команда "писать" (CHIP ENABLE=0, WRITE ENABLE=0).

Если на вентиль (D137) подается L MWR [7] H=0, тоже формируется сигнал разрешения выборки адреса (низкого уровня), а в декодере (D111) - в LS WRITE L высокого уровня, означающий команду "читать".

Для адресации LS используется десятибитный адрес. L MWR [25:24] H определяют два самых старших бита адреса, также выбирают источник адреса на мультиплексоре (D96, D107, D109). Управление адресом LS см. в табл. 44.

Таблица 44

Управление адресом LS

L MWR		!		Источник адреса
[25]	!	[24]	!	
0		0	!	F LS [7:0] ADR H
0		1	!	F LS [7:0] ADR H
1		0	!	F PROC [3:0] H, L MWR [19:16] H
1		1	!	L MWR [25:16] H

При L MWR [25:24] H=00 или 01, мультиплексор выбирает адрес из регистра косвенного адреса (D55). Косвенно адресуются первые 512 байтов LS.

Если L MWR [25:24] H=10, то адресуются пространство процесса (следующие 256 байтов) LS. F PROC [3:0] H определяет сегмент, а L MWR [19:16] H - номер байта в сегменте (16 сегментов по 16 байтов).

Если L MWR [25:24] H=11, битами L MWR [25:16] H прямо адресуются последний 256-байтовый сегмент LS.

Микропрограммы микроперезагрузки используют две специальные микроинструкции чтения LS. При L MWR [7:5] H=010, декодер (D111) формирует сигнал в LS RD CLK TX DAT LO L, которым данные LS записываются в младший байт памяти передачи (D57, D50). При L MWR [7:5] H=011, формируется в LS RD CLK TX DAT HI L, которым данные LS записываются в старший байт памяти передачи (D29, D30). L MWR [17:16] H указывает адрес памяти передачи.

Данные в памяти передачи хранятся по следующим адресам:

- L MWR [17:16] =00, данные датчика;
- L MWR [17:16] =01, вектор прерывания;
- L MWR [17:16] =10, не используется;
- L MWR [17:16] =11, данные исполнителя.

6.4.10. Циклы чтения регистров внешних дискретных сигналов

Одни регистры внешних дискретных сигналов (DER) только считываются (выдает содержание на внутреннюю шину BUS [7:0] H), другие - только записываются (запоминают информацию из BUS [7:0] H). Режим (циклы DER или циклы медленного чтения/записи) устанавливаются битом L MWR [22] H. Чтение или запись DER определяется битом L MWR [23] H.

При L MWR [7:5] H =101, декодер (0111) формирует сигнал E DISC REG R/W L, который поступает на дешифратор (D80, D84, D108). Если при этом L MWR [22] H=1 (режим DER) и L MWR [23] H=1 (чтение DER), формируется один из выходов дешифратора (D80, D84, D108) в зависимости от кода L MWR [21:19]. Выборка выходов дешифратора дана в табл.45. Схему чтения DER см. на рис.25.

Таблица 45
Выборка выхода дешифратора чтения DER

L MWR			!	Выбранный выход
[21]	[20]	[19]		
0	0	0	!	E SLAVE RX DATA HI ENA L
0	0	1	!	E SLAVE RX DATA LO ENA L
0	1	0	!	E MST RX DATA HI ENA L
0	1	1	!	E MST RX DATA LO ENA L
1	0	0	!	E DATA MUX ENA L
1	0	1	!	E SLOW READ REG ENA L
1	1	0	!	E DR ENA L
1	1	1	!	E LITERAL ENA L

На вход мультиплексора данных (D72, D41, D42, D74) поступают разные внешние и внутренние сигналы МКС. Вхо-

дами мультиплексора управляют сигналы L MWR [18, 17] H. Во время T150-200 L, выходы мультиплексора данных запоминаются в регистре (D71). L MWR [18, 17] H устанавливаются на один микроцикл раньше, чем чтение регистра (D71), т.е. выполняется следующая последовательность:
 в микроцикле 1 устанавливается L MWR [18, 17] H;
 в микроцикле 2 считывается регистр (D71).

При чтении двух байтов из мультиплексора, используется три микроцикла:
 в микроцикле 1 устанавливается L MWR [18, 17] H;
 в микроцикле 2 считывается 1-ый байт регистра (D71) и устанавливается L MWR [18, 17] H для следующего байта;
 в микроцикле 3 считывается 2-ой байт из регистра (D71).

Мультиплексор данных и регистр (D71) используются также для чтения базового адреса МКС на ОШ, установленного переключателем базового адреса (D75). Базовый адрес МКС побитно читается через мультиплексор базового адреса (D66). Сигналы F LS ADR [2:0] H управляют входами мультиплексора (D66). Таким образом микропрограмма МКС во время самотестирования (после включения питания) определяет адрес МКС на ОШ и запоминает его в местную память LS.

Сигналы разного назначения, поступающие на входы мультиплексора (D72, D41, D42, D74), приведены в табл.46.

Таблица 46
 Сигнальные входы мультиплексора данных

----- Название сигнала -----	!	Описание -----
C MATCH ADR [12:5] H	!	Разряд переключателя базового ! адреса ОШ, выбираемый состоянием ! F LS ADR [2:0] H (вход U)
J USRT TX URN H	!	Бит состояния USRT, индицирующий ! о перегрузке передатчика ! (вход U)
J USRT TX BE H	!	Бит состояния USRT, который ! индицирует о том, что буфер ! передачи пустой (вход U)
J USRT TX ACT H	!	Бит состояния USRT, который ! индицирует об активности ! передатчика (вход U)
J USRT RX SA H	!	Бит состояния USRT, который ! указывает об активности состоя- ! ния (вход U)
J USRT RX S/F H	!	Бит состояния USRT, который ! показывает, что был принят

Название сигнала	Описание
	! символ SYNC или FLAG (вход 0)
J USRT RX DA H	! Бит состояния USRT, означающий, ! что принятые данные готовы к ! передачи (вход 0)
J USRT RX ACT H	! Бит состояния USRT, который ! говорит, что приемник активен ! (вход 0)
U RX DR REQ A L	! Бит параллельного интерфейса, ! являющийся запросом А ! параллельного интерфейса ! (вход 1)
R RX UART [0] RI L	! Сигнал управления модема ! "Индикатор вызова", который ! поступает на асинхронную ! линию 0 (вход 1)
N RX ADR [0] H	! Нулевой бит адреса ОШ. ! Микропрограмма микропрерывания ! читает этот бит чтобы определить ! младший или старший байт выбран ! в цикле DAT0(8) (вход 1)
R RX UART [0] CTS L	! Сигнал управления модема "Готов ! к передаче", который поступает ! на асинхронную линию 0 (вход 1)
R RX UART [0] S CAR L	! Сигнал управления модема: ! детектор принимаемого линейного ! сигнала обратного канала, ! поступающий на асинхронную ! линию 0 (вход 1)
R RX UART [0] USER RX L	! Сигнал управления модема "Прием ! пользователя", который поступает ! на асинхронную линию 0 (вход 1)
C INT REQ L	! Сигнал запроса прерывания, ! устанавливаемый ПМЛ управления ! прерывания (D103) (вход 1)
C MST REQ L	! Сигнал запроса задатчика ОШ, ! устанавливаемый ПМЛ управления ! задатчика (D78) (вход 1)
P RX USRT DSR L	! Сигнал управления модема "Данные ! готовы" ("АПД готова"), который ! поступает на синхронную линию ! (вход 2)

Продолжение табл. 46

Название сигнала	!	Описание
P RX USRT RI L	!	Сигнал управления модема ! "Индикатор вызова", который ! поступает на синхронную линию ! (вход 2)
P RX USRT CAR L	!	Сигнал управления модемом ! "Обнаружение носителя" ! поступающий на синхронную ! линию
P RX USRT CTS L	!	Сигнал управления модема "Готов ! к передаче", поступающий на ! синхронную линию (вход 2)
C GPS 2 L	!	Бит пакетного переключателя ! D75 (S9) (вход 2)
P RX USRT USER RX L	!	Сигнал управления модема "Прием ! пользователя", поступающий на ! синхронную линию (вход 2)
C GPS 1 L	!	Бит пакетного переключателя ! D75 (S10) (вход 2)
X5 DIST PANEL SW 1 L	!	Бит переключателя S3 (7) на ! распределительной панели, ! опрашивается микропрограммой МКС ! и указывает на использование ! интерфейса печатающего ! устройства или параллельного ! интерфейса (вход 2)
U RX DR REQ B L	!	Бит запроса в параллельного ! интерфейса (вход 3)
S RX UART [1] RI L	!	Сигнал управления модема ! "Индикатор вызова", поступающий ! на асинхронную линию 1 (вход 3)
X5 DIST PANEL SW2 L	!	Бит переключателя S3 (6) на ! распределительной панели, ! опрашивается микропрограммой ! МКС и указывает на использование ! асинхронного мультиплексора и ! синхронного интерфейса или ! только синхронный интерфейс ! (вход 3)
S RX UART [1] CTS L	!	Сигнал управления модема ! "Готов к передаче", поступающий ! на асинхронную линию 1 (вход 3)
S RX UART [1] S CAR L	!	Управляющий сигнал модема,

Продолжение табл. 46

Название сигнала	!	Описание
	!	"Обнаружение носителя обратного канала", поступающий на асинхронную линию 1 (вход 3)
S RX UART [1] USER RX L	!	Управляющий сигнал модема "Прием пользователя", поступающий на асинхронную линию 1 (вход 3)
C TX MSYN H	!	Сигнал управления задатчиком ОШ, поступающий от ПМЛ управления задатчиком (D78) (вход 3)
C TX C1 H	!	Управляющий сигнал ОШ C1, идущий от ПМЛ управления задатчиком (D78) (вход 3)

ПРИМЕЧАНИЕ. Вход 0 мультимплексора данных используется при L MWR [18, 17] H=00, вход 1 - при L MWR [18, 17] H=01, вход 2 - при L MWR [18, 17] H=10, вход 3 - при L MWR [18, 17] H=11.

Мультимплексор DR/LP (D5, D18) передает слово данных параллельного интерфейса на BUS [7:0] H. L MWR [18] H определяет младший или старший байт подать на BUS [7:0] H. Сигналом E DR ENA L разрешается выдача данных на BUS [7:0] H.

Константа, определяемая микрословом (L MWR [18:16, 11:8, 0] H) считывается через передатчик константы (D120) сигналом E LITERAL ENA L. С шины BUS [7:0] H константа поступает или в рабочий регистр или во внутренний регистр @ (схемы ALU).

Когда МКС является устройством задатчика, данные из устройства исполнителя (через ОШ) поступают на приемный регистр задатчика (D39, D68). В режиме чтения DER, сигналами E MST RX DATA LD ENA L и E MST RX DATA HI ENA L данные из регистра подаются на BUS [7:0] H (младший или старший байт).

Когда МКС является устройством исполнителя, данные из устройства задатчика запоминаются в приемном регистре исполнителя (D38, D52). Сигналами E SLAVE RX DATA LO ENA L и E SLAVE RX DATA HI ENA L, данные из регистра исполнителя подаются на BUS [7:0] H (младший или старший байт).

6.4.11. Циклы записи регистров DER

Схема записи в регистры DER показана на рис.26.

Если на входы дешифратора DER записи (D81, D84, D108) поступают L MWR [22] H=1, L MWR [23] H=1 и E DISC REG R/W L=0 (от дешифратора D111), на выходе формируется один из шести сигналов управляющих записью регистров DER данными из внутренней шины BUS [7:J] H. Выходы дешифратора DER записи (D81, D84, D108) определяются кодом L MWR [21:19] H, как показано на табл.47. На выходе сигнал появляется в момент положительного T10U-15U H, а данные в регистр записываются в момент перехода выходного сигнала с "0" на "1".

Таблица 47

Выборка сигналов дешифратора DER записи

L MWR			!	Выбранный сигнал
[21]	[20]	[19]	!	
0	0	0	!	E LS ADR CLK H
0	0	1	!	E TX ADR LO CLK H
0	1	0	!	E TX ADR HI CLK H
0	1	1	!	не используется
1	0	0	!	E LATCH WE L
1	0	1	!	не используется
1	1	0	!	E TX DR/LP LO CLK H
1	1	1	!	E TX DR/LP HI CLK H

Сигналом E LS ADR CLK H данные BUS [7:0] H записываются в регистр косвенного адреса LS (D55), которым адресуется LS, регистры медленного чтения/записи (D69, D70) и мультиплексор базового адреса (D66).

Сигналами E TX ADR LO CLK H и E TX ADR HI CLK H в регистр адреса DW (D67, D93) записывается младший или старший байт адреса, используемого в режиме ПДИ).

В младший или старший байт регистра данных DR/LP (D9, D10) данные записываются сигналами E TX DR/LP LO CLK H и E TX DR/LP HI CLK H соответственно.

E LATCH WE L - сигнал разрешения записи в регистр хранения (D82, D94, D95), который содержит разные сигналы, показанные в табл.48. Сигналом с DSK P ON L регистр устанавливается в исходное положение, а биты микропрограммного слова L MWR [18:16] H выбирает один из

восемью сигналами во всех трех микросхемах.

Таблица 48

Сигналы регистра хранения

Биты	!	Описание
F PROC [3:0] H	!	Регистр процесса
F USRT TX CLK SOU H	!	Бит управления источником синхронизации передачи для USRT (D40) и модема. Когда этот бит снят, синхронизация передачи для USRT (D40) поступает от модема; когда установлен - из генератора скорости (D32)
F FATAL FAULT H	!	Сигнал неисправности МКС. Подается на схему контроля паритета микропрограммной памяти и имитирует ошибку паритета
F TX ADR [17:16] H	!	два старшие бита регистра адреса ОШ
F C1 H	!	Управляющий бит ОШ C1, подаваемый на ПМЛ управления задатчиком (D78)
F TX C0 H	!	Управляющий бит ОШ C0
F USRT RX ENA H	!	бит управления разрешения приема для USRT (D40)
F USRT TX ENA H	!	Бит управления разрешения передачи для USRT (D40)
F USRT MAINT H	!	Управляющий бит отладки USRT (образует петлю передача/прием)
F TX DR DATA XMTD L	!	Управляющий бит параллельного порта "Данные переданы"
F TX DR CTRL ONE H	!	Управляющий бит параллельного порта "Контрольная единица"
F TX DR CTRL ZERO H	!	Управляющий бит параллельного порта "Контрольный ноль"
F INHIBIT PUP H	!	Установка этого бита запрещает работу стека эрмирователя адреса микрокоманд
F TX DR N.D.R. HI L	!	Управляющий бит параллельного порта, "Готовность старшего байта новых данных"

Продолжение табл. 48

Биты	!	Описание
F TX DR N.D.R. LO L	!	Управляющий бит параллельного порта "Готовность младшего байта новых данных"
F USRT SINGLE STEP CLK H	!	Установка этого бита инвертирует синхронизацию приема USRT. В USRT RX CLK H (синхронизация приема, поступающая в USRT от модема), преобразуется операцией "ИСКЛЮЧАЮЩАЯ ИЛИ" сигналов F USRT SINGLE STEP CLK H и P RX USRT RX CLK H
F NPR START H	!	Переход этого бита из нуля в единицу инициирует цикл ОШ NPR. F NPR START H поступает на ПМЛ управления задатчиком (D78)
F BR START H	!	Переход этого бита из нуля в единицу инициирует цикл прерывания ОШ. F BR START H поступает на ПМЛ управления прерыванием (D1U5)

6.4.12. Цикл медленного чтения/записи

Восемь асинхронных линий (UART), два генератора скорости (BRG) и синхронная линия (USRT) имеют цикл чтения и записи, длиной четыре микроцикла, поэтому называются медленными.

Циклы медленного чтения/записи начинаются при L MWR [22] H=0. Адрес медленного устройства F LS ADR [4:0] H загружается в регистр косвенного адреса LS (D55) до начала цикла медленного чтения/записи. Во время выполнения цикла медленного чтения/записи, одновременно выполняются другие микрокоманды.

Микрокоманда медленного чтения инициирует только цикл медленного чтения, не считывая никаких данных.

После трех микрокоманд микропрограмма считывает данные, выполняя чтение DcR регистра медленного чтения (D70).

Цикл медленной записи осуществляется выполнением микрокоманды записи DER (при L MWR [22] H=0). Во время выполнения микрокоманды, данные из шины BUS L7:0] H автоматически записываются в регистр медленной записи (D69).

Схема управления медленным чтением/записью дана на

рис.27. Временные соотношения между успешным медленным чтением/записью даны в табл.49.

Таблица 49
Временные соотношения медленного чтения/записи

Микрокоманда			
Случай А	Случай В	Случай С	Случай D
1. Инициирова- ние цикла медленного чтения	Инициирова- ние цикла медленного чтения	Инициирова- ние цикла медленной записи	Инициирова- ние цикла медленной записи
2. Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда
3. Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда
4. Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда
5. Чтение ре- гистра мед- ленного чтения	Чтение ре- гистра мед- ленного чтения	Любая мик- рокоманда	Любая мик- рокоманда
6. Любая мик- рокоманда	Инициирова- ние цикла медленного чтения	Инициирова- ние цикла медленной записи	Инициирова- ние цикла медленного чтения
7. Инициирова- ние цикла медленной записи	Любая мик- рокоманда	Любая мик- рокоманда	Любая мик- рокоманда

случай А: медленное чтение, а после - медленная запись

случай В: медленное чтение, а после - медленное чтение

случай С: медленная запись, а после - медленная запись

случай D: медленная запись, а после - медленное чтение

ПМЛ управления медленным чтением/записью (D73) управляет циклами медленного чтения/записи. В зависимости от значения входов L MWR [22] H, E DISC REG R/W L и F LS ADR LS:4] H формируются соответствующие сигналы на выходах ПМЛ (D73). F LS ADR LS:4] H выбирает USRT, один из UART или один из BRG. В табл.50 показана выборка медленных устройств.

Таблица 50

Выборка медленных устройств

Биты регистра косвенного адреса								выбранное устройство
[5]	[4]	[3]	[2]	[1]	[0]			
0	0	0	0	X	X			UART L0J
0	0	0	1	X	X			UART L1J
0	0	1	0	X	X			UART L2J
0	0	1	1	X	X			UART L3J
0	1	0	0	X	X			UART L4J
0	1	0	1	X	X			UART L5J
0	1	1	0	X	X			UART L6J
0	1	1	1	X	X			UART L7J
1	0	0	X	X	X			USRT
1	1	0	X	X	X			ASYNC BRG
1	1	1	X	X	X			SYNC BRG

L MWR122J=0-для выборки медленного чтения/записи;
 L MWR122J=1-для выборки регистров DER;
 L MWR123J=0-для записи
 L MWR123J=1-для чтения

Сигналы ПМЛ управления медленным чтением/записью выполняют следующие операции:

J SLOW READ REG CLK H стробирует данные медленной шины (SLOW DATA BUS L7:0J H) в регистр медленного чтения (D70) в конце цикла медленного чтения;

J SLOW ADR DAT REG CLK L стообирует F LS ADR [4:0J H и L MWR L23J H в регистр адреса медленных устройств (D54, D92) и данные внутренней шины BUS L7:0J H - в регистр медленной записи (D69);

J USRT CS L - разрешение выборки USRT (D40);

J USRT TX CLK H - синхронизация передачи данных USRT;

J SLOW BRG CS L совместно с J BRG SEL H через вентили подается на асинхронный и синхронный генераторы скорости для записи данных от SLOW DATA BUS L7:0J H;

SLOW ASYNC CS ENA L подается на декодер выборки UART (D31) для разрешения выборки одного из восьми UART-ов.

Алгоритм работы ПМЛ управления медленным чтением /записью показан на рис.28.

В состоянии 0 ПМЛ (D73) ждет инициирования медленного цикла (L MWR [22] H = 0, E DISC REG R/W L = 0). С появлением условий медленного цикла, ПМЛ (D73) устанавливает сигнал J SLOW ADR DAT REG CLK L = 1 и переходит в состояние 1. Выходом J URT R/W H (регистра адреса медленного устройства) определяется медленная операция (чтение или запись). (J URT R/W H формируется от L MWR [23] H). Если F LS ADR [5:4] H = 0X (см. табл. 50.), устанавливается сигнал J SLOW ASYNC CS ENA L, выбирается один из UART-ов и устанавливается состояние 2.

Если F LS ADR [5:4] H = 10 - выбран USRT, вырабатывается J USRT CS L и устанавливается состояние 5.

Если F LS ADR [5:4] H = 11 - выбран один из BRG, формируется J SLOW BRG CS L и устанавливается состояние 8. После состояний 2, 5 или 8 устанавливается состояние ожидания 3, 6 или 9 соответственно. В это время снимается J SLOW READ REG CLK H.

В состояниях 4, 7 или 10 снова устанавливается J SLOW READ REG CLK H, стробирующий данные с медленной шины в регистр медленного чтения (D70). Во время цикла медленного чтения данные на SLOW DATA BUS [7:0] H являются данными USRT или одного из UART, а во время цикла медленной записи - это данные из регистра медленной записи (D69).

После состояний 4, 7 или 10 устанавливается состояние 0. В это время уже сняты сигналы: J SLOW ADR DAT REG CLK L, J SLOW BRG CS L, J SLOW ASYNC ENA L, J USRT CS L. Медленный цикл закончен. Таблицу истинности ПМЛ (D73) медленного чтения/записи см. в табл. 51, а временные диаграммы для UART, USRT и BRG см. на рисунках 29, 30, 31 соответственно.

Таблица 51

Таблица истинности ПМЛ (D73)

Входы				!Номер! !теку!			Следующее состояние					
MWR L22]	!LS !ADR	!LS !ADR	!DISK! !REG !R/w	!PON! !L	!Номер! !сост.	!Номер! !сост.	!READ! !REG !CLK	!ADR! !DAT !REG	!S !CS	!A !CS	!BRG! !CS	!SO !H
H	!LS !H	!LS !H	!R/w !L	!	!	!	!H !CLK	!REG !CLK	!L !	!L !	!L !	!

X	X	X	X	0	X	0	1	0	1	1	1	1
0	X	X	0	1	0	1	1	1	1	1	1	1
1	X	X	X	1	0	0	1	0	1	1	1	1
X	X	X	1	1	0	0	1	0	1	1	1	1
X	0	X	X	1	1	2	1	1	1	0	1	1
X	X	X	X	1	2	3	0	1	1	0	1	1
X	X	X	X	1	3	4	1	1	1	U	1	0

Продолжение табл. 51

		Входы				!Номер! !теку-	Следующее состояние																	
		!LS! !ADR! !LS! !H	!LS! !ADR! !L5! !H	!DISK! !REG! !R/W! !L	!PON! !L	!цего! !сост.	!Номер! !сост.	!READ! !REG! !CLK	!ADR! !DAT! !REG! !H	!S! !CS! !L	!A! !CS! !L	!BRG! !CS! !L	!SU! !H											
X	!	X	!	X	!	X	!	1	!	4	!	0	!	1	!	0	!	1	!	1	!	1	!	1
X	!	1	!	0	!	X	!	1	!	1	!	5	!	1	!	1	!	0	!	1	!	1	!	1
X	!	X	!	X	!	X	!	1	!	5	!	6	!	0	!	1	!	0	!	1	!	1	!	1
X	!	X	!	X	!	X	!	1	!	6	!	7	!	1	!	1	!	0	!	1	!	1	!	0
X	!	X	!	X	!	X	!	1	!	7	!	0	!	1	!	0	!	1	!	1	!	1	!	1
X	!	1	!	1	!	X	!	1	!	1	!	8	!	1	!	1	!	1	!	1	!	1	!	0
X	!	X	!	X	!	X	!	1	!	8	!	9	!	0	!	1	!	1	!	1	!	1	!	0
X	!	X	!	X	!	X	!	1	!	9	!	10	!	1	!	1	!	1	!	1	!	1	!	0
X	!	X	!	X	!	X	!	1	!	10	!	0	!	1	!	0	!	1	!	1	!	1	!	1

6.4.13. Передатчики и приемники интерфейса СТЫК С2

Данные синхронных и асинхронных линий, сигналы управления и синхронизации, идущие из МКС на терминалы, передаются через специальные передатчики интерфейса СТЫК С2 (микросхема К1102АП15). Управляющие входы (1) через резисторы 27 килоом (резисторные сборки R18 и R20) подключены к земле. Величина резистора определяет скорость (фронт) сигнала, передаваемого с передатчика.

Приемники интерфейса СТЫК С2-микросхемы К1102ЛП1, обладают свойством гистерезиса. Положительные входы приемников синхронной линии (D33, D34, D43, D44) через перемычки (W3, W4, W5) подключены к земле. Перемычки нормально установлены.

Перемычки на отрицательных входах приемников D34, D63 и D59 (W2, W7 и W8) также нормально установлены. Резисторы величиной 22 килоом на этих же входах, позволяют иметь высокий уровень сигналов RX USRT DSR L, RX UART 0 DSR L и RX UART 1 DSR L, если положительные входы соответствующих приемников заземлены.

6.4.14. Передатчики и приемники
параллельного порта

Печатающее устройство использует передатчики и приемники параллельного интерфейса, поэтому параллельный интерфейс и печатающее устройство не могут работать одновременно.

Передатчиками являются:

микросхемы КР555АП5 (D11, D12) для передачи U TX DR/LP [15:0] L;

микросхема К155ЛА12 (D85, D122) для передачи сигналов U TX DR N.D.R.LD H, U TX DR N.D.R.HI H, U TX DR N.D.R.H, U TX DR DATA XMTD H и U TX DR INIT L;

микросхема К555АП3 (D8), для передачи сигналов U TX DR CTRL ONE L и TX DR CTRL ZERO L.

Приемниками являются микросхемы К555АП5. Для сигналов U RX DR/LP [15:0] L используются К555АП5 (D6, D7), для сигналов U RX DR REQ [A, B] L - К555АП3 (D8).

6.4.15. Сигналы параллельного
интерфейса/печатающего
устройства

Сигналы параллельного интерфейса/печатающего устройства (DR/LP) и соответствующие контакты на разъеме распределительной панели даны в табл.52. От МКС на распределительную панель сигналы поступают через разъем X7. (Сигналы: TX DR CTRL ONE L, TX DR CTRL ZERO L, TX DR INIT L - через разъем X6).

Таблица 52

Сигналы DR/LP

Название сигнала	Разъем/контакт
TX DR/LP [0] L (P.DATA [1])	X8/26
TX DR/LP [1] L (P.DATA [2])	X8/20
TX DR/LP [2] L (P.DATA [3])	X8/22
TX DR/LP [3] L (P.DATA [4])	X8/1
TX DR/LP [4] L (P.DATA [5])	X8/24
TX DR/LP [5] L (P.DATA [6])	X8/23
TX DR/LP [6] L (P.DATA [7])	X8/5

Продолжение табл. 52

Название сигнала	Разъем/контакт
TX DR/LP [7] L (P.DATA [8])	X8/6
TX DR/LP [8] L (P.SPARE)	X8/5
TX DR/LP [9] L (P.SPARE)	X8/21
TX DR/LP [10] L (P.SPARE)	X8/25
TX DR/LP [11] L (P.SPARE)	X8/7
TX DR/LP [12] L (P.SPARE)	X8/52
TX DR/LP [13] L (P.SPARE)	X8/2
TX DR/LP [14] L	X8/31
TX DR/LP [15] L (P.STROBE-CTP)	X8/3
RX DR REQ A H	X8/15
TX DR N.D.R LO H	X8/10
TX DR N.D.R H1 H	X8/9
TX DR N.D.R H	X8/4
RX DR REQ B H	X7/22
TX DR DATA XMTD H	X7/15
RX DR/LP [15] L	X7/20
RX DR/LP [14] L (P.ON LINE-ГП)	X7/9, X8/12
RX DR/LP [13] L	X7/1
RX DR/LP [12] L	X7/21
RX DR/LP [11] L	X7/4
RX DR/LP [10] L	X7/2
RX DR/LP [9] L	X7/6
RX DR/LP [8] L	X7/5
RX DR/LP [7] L (P.DEMAND-3П)	X7/16, X8/18
RX DR/LP [6] L (P.DAVFU RDY)	X7/14, X8/17
RX DR/LP [5] L	X7/8

Продолжение табл. 52

Название сигнала	Разъем/контакт
RX DR/LP [4] L (P.CONN.VFU)	X7/18, X8/14
RX DR/LP [3] L	X7/10
RX DR/LP [2] L	X7/11
RX DR/LP [1] L (P.SPARE)	X7/5, X8/11
RX DR/LP 0 L (P.SPARE)	X7/17, X8/19
TX DR CTRL ZERO L	X7/7
TX DR INIT L	X7/19, X8/15
TX DR CTRL ONE L	X8/16

7. УСТРОЙСТВО И РАБОТА СОСТАВНЫХ ЧАСТЕЙ МКС

7.1. Устройство и работа УПКС

7.1.1. Назначение

Универсальный восьмиразрядный программируемый контроллер связи (КМ1513ВВ61), в сокращении УПКС, предназначен для работы в восьмибитных микропроцессорных системах и может работать в режиме опроса или прерывания. УПКС принимает из микропроцессора закодированные инструкции и выполняет синхронный или асинхронный обмен данными. Он также имеет средства для байт-ориентированного протокола **ВІSYNC**.

УПКС полученные из микропроцессора данные в параллельном коде передает на интерфейс в последовательном коде и на оборот.

УПКС содержит генератор скорости, который используется только при работе с внутренней синхронизацией. При использовании внутренней синхронизации программа может выбрать одну из 16-ти скоростей.

в МКС универсальный программируемый контроллер последовательного обмена используется в качестве UART (D1 - D4, D13 - D15) для обмена данными по асинхронным линиям.

7.1.2. Технические характеристики асинхронной передачи

Характеристики:

- длина символа от 5 до 8 битов, плюс бит паритета и плюс 1; 1,5 или 2 стопбита при передаче;
- возможность четного/нечетного паритета;
- опознавание и генерирование блокировки линии, опознавание ошибочных стартовых битов;
- режим "Автоэхо", режим внутренней или внешней возвратной петли;
- опознавание ошибок паритета, формата и переполнения;
- скорость канала от 50 до 19200 bit/s;
- двойная буферизация (передачи и приема);
- работа в дуплексном или полудуплексном режиме;
- совместимость с уровнями TTL по входам и выходам;

динамическое управление длиной символа;
защита выходов RX C и TX C от короткого замыкания;
отсутствие потребности синхронизации от системы;
напряжение питания 5V;

7.1.3. Функциональное описание УПКС

Основные функциональные узлы показаны на рис.32, где изображена блок-схема УПКС.

В состав УПКС входит 7 основных блоков:

- буфер данных от шины;
- блок управления SYN/DLE;
- блок управления операциями;
- блок передачи данных;
- блок приема данных;
- блок управления модемом;
- генератор скорости и управление синхронизацией.

Блоки обмениваются информацией при помощи внутренней шины данных и сигналов управления. Внутренняя шина данных соединяется с шиной данных микропроцессора через буфер шины данных.

Блок управления операциями хранит полученные от микропроцессора команды и генерирует соответствующие сигналы управления для других внутренних блоков УПКС. В состав блока входят цепи чтения и записи, позволяющие поддерживать связь с микропроцессором по шине данных, а также два регистра режима, регистр команды и регистр состояния.

Генератор скорости (SRC) можно запрограммировать принимать внешние синхросигналы приема или передачи, или делить внешние синхроимпульсы (в МКС 5.0688 МГц) для осуществления внутренней синхронизации обмена данными. УПКС может генерировать 16 скоростей, каждая из которых может быть выбрана для обмена данными. Скорости внутренней синхронизации см. в табл.53. Таблица дана для внешнего генератора синхроимпульсов 5.0688 МГц, с запрограммированной частотой (в первом регистре режима) 16X скорости. Скорость программируется во втором регистре режима, битами MR2 [3:0].

Таблица 53

Коды скорости УПКС

MR2 [3:0]	! скорость! !(bit/s)	! Частота kHz !(16 X скорость)!	! Погрешность! !(%)	! Делитель !(5.0688 MHz)
0000	50	0,8	-	6336
0001	75	1,2	-	4224

Продолжение табл. 53

MR2 [3:0]	Скорость (bit/s)	Частота кГц (16 X скорость)	Погрешность (%)	Делитель (5.0688 MHz)
0010	110	1,76	-	2880
0011	134,5	2,1536	0,016	2355
0100	150	2,4	-	2112
0101	300	4,8	-	1056
0110	600	9,6	-	528
0111	1200	19,2	-	264
1000	1800	28,8	-	176
1001	2000	32,081	0,255	158
1010	2400	38,4	-	132
1011	3600	57,6	-	88
1100	4800	76,8	-	66
1101	7200	115,2	-	44
1110	9600	153,6	-	33
1111	19200	316,8	5,125	16

Блок управления модемом поддерживает связь микропроцессора с модемом. Имеются три входных и три выходных сигнала для индикации состояния при приеме и передаче.

Блок управления индикации SYN/DLE имеет цепи управления и три восьмибитовые регистры для хранения символов SYN1, SYN2 и DLE, получаемых из микропроцессора. Эти регистры используются только в синхронных операциях.

Блок передачи данных принимает из микропроцессора данные в параллельном коде, переводит в последовательный поток, вставляет нужные для данного типа связи специальные биты или символы и посылает сформированный поток на линию TX D. В блоке имеется регистр хранения передаваемых данных (THR) и регистр сдвига передачи (TSR).

Блок приема принимает серии последовательных данных по линии RX D, переводит их в параллельный код, проверяет специальные биты или символы и посылает готовый символ в микропроцессор. Блок имеет регистр хранения принимаемых данных (RHR) и регистр сдвига приема (RSR).

7.1.4. Сигналы интерфейса

Сигналы интерфейса УПКС делятся на две группы: сигналы микропроцессора (см. табл.54); сигналы модема или внешней системы (см. табл.55).

Таблица 54

Сигналы микропроцессора УПКС

Название вывода	Номер вывода	Тип	Функция
	26	Вх.	Питание 5V
	4	Вх.	Земля
X	21	Вх.	Высокий уровень на этом входе (длительности не менее 1000 ns) выполняет основное гашение. Сигнал асинхронно прерывает активность всех блоков, очищает регистры режима, команды и состояния
A1, A0	10, 12	Вх.	Адресные линии, используемые для выбора внутренних регистров
W/R	13	Вх.	"0" - команда читать, "1" - писать
E	11	Вх.	Низкий уровень сигнала выбирает микросхему: сигналы на линиях данных и управления имеет смысл. При высоком уровне линии D[7:0] в третьем состоянии
D[7:0]	8, 5, 2, 1, 28, 27	Вх./ Вых.	Шина данных трех состояний, для передачи/приема данных и состояния между микропроцессором и УПКС. D[7] - старший бит, D[0] - младший
TX RDY	15	Вых.	Это 0 бит регистра состояния (SR[0]). Низкий уровень на выходе указывает, что регистр хранения передаваемых данных (THR) готов принять из микропроцессора символ данных. Высокий уровень означает, что символ данных загружен в THR. (В МКС не используется). Выход с открытым коллектором
RX RDY	14	Вых.	Это [1] бит регистра состояния

Продолжение табл. 54

Название! вывода !	Номер ! вывода !	Тип !	Функция
			! (SR[1]). Низкий уровень на выходе
			! указывает, что регистр хранения
			! принятых данных (RHR) имеет
			! готовый символ для передачи в
			! микропроцессор (CPU). Когда CPU
			! читает RHR или прием данных не
			! возможен, на выходе высокий
			! уровень. (в МКС не используется).
			! Выход с открытым коллектором
			!
TX EMT/ DSCHG	18	Вых.	! Это [2] бит регистра состояния
			! (SR[2]). Низкий уровень показывает,
			! что блок передачи окончил
			! переработку последнего символа,
			! принятого из CPU (TX EMT) или
			! изменилось состояние на входах
			! DSR или DCD (см. табл.55) -
			! DSCHG. (в МКС не используется).
			! Выход с открытым коллектором

Таблица 55

Сигналы модема или внешней системы

Название ! вывода !	Номер ! вывода !	Тип !	Функция
			!
SRCLK	20	Вх.	! Вход синхронизации для
			! внутреннего генератора скорости
			! (в МКС >.0008 MHz). Не
			! требуется, если используется
			! внешняя синхронизация
			! ("Опорная частота")
			!
RX C/CLKDET	25	Вх./ вых.	! Если запрограммирована внешняя
			! синхронизация приема,
			! этот вход контролирует скорость
			! приема символов. При внутренней
			! синхронизации - это выход.
			! Частота - 1X, 15X или 64X
			! скорости, как запрограммировано
			! в 1-ом регистре режима (MR1)
			! или выход опознания блокировки
			!
TX C/XSYNC	9	Вх./ вых.	! Если запрограммирована внешняя
			! синхронизация передачи, этот
			! вх/вых контролирует скорость
			! передачи символов. Частота
			! передачи 1X, 15X или 64X

Продолжение табл. 55

название вывода	Номер вывода	Тип	функция
			! скорости, как запрограммировано ! в МЭ1. Данные передаются задним ! фронтом синхроимпульсов. Если ! запрограммирована внутренняя ! синхронизация передачи вывод ! может быть выходом 1X/16X ! скорости или входом неритмичной ! синхронизации. (В МКС ! используется при работе с ! расщепленной скоростью). На ! вход подаются сигналы UART ! [1,0]BRG L от внешнего ! генератора скорости
RX D	3	Вх.	! Вход последовательных данных в ! блок приема
TX D	19	Вых.	! Поток последовательных данных ! из блока передачи
DSR	22	Вх.	! Это [7] бит регистра состояния ! (SR[7]). Вход может быть ! использован для фиксации ! условий "Набор данных готов" ! или "Индикатор вызова". (В МКС ! на модемных линиях 0,1 входные ! сигналы RX UART [1,0] DSR L, ! на других асинхронных линиях - ! вход заземлен).
DCD	16	Вх.	! Это [6] бит регистра состояния ! (SR[6]) "Обнаружения носителя" ! При операции приема на входе ! должен быть низкий уровень. ! Если на входе высокий уровень, ! синхронизация приема запрещена. ! (В МКС на модемных 0,1 линиях ! входные сигналы RX UART [1,0] ! CAR L, на других асинхронных ! линиях - вход заземлен)
CTS	17	Вх.	! Вход "Готов к передаче". При ! выполнении операции передачи ! должен быть низкий уровень. ! (В МКС на всех асинхронных ! линиях вход заземлен)
DTR	24	Вых.	! Выход первого бита регистра ! команды (CR[1]). Используется для ! индикации состояния "Готовность ! терминала"

Продолжение табл. 55

Название вывода	Номер вывода	Тип	Функция
RTS	23	Вых.	Это выход пятого бита регистра команды (CRL5J). Используется для индикации состояния "Запрос передачи"

7.1.5. Операции УПКС

Операции УПКС программируются при помощи CPU, путем заполнения регистров, указывающих тип операции, скорость приема и передачи, синхронный или асинхронный режим, число битов в символе и т.п. Запрограммированный УПКС готов выполнять функции связи.

Если на входе DCD (см. табл. 55) низкий уровень и $CRL2J = 1$ в асинхронном режиме блок приема ждет перехода стартового бита из "1" в "0" (старт-бит приходит по линии RX D). Когда переход опознан, состояние линии RX D проверяется после задержки на продолжительность времени 0,5 бита. Если при проверке $RXD = "1"$, поиск стартового бита начинается снова. Если на линии $RXD = "0"$, он принимается как стартовый бит и блок приема дальше с интервалами на один бит опрашивает линию RX D пока не принято нужное количество битов данных, бит паритета и стопбит. После этого данные пересылаются в регистр хранения данных (RHR), и устанавливается $SR1J = 0$ (см. табл. 54 RX RDY). Если длина символа меньше 8 битов, неиспользуемые биты в RHR заполняются нулями. Биты ошибок паритета, формата и переполнения записываются в регистр SR передним фронтом.

После обнаружения стопбита, блок приема немедленно начинает поиск следующего стартового бита.

Если стопбит не обнаружен (ошибка формата), блок приема низкий уровень ("SPACE") на линии RX D интерпретирует как стартовый бит, если он выдерживается в интервале времени следующего бита. Если на линии RX D низкий уровень на весь символ и стопбит (условие блокировки), тогда только один символ, состоящий из всех нулей будет послан в RHR и устанавливается $SR15J = 1$. Когда на линии RXD появляется высокий уровень ("MARK") на время одного RX C, начинается поиск следующего стартового бита. Оpoznание блокировки может быть запрограммирована во втором регистре режима $MR2 L7:4J$.

Временную диаграмму опознания блокировки для символа из 5 битов без паритета см. на рис. 33.

Если на входе CTS (см. табл. 55) низкий уровень и $CRL0J = 1$, УПКС работает как передатчик данных. Установленный $SR10J = 0$ означает, что регистр хранения передаваемых данных (THR) пустой и может принять символ из CPU. При записи символа в THR, в регистре состояния устанавливается $SR10J = 1$ до тех пор, пока данные из THR не пе-

ресылаются в регистр сдвига передачи. (Данные из THR пересылаются в регистр сдвига, если тот свободен или закончил пересылку символа).

В асинхронном режиме блок передачи автоматически посылает стартовый бит, запрограммированное число битов данных (младший бит посылается первым), бит паритета (не обязательно) и программой указанное число стопбитов. Если передавая биты данных, новый символ в THR не поступает, на линии TX D остается высокий уровень и ставится $SRL2J=0$.

Передача возобновляется когда CPU засылает новый символ в регистр THR. Можно заставить блок передачи посылать постоянный низкий уровень (если в регистре команды $CR[5] = 1$).

временные диаграммы работы УПКС даны на рис.34.

7.1.6. Регистры УПКС

Режим работы УПКС запрограммирован путем записи информации в регистры режима (MR1 и MR2) и в регистр команды (CR). УПКС можно перепрограммировать в любое время выполнения программы. Регистр режима MR1 должен быть записан до записи MR2. (MR2 не программируется при использовании внешней синхронизации).

Внутренние регистры УПКС доступны путем подачи соответствующих сигналов на входы E, R/W и A1, A0. Условия выборки регистров даны в табл.56.

Таблица 56

Выборка регистров УПКС

E	A1	A0	R/W	Функции
1	X	X	X	Шина данных в 3-ем состоянии
0	0	0	0	Читать регистр хранения приема
0	0	0	1	Писать в регистр хранения передачи
0	0	1	0	Читать регистр состояния
0	0	1	1	В МКС не используется
0	1	0	0	Читать MR1 и MR2
0	1	0	1	Писать в MR1 и MR2
0	1	1	0	Читать регистр команды
0	1	1	1	Писать в регистр команды

Форматы регистров MR1 и MR2 для асинхронного режима даны в таблицах 57 и 58 соответственно.

Таблица 57

Формат MR1

MR1 L7:6J				MR1 L5:2J				MR1 L1:0J		
Стопбиты	Тип паритета	Контроль паритета	Длина символа	Тип режима	Частота	Код	Число битов	Код	Режим	Частота
00	Неисправно	0	Нет	0	Нет	00	5	00	Синхр	1Хскор.
01	1	1	Четный	1	Да	01	5	01	Асинх	1Хскор.
10	1,5					10	7	10	Асинх	16Хскор.
11	2					11	8	11	Асинх	64Хскор.

Таблица 58

Формат MR2

MR2 L7:4J				MR2 L3:0J		
Источник синхронизации передачи и приема						Частота
Код	TX C	RX C	Вывод L9J -TX C	Вывод L25J -RX C		
0000	E	E	TX C	RX C		см.табл.53
0001	E	I	TX C	1Хскорость		
0010	I	E	1Х скорость	RX C		
0011	I	I	1Х скорость	1Хскорость		
0100	E	E	TX C	RX C		
0101	E	I	TX C	16Хскорость		
0110	I	E	16Х скорость	RX C		
0111	I	I	16Х	16Хскорость		

Продолжение табл. 58

MR2 [7:4]				MR2 [3:0]	
Источник синхронизации передачи и приема					
Код	! TX C	! RX C	! Вывод [9] ! -TX C	! Вывод [25] ! -RX C	Частота
	!	!	! скорость!	!	!
1001	! E	! I	! TX C	! BKDET	!
1011	! I	! I	! 1X	! BKDET	!
	!	!	! скорость!	!	!
1101	! E	! I	! TX C	! BKDET	!
1111	! I	! I	! 16X	! BKDET	!

ПРИМЕЧАНИЕ. E - внешняя синхронизация, I - внутренняя синхронизация

Вывод 9 является входом внешней частоты передачи (TX C) или выходом внутренней частоты передачи: 1X или 16X скорости передачи, запрограммированной в регистре MR1[1,0]. Вывод 25 является входом внутренней частоты или выходом опознавания блокировки (BKDET). MR2[3:0] не воздействует на схему, если выбрана внешняя синхронизация.

Формат регистра команды (CR) для асинхронного режима дан в табл. 59.

Таблица 59

Формат CR

CR[7,6]	CR[5]	CR[4]	CR[3]	CR[2]	CR[1]	CR[0]
!	!	!	!	!	!	!
Режим работы	! Запрос передачи	! Сброс ошибок SR	! Блокировка выхода данных	! Контр-роль приема	! Готовность терминала	! Контроль передачи

CR[0] = 1 означает, что передача данных разрешается.

CR[1] = 0 означает, что данные на выходе готовы.

CR[2] = 1 - прием данных разрешается. При переходе CR[2] из низкого уровня в высокий начинается поиск стартового бита. Если запрещается прием, операция будет прервана немедленно и на собранный символ не обращается внимание.

CR[3] = 1 блокирует выход данных и на линии TX D

поддерживается низкий уровень, пока не закончится поток передаваемого символа. Нормальная операция возобновляется когда CR[3] переходит на "0".

CR[4] очищает флажки в регистре состояния. Это моментная команда без внутренней фиксации. (Когда CR[4] = 1, ошибки в SR гасятся). Когда установлен CR[5], выход RTS (см. табл.55) устанавливается на "0" и индицирует запрос передачи.

Когда CR[7,6]=00, это нормальный режим с выполнением операций приема и передачи в соответствии инструкциям регистров режима и состояний. Если CR[7,5] = 01, УПКС устанавливается в режим "Автоэхо", в котором CPU работает с цепями приема, а передача запрещена. Выход TX D будет в состоянии "1". Во время режима "Автоэхо" существуют условия:

данные, собранные в блоке приема, автоматически помещаются в регистр хранения передачи;

блок передачи синхронизируется синхроимпульсами блока приема;

выход TX RDY = 1 (см. табл.54);

выход TX EMI отражает состояние изменения данных (см. табл.54);

команда CR[0] игнорируется.

Данные в регистре состояния (SR) указывают условия передачи и приема, а также состояния модема и данных. Формат регистра дан в табл.60.

Таблица 60

Формат SR

	SR L7	SR L6	SR L5	SR L4	SR L3	SR L2	SR L1	SR L0
Набор готов	!	!	!	!	!	!	!	!
Обна- руже- ние	!	!	!	!	!	!	!	!
Ошибка формата	!	!	!	!	!	!	!	!
Пере- полне-	!	!	!	!	!	!	!	!
Ошибка парит-	!	!	!	!	!	!	!	!
TX EMI /DSCMG	!	!	!	!	!	!	!	!
RX RDY	!	!	!	!	!	!	!	!
TX RDY	!	!	!	!	!	!	!	!

SR[0] это бит состояния готовности передачи, имеет смысл когда передача возможна (см. табл.54, TX RDY). В режиме "Автоэхо" бит не устанавливается.

SR[1] указывает состояние регистра хранения принимаемых данных. Если SR[1] = 1, означает, что символ из регистра сдвига приема загружен в регистр хранения приема и CPU может его читать (RX RDY низкий уровень - см. табл.54).

SR[2] см. табл.54 (TX EMI/DSCMG).

SR[3] = 1 указывает ошибку паритета, если MR1[4] позволяет контроль паритета. Бит гасится когда загружается в RHR следующий символ, когда прием запрещается или с помощью команды CR[4].

SR[4] = 1 указывает, что за время пересылки нового символа в RHR (регистр хранения приема), CPU не считал

раньше загруженного символа. Гасится при запрете приема или командой [R14].

SR[5] = 1 показывает, что принятый символ не был дополнен запрограммированным числом стопбитов. Если SR[5] = 1 при RHR = 0, имеем условие блокировки.

SR[6] и SR[7] отражает соответственно состояния входов DCD и DSR (см. табл.55). Низкий уровень на входах устанавливает биты SR[7, 6], высокий - сбрасывает.

7.2. Устройство и работа МКСС

7.2.1. Назначение

Многопротокольный контроллер синхронной связи (МКСС) предназначен для работы с синхронными линиями. МКСС синхронно формирует, передает и принимает поток данных и имеет возможность работать с процессорами, имеющими шину данных на 8 или 16 бит. МКСС имеет средства для бит и байт-ориентированных протоколов. Уровни сигналов совместимы с уровнями TTL, питание 5V.

МКСС используется в качестве USART, (D40) для синхронной линии связи.

7.2.2. Технические характеристики МКСС

МКСС имеет следующие характеристики:
реализует бит-ориентированные протоколы (BOP): SDLC, ADCCP, HDLC, байт-ориентированные протоколы (BCP): BDCMP, BISYNC (внешний CRC);
восьми или шестнадцатитбитная шина данных с тремя состояниями;
контроль ошибки - CRC, VRC или без контроля;
длина символа с первого до восьми бит для BOP и с пяти до восьми бит для BCP;
сравнение SYNC или адреса следующей станции для BOP/BCP;
холостая SYNC/FLAG или "MARK" передача для BOP/BCP;
автоматическое опознавание и генерирование специальных контрольных BOP последовательностей, таких как FLAG, ABORT, GA;
оставка и стирание поля в BOP;
поиск короткого символа для последнего BOP символа данных;
генерирование, опознавание и разрушение SYNC в BCP;
режим отладки для самопроверки;

7.2.3. Функциональное описание МКСС

Основные функциональные узлы показаны на рис.35, где дана блок-схема МКСС.

МКСС содержит следующие составные части:

- буфер данных;
- блок чтения/записи и управления;
- регистр контроля параметров SYNC/ADDRESS (PCSR);
- регистр контроля параметров (PCR);
- регистр данных и состояния приема (RDSR);
- регистр данных и состояния передачи (TDSR);
- блок управления приемом;
- блок управления передачей.

Буфер данных осуществляет связь между процессором и МКСС, выдает и принимает параллельные данные.

В МКСС шина связи состоит из восьми битов (SLOW DATA BUSL7:0) H). Соответствующие биты младшего и старшего байтов соединены монтажным ИЛИ в восьмивитную шину (DL7:0) или D[15:8]).

Блок управления чтением и записью принимает управляющие сигналы, которые контролируют направление пересылки данных из буфера данных, выбирает адресуемые регистры.

Регистр контроля параметров SYNC/ADDRESS (PCSR) и регистр контроля параметра (PCR) содержит общие параметры для передатчика и приемника. В младшем байте PCSR (PCSR L) содержится программируемый SYNC (в режиме BCP) или адрес вторичной станции (в режиме BOP).

Регистр данных и состояния приема (RDSR) содержит в старшем байте (RDSR H) информацию о состоянии приема, в младшем (RDSR L) - принятый и сохраненный символ через вход RX D.

Регистр данных и состояния передачи TDSR в старшем байте (TDSR H) содержит команду и информацию о состоянии передачи а младшем (TDSR L) - передаваемый символ.

Блок управления приемом содержит приемный накапливающий регистр RX CRC, регистр сдвига приема RX SR, регистр хранения сдвига HSR и регистр сдвига контрольного символа CCSR. Это внутренние регистры используются для сборки символа.

Блок управления передачей содержит регистр сдвига передачи TX SR и передающий генерирующий регистр TX CRC.

Описание сигналов и номер выводов МКСС даны в табл.61.

Таблица 61

Сигналы МКСС

Обозначение	Номер	Тип	Название и функция
	вывода		
DL15:0J	17:10J	Вх./	Шина данных на три состояния

Продолжение табл. 61

Обозначение	Номер вывода	Тип	Название и функция
	25:31	Вых.	D[7:0] содержит двухнаправленные данные, а D[15:8] - информация контроля и состояния. (В МКС соответствующие биты старшего и младшего байта соединены монтажным ИЛИ)
A[2:0]	19:21	Вх.	Шина адреса внутренних регистров. (Выбор адресуемых регистров см. в табл.64)
BY	22	Вх.	Высокий уровень указывает, что по шине данных будет пересылаться один байт. (При низком уровне - два байта)
E	1	Вх.	Выборка кристалла. Высокий уровень разрешает операции с шиной данных. (В МКС входы 1 и 22 подключены к лог. "1")
DBE	23	Вх.	Выборка шины данных. Высокий уровень означает, что во время операции чтения на шине есть действительная информация для процессора, а при операции записи данные шины загружаются в адресуемый регистр и гасится TX BE, если адресован регистр TDSR
W/R	18	Вх.	Писать/читать. При высоком уровне данные от шины пишутся в регистр, адрес которого указывает A[2:0]. Низкий уровень (читать) посылает содержимое адресуемого регистра на шину данных
R	33	Вх.	Начальная установка. Высокий уровень устанавливает в начальное состояние (с нуль) все внутренние регистры и синхронизацию
CH	40	Вх.	Режим отладки. При установке CH, RX C и RX D входы внутренне запрещены, а на выходе TX D высокий уро-

Продолжение табл. 61

Обозначение!	Номер !	Тип !	Название и функция !
	вывода!		
			вень. Сигналом ММ внутренне
			от TX D информация пере-
			дается на RX D и TX C на
			RX C
RX E	3	Вх.	Прием разрешен. Высокий уро-
			вень разрешает обработку
			данных, поступающих по линии
			RX D. Низкий уровень логи-
			чески запрещает прием и ус-
			танавливает в начальное по-
			ложение все регистры приема
			и синхронизации
RX A	5	Вых.	Устанавливается, когда пер-
			вый символ данных из сооб-
			щения пересылается к
			процессору. В режиме
			ВОР этим символом является
			адрес, который должен сов-
			пасть с адресом вторичной
			станции, если МКСС является
			вторичной станцией. В режиме
			ВСП таким символом будет
			первый символ данных или
			после первого или второго
			SYNC, как запрограммировано.
			RX A снимается завершением
			FLAG (в режиме ВОР) или
			снятием RX E (в режиме ВСП)
RX DA	6	Вых.	Принятые данные доступны.
			Устанавливается, когда соб-
			ранный символ есть в RDSR L
			и готов к пересылке в про-
			цессор. Гасится, когда про-
			цессор читает RDSR L
RX C	2	Вх.	Синхронизация приема. Поло-
			жительным фронтом импульса
			поток данных с RX D сдвига-
			ется в RX SR
S/F	4	Вых.	SYNC/FLAG устанавливается
			на время одного синхроим-
			пульса RX C, когда опознан
			символ SYNC или FLAG
RX SA	7	Вых.	Принятое состояние доступно.
			Устанавливается при переходе
			с "0" на "1" любого бита
			RDSR H, кроме RDSR HL8J -

Пояснение табл. 61

Обозначение	Номер вывода	Тип	Название и функция
			старт приема сообщения
RX D	3	Вх.	Вход принимаемой серии данных. (Серии единиц - "MARK", серии нулей - "SPACE")
TX E	37	Вх.	Передача разрешена. Высокий уровень позволяет передать данные от TDSR L на TX D. В конце сообщения, низкий уровень на входе ставит TX D в "MARK" а TX A = 0
TX A	34	Вых.	Передатчик активен. Устанавливается, если TDSR[B]=1 (старт передачи) и TX E = 1. TX A сбрасывается, если в режиме BOP завершена передача FLAG или передан последний символ на TX D (TX E = 0)
TX BE	35	Вых.	Буфер передачи пустой. Устанавливается, когда TDSR готов к загрузке. Когда процессор загружает TDSR, TX BE снимается
TX U	36	Вых.	Перегрузка передатчика. Это показывает, что процессор не согласуется с передатчиком
TX S	39	Вх.	Синхронизация передачи. Положительным фронтом импульсов данные сдвигаются с TX SR на TX D
TX D	38	Вых.	Выход серии передаваемых данных "MARK" - серия единиц, "SPACE" - серия нулей
	32	Вх.	Напряжение питания: 5V
	9	Вх.	земля: DV

7.2.4. Операция приема

После установки в начальное положение регистров контроля параметров (PCSAR и PSR) на входе RX E устанавливается высокий уровень. Поток данных на линии RX D синхронизируется и сдвигается в восьмивитный регистр сдвига контрольного символа (CCSR) передним фронтом RX C. Сравнение содержания CCSR с символом FLAG (в режиме BOP) или SYNC (в режиме BCP) продолжается пока не будет совпадения. В случае совпадения на время одного цикла RX C устанавливается выход S/F и становится доступный регистр хранения сдвига MSR.

Специальные символы FLAG, SYNC и другие описаны в табл.62, а символы контроля за ошибками - в табл.63.

Таблица 62

Специальные символы МКСС

Операторы	набор битов	Функция
Режим BOP:		
FLAG	01111110	Сообщение формата
ABORT	11111111	Генерация прекращения связи
	01111111	Опознание прекращения связи
GA	01111111	Прекращение повторения режима петли
ADDRESS	PCSAR L	Адрес вторичной станции
Режим BCP:		
SYNC	Генерация (PCSAR L) или TX DB(TDSRL)	Символ синхронизации

Таблица 63

Символы контроля за ошибками МКСС

Символ	Описание
FCS	Последовательность проверки формата. Передается/принимается как 16 бит, следующих после последнего символа данных в BOP сообщении. FCS - инвертированный остаток деления.

Символ	Описание
	! ния, делителем которого обычно бывает CRC- ! CCITT (X(16) + X(12) + X(5) + 1) с делителем, ! предварительно установленным в "1". (В общем ! случае FCS указывается кодом PCSAR[10:8]) !
BCC	! Символ проверки блока. Передается/принимает- ! ся как два символа, следующих после послед- ! него символа данных в BCP сообщении. ! BCC - остаток деления, делителем которого ! является полином CRC-16 (X(16) + X(15) + X(2) ! + 1) или CRC-CCITT с делителем, предварительно ! установленным в "0". (BCC указывается кодом ! PCSAR[10:8]). !

В случае операции приема BCP, биты следующие за символом FLAG сдвигаются через CCSR, HSR в регистр сдвига приема RX SR. Собранный символ в RX SR передается в RDSR L для пересылки в процессор. Устанавливается RX DA и процессор считывает символ не позже как за один цикл RX C, когда следующий символ собран в RX SR. В противном случае происходит переполнение и следующий символ теряется.

Первый символ, следующий за FLAG, это адрес вторичной станции. Если МКСС является вторичной станцией, содержание RX SR сравнивается с адресом, записанным в PCSAR L. Совпадение означает, что сообщение предназначается для станции. Устанавливается RX A, символ помещается в RDSR L, устанавливается RX DA и загружается бит "старт приема сообщения" (RDSR H[5]). Несовпадение адреса показывает, что адресовалась другая станция и приемник ищет следующего FLAG.

Если МКСС является первичной станцией, проверка адреса не выполняется. Если первый символ после FLAG загружен в RDSR L, устанавливается RX A, RX DA и загружается бит "Старт приема сообщения" (RSOM).

Процессор считывает этот символ и принимает его как контрольное поле.

Принятые серии данных собираются в запрограммированную длину символа. Каждый раз, как символ переслан в RDSR L, устанавливается RX DA и снимается, когда процессор читает RDSR L. Когда установлен RX SA, процессор опрашивает биты RDSR H[15:9] - состояние приема.

длина символа может быть изменена динамично в ответ на RX DA (читать принятый символ и писать новый символ другой зоны).

Символ FCS (см. табл. 63) накапливается в RX CRC для каждого символа, следующего за FLAG, если запрограммировано битами PCSAR[10:8]. Когда в регистре CCSR опознан закрывающий FLAG, принятый CRC находится в регистре хранения сдвига HSR. В это время загружается бит "конец приема сообщения" (RFOM), выставляются RX SA и RX DA. Про-

цессор считывает последний символ данных и состояние приема. Если RDSRL15J=1, значит была ошибка - накопленный CRC-CCITT не правильный. Если RDSRL14:12J не равен нулю, длина последнего символа не установлена. Ни CRC ни FLAG в процессор не передается. Процессор может снять RX E или оставить до конца сообщения.

При приеме в режиме BCP, начало определяет два символа (длиной, указанной в PCRL10:5J), которые совпадают с содержанием PCSAR L. Следующий не SYNC символ, или следующий SYNC, если не задан режим разрушения, выставляет RX A и делает доступными пути приема данных. Символы собираются в RX SR и пересылаются в RDSR L. Когда символ готов к передаче в процессор, устанавливается RX DA.

Если битами PCSARL10:8J установлен контроль ошибки CRC-16, процессор должен определить последний принятый символ в поле CRC. В конце сообщения опрашивается бит RDSRL15J. Если RDSRL15J =0, CRC-16 ошибочный. (CRC не устанавливает RX SA).

Если для контроля ошибки используется VRC, паритет (четный или нечетный) генерируется для каждого символа и контролируется при приеме. Несоответствие вызывает установку бита RDSRL15J и выставление RX SA.

Когда процессор принимает последний символ сообщения, снимает RX E, что запрещает дальнейший прием и устанавливает в начальное положение все регистры приема и синхронизации.

7.2.5. Операции передачи

На линии TX D удерживается "МАКК" пока не установлены "Старт передачи сообщения" (TDSRL8J) и выход TX E. После этого операция передачи зависит от режима.

В режиме BOP после установки TDSRL8J (TSOM) и TX E, FLAG используется для синхронизации следующего сообщения. TX A тоже будет установлен. Когда МКСС устанавливает TX BE, процессор загружает TDSR L первым символом сообщения. После загрузки TDSR L по восьмибитной шине, очищается TSOM. На линии TX D посылается FLAG до установки TX BE. Каждый символ посылается в TX SR и передается на линию TX D. После того, как было послано пять единиц, вставляется "0", чтобы не принять символ за специальный (FLAG, ABORT, GA). При передаче каждого символа последовательность проверки формата (FCS) генерируется как запрограммировано. Если происходит перегрузка передачи (процессор не согласован с передатчиком), при помощи ABORT или FLAG устанавливается TX U и TERR (TDSRL15J). Гашение условий перегрузки передатчика выполняется установкой TSOM со стороны CPU. При повторной передаче сообщения процессор использует стандартный запуск сообщения.

После того, как последний символ данных будет загружен в TDSR L и послан в TX SR процессор устанавливает TDSRL9J - конец передачи сообщения (TEUM).

МКСС завершает передачу посылкой FCS и закрывающим FLAG. Когда установлен следующий TX BE, TEOM очищается. После передачи закрывающего FLAG, на TX D устанавливается "MARK".

Пока TX E и TEOM установлены, передатчик продолжит посылку символов FLAG. Процессор может начать передачу следующего сообщения гашением TEOM и установкой TSOM или без установки TSOM (загрузкой TDSR L и гашением TEOM).

В режиме ZCP, после установок TSOM и TX E, символы SYNC посылаются из PSAR L или TDSR L. В начале передачи первого SYNC устанавливается TX BE. Для подсчета SYNC, процессор на установку TX BE снова отвечает TSOM. Когда TSOM = 0, передача ведется из TDSR L, который загружен символом данных. Если загрузка задерживается на время больше одного символа, то в результате разрядки устанавливается TX U и TERR. Процессор должен установить TSOM и повторить сообщение.

CRC-16 (если указан битами PCSAR[10:8]) генерируется для каждого символа. После пересылки последнего символа данных в TX SR процессор устанавливает TEOM. МКСС передает последний символ данных, CRC-16 и SYNC, которые передаются пока TEOM=1.

Если указан VRC, он генерируется для каждого символа данных, но длина символа не должна превышать 7 бит.

7.2.5. Регистры МКСС

Регистры PCSAR и PCR должны быть загружены во время включения питания и после операции сброса. Они могут быть изменены в любое время когда прием или передача запрещена. Начальное состояние регистров = 0. Это означает: режим ZCP, первичная станция, длина символа 8 битов, FCS = CRC-CCITT установленный в единицу.

Каждый раз до начала работы с шиной данных процессор должен установить входы МКСС: [A2:A0], E и W/R.

Во время операции чтения (W/R = 0) передний фронт DBE устанавливает МКСС для чтения. Адресуемый регистр выставляет содержимое на шину данных. (Восьмибитный байт помещается на D[15:8] H или D[7:0] H, в зависимости от адреса регистра. Задний фронт DBE гасит RX DA или RX SA, в зависимости от адресации (RDSR L или RDSR H).

Во время операции записи (W/R = 1), данные шины должны быть выставлены на D[15:8] H или D[7:0] H до начала перехода DBE "0" на "1". Сигналом DBE данные шины пишутся в адресуемый регистр. Временная диаграмма чтения/записи дана на рис.36. Адресация регистров для 8-мибитной шины данных описана в табл.64.

Таблица 64

Адресация регистров МКСС

A2	A1	A0	Регистр	Примечание
0	0	0	RDSR L	
0	0	1	RDSR H	
0	1	0	TDSR L	
0	1	1	TDSR H	
1	0	0	PCSAR L	
1	0	1	PCSAR H	
1	1	0	PCR L	Не существует, при чтении все нули
1	1	1	PCR H	

Регистры TDSR, PCSAR и PCR можно читать и писать, кроме TDSRL15]. RDSR и TDSR[15] только читаются. Описание регистра даны в таблицах 65-68.

Таблица 65

Формат регистра RDSR

Бит	Название	Режим	Функция
[7:0]	RX DB	BOP/BOP	Буфер принимаемых данных. Содержит собранные в RX SR данные. Если указан VRC, бит паритета разрушается
[8]	RSOM	BOP	Старт приема сообщения. RSOM = 1, если вслед за символом не FLAG, был принят символ FLAG и следующий символ совпадает с адресом вторичной станции (при SAM = 1)
[9]	REOM	BOP	Конец приема сообщения. REOM = 1 если опознан закрытый FLAG и последний символ данных погружен в RDSR или когда получен символ ABORT/GA. REOM га-

Продолжение табл. 65

Бит	Название	Режим	Функция
[10]	RAB/GA	ВОР	<p>Гасится при чтении RDSR H, команде гашения или при снятии RX E</p> <p>RAB/GA=1 если приемник узнал символ ABORT (SS/GA=0) или символ GA(SS/GA=1). Гасится как и бит REOM. Принятый ABORT не устанавливает RX DA</p>
[11]	ROR	ВОР/ВСП	<p>Перегрузка приемника ROR=1 показывает, что процессор не принял последний символ во время одного символа +0,5 периода RX C после того как установлен RX DA. Следующие символы будут потеряны. Гасится как и бит REOM</p>
[14:12]	ABC	ВОР	<p>Счетчик принятых битов. Указывает число бит в последнем принятом символе и читается процессором когда REOM=1. ABC=0 показывает, что сообщение было прервано (символами FLAG или GA). Гасится как и бит REOM</p>
[15]	RERR	ВОР/ВСП	<p>Индикатор ошибки. Читается процессором когда REOM=1 (в режиме ВОР), или когда процессор проверяет при помощи CRC последний принятый символ или когда установлен RX SA при контроле VRC (режим ВСП)</p> <p>RERR=1 указывает ошибку FCS (ВОР)</p> <p>RERR=0 указывает ошибку CRC-16 (ВСП)</p> <p>если задан контроль VRC, RERR=1 указывает ошибку паритета</p>

Таблица 66

Формат регистра TDSR

Бит	Название	Режим	Функция
[7:0]	TX DS	ВОР/ВСП	Буфер данных передачи. Содержит процессором загруженные символы, которые преобразуются в TX SR и передаются на TX D
[8]	TSOM	ВОР/ВСП	Старт передачи сообщения. Загружается процессором чтобы начать передачу при TKE=1 В режиме ВОР при TSOM=1 генерируются символы FLAG. Когда TSOM=0, передаются символы данных, и если запрограммированного, начинается генерация FCS В режиме ВСП при TSOM=1 генерируются символы SYNC из PCSAR L. Когда TSOM=0 передается символ данных и генерация CRC (если указано)
[9]	TEOM	ВОР/ВСП	Конец передачи сообщения. В режиме ВОР TEOM=1 вызывает передачу FCS и закрывающего FLAG в TX SR. С установкой нового TX BE, TEOM=0 и FLAG передается на линию TX D. В режиме ВСП TEOM=1 вызывает передачу CRC-16 вслед за символом SYNC. Гашение TEOM приводит к концу передачи CRC-16 и на TX D устанавливает "MARK". Если не выбрано CRC, TEOM не устанавливается
[10]	TABORT	ВОР	Прерывание передачи. TABORT=1 вызывает передачу символов ABORT (IDLE=0) или FLAG (IDLE=1) после окончания передачи символа
[11]	TGA	ВОР	Если TGA=1, вместо FLAG

Продолжение табл. 66

бит	Название	Режим	Функция
			передается SA=01111111. Это облегчает прекращение повторения в режиме петли
L14:12J	резерв		
L15J	TERR	Только читается	Ошибка передачи. TERR=1 показывает, что TDSR вовремя не загружен (один символ минус 0,5 периода TX C) после установки TXBE
		ВОР	В режиме ВОР как заполняющие символы посылаются ABORT или FLAG (как задано программой)
		ВСП	В режиме ВСП заполняющими символами является SYNC MARK. Если задано PCSAR[11]=1, последний символ до перегрузки является неверным

Таблица 67

Формат регистра PCSAR

бит	Название	Режим	Функция
L7:0J	S/AR	ВОР/ВСП	SYNC/адресный регистр. В режиме ВОР содержит адрес вторичной станции если МКСС вторичная станция. Содержание этого регистра сравнивается с первым символом после FLAG В режиме ВСП в этот регистр процессором загружается символ SYNC. Используется для принятия и передачи информации, как синхронизирующий
L10:8J	ЕСМ	ВОР/ВСП	Режим контроля за ошибками: 000 - CRC-CCITT=1 (режим ВОР), длина символа 1-8 битов;

Продолжение табл. 67

БИТ	Название	Режим	Функция
			001 - CRC-CCITT=0 (режим BCP), длина символа 8 битов;
			010 - не используется;
			011 - CRC-16=0 (режим BCP), длина символа 8 битов;
			100 - VRC нечетный (режим BCP) длина символа 5-7 битов;
			101 - VRC четный (режим BCP) длина символа 5-7 битов;
			110 - не используется;
			111 - нет контроля ни в одном режиме, длина символа 5-8 битов
L111	IDLE	BOP/BCP	Определяет символ заполнения линии при перегрузке передатчика (установлены TXU и TERR) и передачу специальных символов. В режиме BOP при перегрузке передатчика и TABORT=1 передается ABORT если IDLE=0, или FLAG если IDLE=1. В режиме BCR при перегрузке передатчика передается первичные SYNC и символы заполнения из S/AR если IDLE=0. При IDLE=1 передается первичные символы SYNC из RDSR и TX D устанавливается в MARK
L121	SAM	BOP	Режим вторичной станции. При SAM=1 МКСС вторичная станция. При передаче процессор должен загрузить адрес вторичной станции в RDSR. SAM=0 запрещает сравнение принятого адреса вторичной станции
L131	SS/GA	BOP/BCP	Разрешение SYNC/GO AHEAD. В режиме BOP SS/GA=1 используется для режима петли. Когда опознан GA как закрывающий символ, процессор заканчивает режим

Продолжение табл. 67

Бит	Название	Режим	Функция
			повторения. SS/GA=0 - нормальный режим, разрешающий опознавание ABORT. Он заставляет приемник прекратить опознавание выхода из формата ABORT или FLAG. В режиме BCP, SS/GA=1 заставляет приемник разрушать символы SYNC, следующих после первых двух символов SYNC. (SYNC из середины сообщения не разрушаются). SS/GA=0 разрешает посылку всех SYNC в процессор
L143	PROTO		Определяет режим: PROTO=0 - BOP; PROTO=1 - BCP
L153	APA	BOP	Адрес всех частей. Если APA=1, пути данных приема разрешен адресным полем "11111111". Это поле принимается и как нормальный адрес вторичной станции

Таблица 68

Формат регистра РСР

Бит	Название	Режим	Функция
L7:03	Неопределено		
L10:83	RX CL	BOP/BPC	Длина принимаемого символа в битах: 000-8; 001-1; 010-2; 011-3; 100-4; 101-5; 110-6; 111-7
L113	RX CLE	BOP/BCP	Длина принимаемого символа доступна. При загрузке процессором RX CL, RX CLE=0.

Продолжение табл. 68

БИТ	Название	Режим	Функция
			При чтении РСР, бит RX СLE всегда нуль
L12	TX СLE	ВОР/ВСП	Длина передаваемого символа доступна. При загрузке TX СL, TX СLE=0. При чтении РСР, бит TX СLE=0
L15:13	TX СL	ВОР/ВСП	Длина передаваемого символа. Формат длины символа см. RX СL

8. ПОДГОТОВКА К РАБОТЕ

Удалить упаковочные материалы и проверить комплект поставки согласно паспорту (3.055.431ПС). Внимательно визуально убедиться в отсутствии на модуле трещин, утери компонент и обрывов печатных соединений. В повреждениях и в случае несоответствия комплекту поставки сообщите представителю изготовителя.

На модуле МКС 3.055.431 установить в нужное положение пакетных переключателей D75 и D77:

на пакетном переключателе (D77) - приоритетный уровень;

на пакетном переключателе (D75) - базовый адрес РУСО МКС.

Базовый адрес МКС является плавающим в адресном пространстве страницы ввода/вывода общей шины. Пакет переключателей D75 выбирает в качестве базового адреса адрес РУСО МКС. Относительно РУСО МКС вычисляет остальные адреса. Операционная система предусматривает десять пространств базового адреса. Значение базового адреса первого пространства = 760340(8). Базовый адрес второго пространства = 760400(8). Базовый адрес третьего пространства = 760440(8) и т.д.

Начальная установка D75 и D77 дана на рис.37.

S1 - S8 на D 75 соответствуют битам [12:5] адреса РУСО МКС (биты [17:13] - единицы). При включенном S9 на D75 в момент инициализации МКС (вкл. питание или INIT), выполняется микротест ПДП. S10 на D75 управляет закливанием при неисправности ПДП: при вкл. S10 - останов микропрограммы, при выкл. S10 - повторение ошибочной части микротеста.

S2 - S9 на D77 позволяет выбрать уровень приоритета устройства на ОШ:

S1 (на D77) - начальная установка (формирование сигнала INIT) по ОШ. Сигнал INIT формируется выключением S1 на D77. S10 на D77 управляет режимом работы основного синхронизатора МКС: выкл. S10 - автоматическая работа, вкл. S10 - пошаговый режим работы.

Модуль МКС можно установить на любое разъемное место блока вычислительной машины СМ 2700, которое обеспечивает ток 8А для 5V и по 0,5 А для 12V и минус 12V.

Установить пакетные переключатели S1, S2 и S3 на распределительной панели (3.082.064) вычислительной машины. В табл.69 указана установка микропереключателей распределительной панели на пакетах S1 и S2 для асинхронных линий 0 и 1 соответственно. В табл.70 указана установка микропереключателей пакета S3 распределительной панели для синхронной линии. Таблица 71 определяет уста-

новку конфигурации устройства.

Таблица 69

Установка переключателей для асинхронных линии U и 1

Пакет S1 и S2	!	Местный терминал	!	Модем или одноканальная заглушка	!	Примечание
Микропереключатель 1	!	Вкл.	!	Вкл.	!	
—"	2	Вкл.	!	Вкл.	!	
—"	3	Вкл.	!	Выкл.	!	
—"	4	Вкл.	!	Вкл.	!	
—"	5	Выкл.	!	Выкл.	!	
—"	6	Вкл.	!	Вкл.	!	
—"	7	Вкл.	!	Вкл.	!	
—"	8	Вкл.	!	Вкл.	!	
—"	9	Выкл.	!	Выкл.	!	
—"	10	Вкл.	!	Вкл.	!	

Таблица 70

Установка переключателей для синхронной линии

Пакет S3	!	Модем или одноканальная заглушка	!	Примечание
Микропереключатель 8	!	Вкл.	!	
—"	9	Вкл.	!	
—"	10	Вкл.	!	
—"	1-5	Не используется	!	

Таблица 71

Установка переключателей для конфигурации устройств

Пакет S3	! Активные устройства !	! Примечание !
Микропереключатели 7 вкл. и 6 вкл.	! Асинхронный	!
Микропереключатели 7 выкл. и 6 вкл.	! Асинхронный и печатающее устройство	!
Микропереключатели 7 вкл. и 6 выкл.	! Асинхронный, синхронный, параллельный интерфейс	!
Микропереключатели 7 выкл. и 6 выкл.	! Асинхронный, синхронный, печатающее устройство	!

Подключить три сорокаконтатные кабели, соединяющие распределительную панель с модулем 3.055.431. Разъемы на модуле X5, X6 и X7 соединяются с разъемами на распределительной панели X1, X2 и X3 соответственно: X5-X1 (жгут 4.863.800); X6-X2 (жгут 4.863.800-02); X7-X3 (жгут 4.863.800-01).

Рекомендуемое расстояние от МКС до терминала или модема равно 15 м. при скорости до 9600 бит/с. В зависимости от оборудования терминалов, типа кабеля, скорости операций и электрических условий, возможна работа и на более длинных расстояниях (если терминал и эвм находятся в одном здании и питается от того же силового трансформатора).

9. ИЗМЕНЕНИЕ ПАРАМЕТРОВ, РЕГУЛИРОВАНИЕ И НАСТРОЙКА

Перед тем, как ставить модуль МКС в блок вычислительной машины, надо измерить напряжение питания в блоке, как указано в соответствующем разделе 3.059.006РЭ (вычислительная машина СМ 2700).

Контакты напряжения питания и земляные контакты в раз'емах X1-X4:

контакты A5, A10, A20, A30, C5, C10, C20, C30 - земля;

контакты A15, A32, C15, C32, - плюс 5V;

контакты X3/A1, C1 - плюс 12V;

контакты X3/A26, C26 - минус 12V.

Измерить разность потенциалов земли между МКС (в составе комплекса СМ 1700) и терминалом (не должно превышать 2V). Это обязательное условие работы на расстоянии более 15 метров в пределах одного здания при использовании общего силового трансформатора.

Напряжение измеряется любым вольтметром постоянного тока класса точности не ниже 0,2 класса.

10. ВОЗМОЖНЫЕ НЕИСПРАВНОСТИ, СПОСОБЫ ИХ ОБНАРУЖЕНИЯ И УСТРАНЕНИЯ

Обнаружение неисправностей в многофункциональном контроллере связи ведется, упираясь на диагностическую систему, состоящую из трех основных компонент: микропрограммной диагностики, программной диагностики уровня 3 и системной диагностики уровня 2Р.

Микропрограммный уровень диагностики является самым эффективным, позволяющий на уровне принципиальной схемы устройства определить и устранить неисправность.

Микродиагностика запускается каждый раз при включении питания вычислительного комплекса СМ 1700 или формировании сигнала INIT по ОШ. Сигнал INIT обеспечивает формирование нулевого адреса микропрограммной памяти, являющегося началом микропрограммного текста. Далее сама микропрограмма управляет формированием микроадреса в зависимости от алгоритма проверки или от результата диагностики.

Микродиагностический тест (микропрограмма постоянно зашита в память MWS) состоит из двух частей:

микротеста основного арифметического узла и с ним связанных функциональных частей по внутренней шине данных (BUS [7:0]);

микротеста проверки режима работы канала прямого доступа в память (ПДП).

Форматы микрокоманд, описание полей и тексты микропрограмм даны в КОНТРОЛЛЕР СВЯЗИ МНОГОФУНКЦИОНАЛЬНЫЙ СМ 1700.4304 РУКОВОДСТВО ПО РЕМОНТУ (3.055.431PД).

Успешное выполнение микротеста основного арифметического узла обеспечивает:

правильное выполнение операции ALU;

правильную адресацию внутренних регистров ALU;

правильное формирование кодов условий;

работоспособность местной памяти LS;

работоспособность схемы формирования адреса микрокоманд;

работоспособность функциональных узлов, подключенных на внутренней шине BUS [7:0] и шину медленных устройств SLOW DATA BUS;

выборку некоторых регистров USRT.

Микротест проверки режима работы канала ПДП проверяет следующие функциональные узлы:

схему управления микропрерыванием;

схему управления задатчиком и исполнителем;

схемы, связанные с работой общей шины;

схему опознавания адресов МКС на ОШ.

В случае обнаружения ошибки во время выполнения лю-

бой части микротеста происходит зацикливание микропрограммы на ошибочном сегменте. Переход на пошаговый режим работы (вкл. D77-S10 на модуле МКС) позволяет в статическом режиме (с помощью любого индикатора уровня) определить микроадрес и по тексту микропрограммы проверить работоспособность данного сегмента, определить и устранить неисправность. Можно выкл. D77-S10 и возвратиться в автоматический режим и, уже зная алгоритм работы ошибочного подтеста, с помощью осциллографа в динамике отыскать неисправность.

Микротест ПДП выполняется только если включен D75-S9, а микропереключатель D75-S10 управляет реакцией на ошибку в тесте ПДП. Если D 75-S10 вкл., то при ошибке микротест ПДП зацикливается на определенном микроадресе, а в противном случае повторяется.

Успешное завершение микропрограммного теста формирует код AA в старший байт PUC1. Регистр PUC1 считывается системой и используется средствами программной диагностики. Успешное выполнение микротеста является обязательным условием для запуска программных тестов.

Программная диагностика уровня 3 работает с диагностическим супервизором вычислительного комплекса СМ 1700. При работе тестов уровня 3 можно указать следующие типы зацикливания данных:

- внутренней петли;
- одноканальной заглушки (РП15-23 или РП15-15 по рис.38);
- тестовой панели (3.082.065);
- местного модема;
- программируемого модема.

Внутренняя петля позволяет зацикливать данные внутри МКС. В этом случае не требуется никакого вмешательства оператора.

Внутренняя петля позволяет проверить работоспособность МКС (за исключением передатчиков, приемников, кабелей к распределительной панели и самой распределительной панели).

Заглушка одноканальная используется при прогоне диагностики синхронного и асинхронного портов. Проверяется работоспособность передатчиков, приемников, кабелей от МКС до распределительной панели и самой распределительной панели.

Заглушки (разъемы РП15-15 РП15-23) присоединяются к разьему распределительной панели той линии, которая проверяется.

Тестовая панель используется с любой диагностической программой уровня 3. Тестовая панель дает возможность проверить работоспособность МКС вплоть до распределительной панели. Тестовая панель используется для проверки многочисленных специфических функций в асинхронном и синхронном интерфейсах и для обеспечения возврата сигналов в параллельном интерфейсе.

Тестовая панель подключается на место распределительной панели стандартными тремя кабелями идущими от модуля МКС. Микропереключатель 1 (пакетного переключателя)

теля S1) эквивалентен микропереключателю 6 (пакетного переключателя S3 на распределительной панели), а микропереключатель 2 (пакетного переключателя S1) - микропереключателю 7 (пакетного переключателя S3 распределительной панели). Установку см. в табл.71.

Местный модем используется, когда вручную указывается выбор модема для проверки местной аналоговой петли. С этой целью может быть выбран модем, способный к образованию внутренней петли данных.

Программируемый модем не требует ручного вмешательства для получения локальной петли. Программируемый модем является устройством, которое при выдаче диагностикой сигнала передачи пользователя (USER TX), обеспечивает замкнутый контур для прохождения передаваемых и принимаемых сигналов.

Диагностика уровня 3 является автономной и выполняется под управлением диагностического супервизора (ДС).

Загрузка и запуск диагностического супервизора для выполнения программ уровня 3 дано в ДИАГНОСТИЧЕСКОЕ ПО МК СМ 1700. Диагностический супервизор. Руководство оператора 00078-01 34 01-4.

Для проверки автономной работ МКС, необходимо пропустить диагностику уровня 3.

На уровне 3 имеются три диагностические программы:

EVDLB - для проверки синхронного интерфейса;

EV DLC - для проверки асинхронного интерфейса;

EV DLD - для проверки параллельного интерфейса.

Диагностика EVDLB игнорирует устройства асинхронного и параллельного интерфейса. Секция диагностики EVDLB по умолчанию обеспечивает проверку внутренней петли (никакого внешнего раз'ема для получения петли не требуется). Внешний раз'ем (тестовая панель или одноканальная заглушка) может быть использован для полной проверки работоспособности синхронного интерфейса (включая кабели и распределительную панель).

Диагностика EV DLC игнорирует устройства синхронного и параллельного интерфейса. Эта диагностика выполняет проверку режима ПДП и режима БОПП с внутренней петлей или с внешней петлей возврата. Диагностика имеет две секции: по умолчанию и по вмешательству оператора.

Секция по умолчанию обеспечивает тестирование с внутренней петлей возврата, когда никаких раз'емов для внешней петли не используется. Когда используется одноканальная заглушка или программируемый модем, секция по умолчанию обеспечивает проход по внешней петле возврата всех сигналов модема. Использование тестовой панели обеспечивает полную функциональную проверку асинхронного устройства.

По умолчанию указывается следующие параметры:

8 бит на символ;

1 бит останова;

паритет задвоен;

скорость передачи определяется в последовательности присоединения.

Секция вмешательства оператора предназначена для проверки внешней петли, когда непрограммируемый или отдаленный модем используется в качестве устройства обратной петли. Использование модема проверяет средства коммуникации.

Диагностика EVDLD игнорирует устройства синхронного и асинхронного интерфейса. Эта диагностика проверяет как функции интерфейса построчной печати, так и шестнадцатиразрядного параллельного интерфейса, выполняемые в МКС. Для полной проверки схем МКС, относящихся к построчной печати, необходимо подключить устройство построчной печати. Для полной проверки схем параллельного интерфейса МКС, необходимо подсоединить тестовую панель (это единственный путь для полной проверки параллельного интерфейса).

Если неприсоединены ни тестовая панель ни устройство печати, выполняется проверка только регистра управления и состояния. Младший байт PUC1 используется диагностикой для возврата данных, которые обычно должны быть переданы на печать. Это проверяет функции форматирования без присоединения печати.

Чтобы использовать диагностику уровня 3, должны быть работоспособны следующие устройства комплекса SM 1700:

- центральный процессор;
- память (минимум 256 Kbyte);
- адаптер общей шины;
- зеленый светодиод модуля МКС должен гореть.

Загрузка и запуск диагностических программ уровня 3, а также описание тестов см. ДИАГНОСТИЧЕСКОЕ ПО ВК SM 1700. Руководство по техническому обслуживанию ("Диагностическая программа EVDLB" 00078-01 46 01-3, "Диагностическая программа EVDLC" 00078-01 46 01-9, "Диагностическая программа EVDLD" 00078-01 46 01-10).

Адрес PUC МКС в диагностических процедурах используется 760340(8).

После прогона диагностических программ уровня 3 необходимо отсоединить три кабеля от тестовой панели и соединить с распределительной панелью.

Для проверки работы в составе системы выполняется прогон диагностических программ уровня 2к для МКС. Это самый высший уровень диагностики.

на уровне 2к имеется две диагностические программы (EVDLA и EVDAC), которые работают под управлением диагностического супервизора с операционной системой.

Диагностика EVDLA обеспечивает полную проверку и обнаружение ошибок устройства синхронного интерфейса. Операционная система обрабатывает ошибки и указывает неисправную функциональную область синхронного устройства и сообщает о его состоянии.

Работая под управлением операционной системы, диаг-

ностика EVDAC проверяет работоспособность асинхронного мультиплекса. Эта диагностика имеет две возможных секции: секцию по умолчанию и секцию со связью.

Секция по умолчанию используется при всех обычных проверках. Секция со связью используется для совместного тестирования. При этом диагностика EVDAC проверяет МКС, который связан с другим МКС (находящимся в той же системе), для которого выполняется EVDAC.

загрузку и запуск диагностических программ уровня 2R см. ДИАГНОСТИЧЕСКОЕ ПО ВК СМ 1700. Руководство по техническому обслуживанию ("Диагностическая программа EVDLA" 00078-01 46 01-7 и "Диагностическая программа EVDAC" 00078-01 46 01-11).

для прогона диагностических программ уровня 2R необходимо:

- установить модемы в режим возврата;
- если режим возврата в модеме недоступен, установить тестовую заглушку одноканальную на один из асинхронных разъемов для возврата одной линии (при прогоне EVDAC) и установить заглушку одноканальную на синхронном раземе (при прогоне EVDLA);

выполнить прогон диагностических программ уровня 2R для МКС;

- возвратить все модемы в нормальный режим работы;
- отсоединить заглушку одноканальную и восстановить соединение всех отсоединенных кабелей;
- установить переключатели на распределительной панели для нормального режима работы (см. табл.69, 70, 71);

проверить подключение устройства прогоном диагностических программ пользовательского уровня:

- EVAАА - проверка устройства построочной печати;
- EVTAA - проверка терминала;
- EVTBA - испытатель терминала;
- EVDLF - проверка канала данных.

Возможные неисправности приведены в таблице 72.

Таблица 72

Возможные неисправности

Но. !	Проявление !	Возможная !	Пути устранения !
! !	! !	! !	! !
! !	! !	! !	! !
1. !	Зеленый !	Отсутствие пи- !	Проверить прибором и !
! !	индикатор !	тания 5V !	устранить !
! !	выключен !	! !	! !
! !	! !	Нечет микро- !	Определить адрес на !
! !	! !	программног !	входе микропрограмной !
! !	! !	слова MWS !	памяти, проверить сос- !
! !	! !	! !	тояние выходов регистра !
! !	! !	! !	микрослова, определить !
! !	! !	! !	неисправность и устра- !
! !	! !	! !	нить !

Но.	Проявление неисправности	возможная причина неисправности	Пути устранения неисправности
		Не поступает сигнал INIT по ОШ	Проверить цепь прохода сигнала INIT и устрани- ть неисправность
2.	Не установлен код AA в старшем байте РУС1	Ошибка при выполнении полнодиагностического теста	По методике описанной в подразделе 10.1 опре- делить неисправность и устранить
3.	Тесты уровня S и 2R не работают с внешней петлей (тестовой заглушкой)	Нет напряжения 12V Вышли из строя приемники/пет- ля передатчики ин- терфейса связи	Проверить прибором и устранить Проверить приемники/ передатчики и устрани- ть неисправность

11. ТРАНСПОРТИРОВАНИЕ И ХРАНЕНИЕ

Транспортирование МКС производить в упакованном виде в транспортной таре всеми видами транспорта на любые расстояния при условии воздействия следующих климатических факторов:

температура окружающего воздуха от минус 50 до 50 градусов С;

относительная влажность воздуха при температуре 30 градусов С до 95%;

атмосферное давление от 84 кПа до 107 кПа;

транспортная тряска с ускорением 3g при частоте ударов от 80 до 120 в минуту.

Упаковка должна обеспечивать сохранность МКС от всякого рода повреждений при воздействии ударных нагрузок и климатических факторов на весь период транспортирования и хранения у потребителя в пределах гарантийного срока хранения.

Перевозки по железным дорогам через районы с холодным климатом должны осуществляться в период с марта по ноябрь.

Хранение должно осуществляться в складских помещениях (у изготовителя) в упаковке при температуре от +5 до +35 градусов С с относительной влажностью воздуха не более 85%.

В помещениях для хранения не должно быть примесей (паров, кислот, щелочей), вызывающих коррозию.

Для подготовки к эксплуатации после транспортирования и хранения в зимних условиях предусмотрено время выдержки в нормальных условиях эксплуатации в упаковке в течение 24 час.

