

Микропроцессорный комплект БИС РЛ серии К583

Комплект БИС серии 583 ориентирован на распределённую обработку данных и предназначен для построения монопроцессорных и мультипроцессорных вычислительных систем

широкого и специального назначения с произвольной структурной организацией и производительностью от сотен тысяч до десятков миллионов операций в секунду.

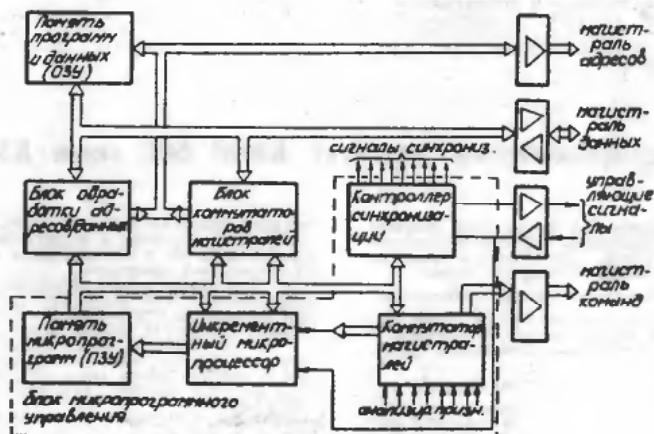
СОСТАВ КОМПЛЕКТА

ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

| Наименование | Технология | Количество выводов корпуса | Потребляемая мощность | Напряж. питания | |
|-----------------------------------------|--------------------------|----------------------------|-----------------------|-----------------|--------|
| БАЗОВЫЙ КОМПЛЕКТ | | | | | |
| Универсальный процессор 583BCI | $\approx 300 \text{ нм}$ | И ² Л | 48 | 360 мВт | 3 + 5В |
| Инкрементный процессор 583KLI | | И ² Л | 48 | 340 мВт | 3 + 5В |
| Логический процессор 583EMI | | И ² Л | 48 | 260 мВт | 3 + 5В |
| Коммутационный процессор 583KPI | | И ² Л | 48 | 240 мВт | 3 + 5В |
| ИНТЕРФЕЙСНЫЕ СХЕМЫ | | | | | |
| Магистральный коммутатор 583KLI | | И ² Л | 48 | 180 мВт | 3 + 5В |
| Магистральный приёмо-передатчик 583KPI2 | | ТТЛШ | 24 | 500 мВт | 5В |
| Магистральный приёмо-передатчик 583KPI3 | | ТТЛШ | 28 | 400 мВт | 5В |

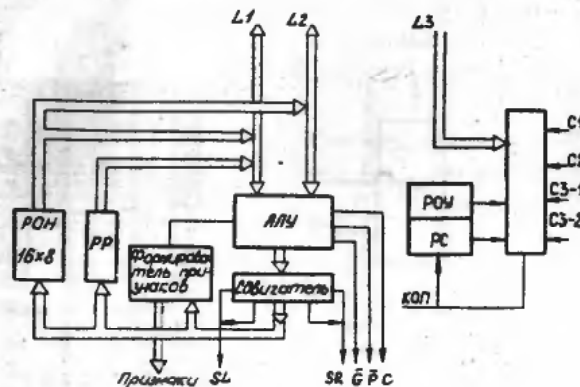
Ток покоя 20 мА; 10 мА

БАЗОВАЯ СТРУКТУРА МОНОПРОЦЕССОРА С РАСПРЕДЕЛЁННОЙ ОБРАБОТКОЙ

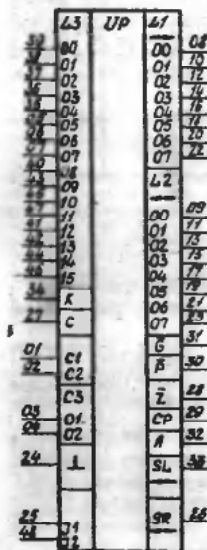


583BCI — процессор 8-разрядный универсальный

Предназначен для хранения и арифметико-логической обработки байтовой информации.



УСЛОВНЫЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ



- SR — прямой вход/выход двигателя;
- L3 — входы микрокоманд;
- 00 — открытый разряд;
- L1, L2 — объединённые входы/выходы магистралей данных;
- C — вход переноса;
- SL — левый вход/выход двигателя;
- G — выход члена образования переноса;
- P — вход члена распространения переноса;
- CP — выход переноса наполовинки;
- A — вход признака "знак" (видимый разряд);
- K — позиция модуля;
- C1 — вход синхронизации приема МК;
- C2 — вход синхронизации выполнения МК;
- C3-I — вход синхронизации отборочной информации видячи информации на L1;
- C3-O2 — вход синхронизации отборочной информации видячи информации на L2;
- I1, I2 — входы клавиатуры;
- Z — выход признака нуля результата.

ХАРАКТЕРИСТИКИ

- две двунаправленные 8-разрядные магистраль данных;
- 16-разрядная магистраль микрокоманд;
- параллельное арифметико-логическое устройство с групповым переносом;
- шестнадцать восьмиразрядных регистров общего назначения;
- рабочий регистр;
- одатчик;
- регистр остаточного управления;
- формирователь признаков;
- программируемая логическая матрица;
- время цикла 1 мкс.

СТРУКТУРНАЯ СХЕМА

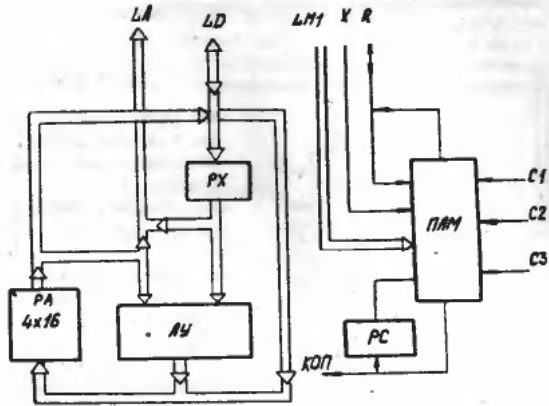
Через магистраль L1 и L2 осуществляется ввод и вывод информации в БИС. Управляющая микрокоманда вводится в БИС через магистраль L3. БИС имеет смейсовую организацию, что позволяет строить процессоры с краткой 8-ми д. разрядами длиной слова.

Выходы "Признаки" служат для вывода признаков результата выполненных операций. БИС имеет восьмиразрядное арифметико-логическое устройство. Для хранения промежуточных результатов имеется рабочий регистр и шестнадцать регистров общего назначения. Доступ в АЛУ обеспечен как с РОИ и PP, так и непосредственно с магистралью L1. Содержимое регистра остаточного управления определяет внутреннее состояние БИС, и регистр остаточного управления служит для адресации РОИ.

Управление работой всех узлов БИС осуществляется сигналами внутреннего кода операции (КОД), которые формируются программируемой логической матрицей.

Работе БИС синхронизируется четырьмя управляющими синхронизирующими сигналами C1, C2, C3-I, C3-2.

УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ



Предназначен для генерации последовательности адресов и памяти объемом до 64К слов. Обеспечивает приём, косвенную, базовую и индексную адресацию памяти.

ХАРАКТЕРИСТИКИ

- 16-разрядная магистраль адреса;
- двунаправленная 16- разрядная магистраль данных;
- 8-разрядная магистраль микрокоманд;
- арифметическое устройство с групповым переносом;
- 4 регистра адреса;
- входной буферный регистр;
- регистр состояния;
- программируемая логическая матрица;
- время цикла - 1 мкс.

СТРУКТУРНАЯ СХЕМА

Магистраль LA служит для вывода сформированного адреса памяти и адресных констант (местно заданные адреса памяти 0001, 0002, 0003, 0004).

Через магистраль LD может вводиться адрес перехода, свещение или осуществляться за-

рузка-выгрузка регистров адреса. Управляющая микрокоманда вводится в БИС через магистраль LMI. Кроме входов микрокоманды в БИС имеются отдельные входы сигналов внешнего прерывания R и внешнего условия X. При выполнении условий выдачи адресных констант на магистраль LA в линии R из БИС выданы сигнал идентификации адресных констант.

БИС содержит 16-разрядное арифметическое устройство (АУ). Для хранения адресов БИС имеет четыре 16-разрядных регистра. Микропрограммам путём они могут быть организованы в стек.

Регистр PX в каждом цикле принимает информацию из магистралей LA и LD. Содержимое регистра состояния определяет внутреннее состояние БИС.

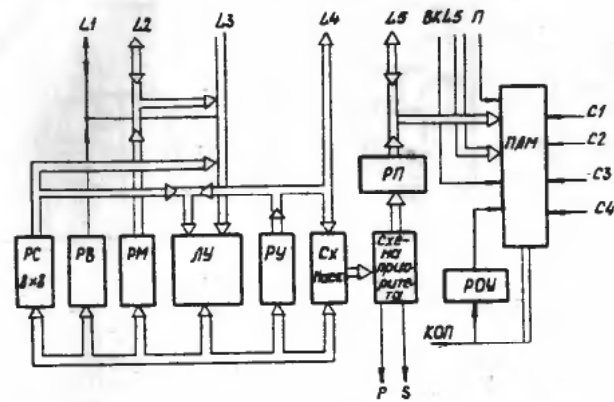
Управление работой всех узлов БИС осуществляется сигналами внутреннего кода операции (КОП), которые формируются программируемой логической матрицей.

Работа БИС синхронизирована тремя управляющими синхросигналами C1, C2, C3.

| LMI 583MK1 | | LA |
|------------|----|-----|
| 05 | 0 | 08 |
| 06 | 1 | 10 |
| 07 | 2 | 12 |
| 08 | 3 | 14 |
| 09 | 4 | 16 |
| 0A | 5 | 18 |
| 0B | 6 | 20 |
| 0C | 7 | 22 |
| 0D | 8 | 24 |
| 0E | 9 | 26 |
| 0F | 10 | 28 |
| 10 | 11 | 30 |
| 11 | 12 | 32 |
| 12 | 13 | 34 |
| 13 | 14 | 36 |
| 14 | 15 | 38 |
| 15 | 16 | 40 |
| 16 | 17 | 42 |
| 17 | 18 | 44 |
| 18 | 19 | 46 |
| 19 | 20 | 48 |
| 1A | 21 | 50 |
| 1B | 22 | 52 |
| 1C | 23 | 54 |
| 1D | 24 | 56 |
| 1E | 25 | 58 |
| 1F | 26 | 60 |
| 20 | 27 | 62 |
| 21 | 28 | 64 |
| 22 | 29 | 66 |
| 23 | 30 | 68 |
| 24 | 31 | 70 |
| 25 | 32 | 72 |
| 26 | 33 | 74 |
| 27 | 34 | 76 |
| 28 | 35 | 78 |
| 29 | 36 | 80 |
| 2A | 37 | 82 |
| 2B | 38 | 84 |
| 2C | 39 | 86 |
| 2D | 40 | 88 |
| 2E | 41 | 90 |
| 2F | 42 | 92 |
| 30 | 43 | 94 |
| 31 | 44 | 96 |
| 32 | 45 | 98 |
| 33 | 46 | 100 |
| 34 | 47 | 102 |

- LMI - магистраль микрокоманд;
- C1 - синхросигнал приёма микрокоманды;
- C2 - синхросигнал исполнения микрокоманды;
- C3 - синхросигнал стробирования выдачи данных на магистраль LA и LD;
- X - сигнал внешнего условия;
- R - сигнал внешнего прерывания;
- LD - магистраль данных;
- LA - магистраль адресов.

СТРУКТУРНАЯ СХЕМА



Предназначен для хранения, логической обработки битовой и байтовой информации и приоритетной выдачи поступающих запросов прерывания.

ХАРАКТЕРИСТИКИ

- двунаправленная 8-разрядная магистраль данных;
- входная 8-разрядная магистраль данных;
- выходная 6-разрядная магистраль данных;
- двунаправленная 3-разрядная магистраль данных;
- битовая магистраль;
- 8-разрядная магистраль микрокоманд;
- логическое устройство;
- восемь регистров стека;
- восьмиразрядный регистр магистралей L2;
- восьмиразрядный регистр магистралей L4;
- одноразрядный регистр магистралей L1;
- 3-разрядный регистр магистралей L5;
- схема маскирования;
- схема приоритета;
- регистр остаточного управления;
- программируемая логическая матрица;
- время цикла 1 мкс.

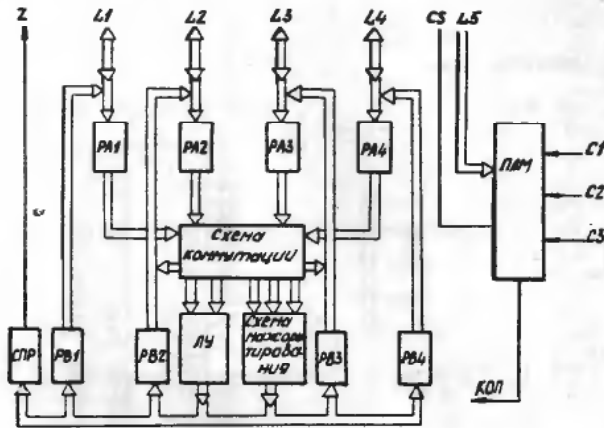
Для ввода и вывода информации БИС имеет 3 8-разрядных магистрали L2, L3, L4 и одну битовую магистраль L1. Магистраль L5 предназначена для занесения адреса регистра стека или адреса бита, участвующего в обработке, а также для выдачи приоритетного номера устройства, выдавшего запрос на прерывание. Управляющая микрокоманда вводится в БИС через магистраль L6. Сигнал на входе "П" в байтовых операциях разрешает выдачу признака Z в P схеме приоритета. БИС имеет 8-разрядное логическое устройство, реализующее 8 логических функций. Для хранения промежуточных результатов операций и масок БИС имеет 8 индексруемых регистров PC и регистр PV. Схема маскирования посредством маски, занесенной в регистр PV, позволяет маскировать поступающие запросы на прерывание. Содержимое регистра PV адресует регистр стека и номер бита информации, выбранного для обработки.

Управление работой всех узлов БИС осуществляется сигналами внутреннего кода операции (КОП), которые формируются в ПММ. Работа БИС синхронизирована четырьмя управляющими синхро-сигналами C1, C2, C3, C4, а также входом "выборка кристалла" JK.

УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ

| L6 LP | | L1 | 47 |
|-------|----|----|----|
| 28 | 00 | L2 | |
| 29 | 01 | | 05 |
| 2A | 02 | | 07 |
| 2B | 03 | 00 | 01 |
| 2C | 04 | 01 | 02 |
| 2D | 05 | 02 | 03 |
| 2E | 06 | 03 | 04 |
| 2F | 07 | 04 | 05 |
| 30 | 08 | 05 | 06 |
| 31 | 09 | 06 | 07 |
| 32 | 0A | 07 | 08 |
| 33 | 0B | 08 | 09 |
| 34 | 0C | 09 | 0A |
| 35 | 0D | 0A | 0B |
| 36 | 0E | 0B | 0C |
| 37 | 0F | 0C | 0D |
| 38 | 10 | 0D | 0E |
| 39 | 11 | 0E | 0F |
| 3A | 12 | 0F | 10 |
| 3B | 13 | 10 | 11 |
| 3C | 14 | 11 | 12 |
| 3D | 15 | 12 | 13 |
| 3E | 16 | 13 | 14 |
| 3F | 17 | 14 | 15 |
| 40 | 18 | 15 | 16 |
| 41 | 19 | 16 | 17 |
| 42 | 1A | 17 | 18 |
| 43 | 1B | 18 | 19 |
| 44 | 1C | 19 | 1A |
| 45 | 1D | 1A | 1B |
| 46 | 1E | 1B | 1C |
| 47 | 1F | 1C | 1D |
| 48 | 20 | 1D | 1E |
| 49 | 21 | 1E | 1F |
| 4A | 22 | 1F | 20 |
| 4B | 23 | 20 | 21 |
| 4C | 24 | 21 | 22 |
| 4D | 25 | 22 | 23 |
| 4E | 26 | 23 | 24 |
| 4F | 27 | 24 | 25 |
| 50 | 28 | 25 | 26 |
| 51 | 29 | 26 | 27 |
| 52 | 2A | 27 | 28 |
| 53 | 2B | 28 | 29 |
| 54 | 2C | 29 | 2A |
| 55 | 2D | 2A | 2B |
| 56 | 2E | 2B | 2C |
| 57 | 2F | 2C | 2D |
| 58 | 30 | 2D | 2E |
| 59 | 31 | 2E | 2F |
| 5A | 32 | 2F | 30 |
| 5B | 33 | 30 | 31 |
| 5C | 34 | 31 | 32 |
| 5D | 35 | 32 | 33 |
| 5E | 36 | 33 | 34 |
| 5F | 37 | 34 | 35 |
| 60 | 38 | 35 | 36 |
| 61 | 39 | 36 | 37 |
| 62 | 3A | 37 | 38 |
| 63 | 3B | 38 | 39 |
| 64 | 3C | 39 | 3A |
| 65 | 3D | 3A | 3B |
| 66 | 3E | 3B | 3C |
| 67 | 3F | 3C | 3D |
| 68 | 40 | 3D | 3E |
| 69 | 41 | 3E | 3F |
| 6A | 42 | 3F | 40 |
| 6B | 43 | 40 | 41 |
| 6C | 44 | 41 | 42 |
| 6D | 45 | 42 | 43 |
| 6E | 46 | 43 | 44 |
| 6F | 47 | 44 | 45 |
| 70 | 48 | 45 | 46 |
| 71 | 49 | 46 | 47 |
| 72 | 4A | 47 | 48 |
| 73 | 4B | 48 | 49 |
| 74 | 4C | 49 | 4A |
| 75 | 4D | 4A | 4B |
| 76 | 4E | 4B | 4C |
| 77 | 4F | 4C | 4D |
| 78 | 50 | 4D | 4E |
| 79 | 51 | 4E | 4F |
| 7A | 52 | 4F | 50 |
| 7B | 53 | 50 | 51 |
| 7C | 54 | 51 | 52 |
| 7D | 55 | 52 | 53 |
| 7E | 56 | 53 | 54 |
| 7F | 57 | 54 | 55 |
| 80 | 58 | 55 | 56 |
| 81 | 59 | 56 | 57 |
| 82 | 5A | 57 | 58 |
| 83 | 5B | 58 | 59 |
| 84 | 5C | 59 | 5A |
| 85 | 5D | 5A | 5B |
| 86 | 5E | 5B | 5C |
| 87 | 5F | 5C | 5D |
| 88 | 60 | 5D | 5E |
| 89 | 61 | 5E | 5F |
| 8A | 62 | 5F | 60 |
| 8B | 63 | 60 | 61 |
| 8C | 64 | 61 | 62 |
| 8D | 65 | 62 | 63 |
| 8E | 66 | 63 | 64 |
| 8F | 67 | 64 | 65 |
| 90 | 68 | 65 | 66 |
| 91 | 69 | 66 | 67 |
| 92 | 6A | 67 | 68 |
| 93 | 6B | 68 | 69 |
| 94 | 6C | 69 | 6A |
| 95 | 6D | 6A | 6B |
| 96 | 6E | 6B | 6C |
| 97 | 6F | 6C | 6D |
| 98 | 70 | 6D | 6E |
| 99 | 71 | 6E | 6F |
| 9A | 72 | 6F | 70 |
| 9B | 73 | 70 | 71 |
| 9C | 74 | 71 | 72 |
| 9D | 75 | 72 | 73 |
| 9E | 76 | 73 | 74 |
| 9F | 77 | 74 | 75 |
| A0 | 78 | 75 | 76 |
| A1 | 79 | 76 | 77 |
| A2 | 7A | 77 | 78 |
| A3 | 7B | 78 | 79 |
| A4 | 7C | 79 | 7A |
| A5 | 7D | 7A | 7B |
| A6 | 7E | 7B | 7C |
| A7 | 7F | 7C | 7D |
| A8 | 80 | 7D | 7E |
| A9 | 81 | 7E | 7F |
| AA | 82 | 7F | 80 |
| AB | 83 | 80 | 81 |
| AC | 84 | 81 | 82 |
| AD | 85 | 82 | 83 |
| AE | 86 | 83 | 84 |
| AF | 87 | 84 | 85 |
| B0 | 88 | 85 | 86 |
| B1 | 89 | 86 | 87 |
| B2 | 8A | 87 | 88 |
| B3 | 8B | 88 | 89 |
| B4 | 8C | 89 | 8A |
| B5 | 8D | 8A | 8B |
| B6 | 8E | 8B | 8C |
| B7 | 8F | 8C | 8D |
| B8 | 90 | 8D | 8E |
| B9 | 91 | 8E | 8F |
| BA | 92 | 8F | 90 |
| BB | 93 | 90 | 91 |
| BC | 94 | 91 | 92 |
| BD | 95 | 92 | 93 |
| BE | 96 | 93 | 94 |
| BF | 97 | 94 | 95 |
| C0 | 98 | 95 | 96 |
| C1 | 99 | 96 | 97 |
| C2 | 9A | 97 | 98 |
| C3 | 9B | 98 | 99 |
| C4 | 9C | 99 | 9A |
| C5 | 9D | 9A | 9B |
| C6 | 9E | 9B | 9C |
| C7 | 9F | 9C | 9D |
| C8 | A0 | 9D | 9E |
| C9 | A1 | 9E | 9F |
| CA | A2 | 9F | A0 |
| CB | A3 | A0 | A1 |
| CC | A4 | A1 | A2 |
| CD | A5 | A2 | A3 |
| CE | A6 | A3 | A4 |
| CF | A7 | A4 | A5 |
| D0 | A8 | A5 | A6 |
| D1 | A9 | A6 | A7 |
| D2 | AA | A7 | A8 |
| D3 | AB | A8 | A9 |
| D4 | AC | A9 | AA |
| D5 | AD | AA | AB |
| D6 | AE | AB | AC |
| D7 | AF | AB | AD |
| D8 | B0 | AC | AE |
| D9 | B1 | AD | AF |
| DA | B2 | AE | B0 |
| DB | B3 | AF | B1 |
| DC | B4 | B0 | B2 |
| DD | B5 | B1 | B3 |
| DE | B6 | B2 | B4 |
| DF | B7 | B3 | B5 |
| E0 | B8 | B4 | B6 |
| E1 | B9 | B5 | B7 |
| E2 | BA | B6 | B8 |
| E3 | BB | B7 | B9 |
| E4 | BC | B8 | BA |
| E5 | BD | B9 | BB |
| E6 | BE | BA | BC |
| E7 | BF | BB | BD |
| E8 | C0 | BC | BE |
| E9 | C1 | BD | BF |
| EA | C2 | BE | C0 |
| EB | C3 | BF | C1 |
| EC | C4 | C0 | C2 |
| ED | C5 | C1 | C3 |
| EE | C6 | C2 | C4 |
| EF | C7 | C3 | C5 |
| F0 | C8 | C4 | C6 |
| F1 | C9 | C5 | C7 |
| F2 | CA | C6 | C8 |
| F3 | CB | C7 | C9 |
| F4 | CC | C8 | CA |
| F5 | CD | C9 | CB |
| F6 | CE | CA | CC |
| F7 | CF | CB | CD |
| F8 | D0 | CC | CE |
| F9 | D1 | CD | CF |
| FA | D2 | CE | D0 |
| FB | D3 | CF | D1 |
| FC | D4 | D0 | D2 |
| FD | D5 | D1 | D3 |
| FE | D6 | D2 | D4 |
| FF | D7 | D3 | D5 |

- L6 - входы микрокоманды (00-старшая разряд);
- L1 - объединенный битовый вход/выход на магистраль;
- L2 - объединенные входы/выходы на магистраль данных;
- L3 - входы с магистралей;
- L4 - выходы на магистраль данных;
- L5 - объединенные входы/выходы на магистраль кода (всё время при работе бита (00-старший разряд кода);
- JK - вход разрешения работы;
- П - вход запроса приоритета (направление опроса 00-07);
- SP - выход признака наличия ошибки в обрабатываемой информации (S P);
- J1, J2 - выходы элементов;
- C1 - вход синхросигнала приёма МК;
- C2 - вход синхросигнала исполнения МК;
- C3 - вход синхросигнала выдачи информации в магистраль L1, L2;
- C4 - вход синхросигнала выдачи информации в магистраль L5.



СТРУКТУРНАЯ СХЕМА

Предназначен для коммутации информационных магистралей, хранения и логической обработки байтовой информации.

Для ввода и вывода информации БИС имеет четыре двунаправленные восьмиразрядные магистрали L1-L4. Управляющая микрокоманда вводится в БИС через магистраль L5. Кроме входов микрокоманды в БИС имеется вход "выборка кристалла" CS.

БИС имеет 8-разрядное логическое устройство и схему мажоритарирования. Информация с любой магистрали может поступать в регистры PA1-PA4, непосредственно в ЛУ или на схему мажоритарирования. С выхода схемы мажоритарирования и ЛУ информация записывается в регистры PB1-PB4. В БИС имеется схема формирования признака "0 результата", который выводится на магистраль Z.

Управление работой всех узлов БИС осуществляется сигналами внешнего кода операции (КОП), который формируется в ЦМ.

Работа БИС синхронизируется тремя управляющими сигналами C1, C2, C3.

УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ

